

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3906504号
(P3906504)

(45) 発行日 平成19年4月18日(2007.4.18)

(24) 登録日 平成19年1月26日(2007.1.26)

(51) Int. Cl.

F I

HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P
HO 1 L 29/78 (2006.01)	HO 1 L 27/04 H
HO 1 L 21/822 (2006.01)	HO 1 L 29/78 3 O 1 J
HO 1 L 27/04 (2006.01)	HO 1 L 27/08 3 3 1 B
HO 1 L 27/08 (2006.01)	

請求項の数 4 (全 11 頁)

(21) 出願番号 特願平8-316623
 (22) 出願日 平成8年11月27日(1996.11.27)
 (65) 公開番号 特開平10-163482
 (43) 公開日 平成10年6月19日(1998.6.19)
 審査請求日 平成15年1月7日(2003.1.7)

(73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (72) 発明者 川北 晴夫
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 加藤 直人
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 八木 賢次
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内

最終頁に続く

(54) 【発明の名称】 絶縁分離型半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板に形成された第1の素子と、
 第1の素子形成領域の周囲における前記半導体基板の上に形成された絶縁膜と、
 多重の導電性リングよりなり、前記絶縁膜の上における第1の素子形成領域の外周側に
 配置され、最も外周側の導電性リングが前記半導体基板に電氣的に接続されるとともに最
 も内周側の導電性リングが前記第1の素子の端子と電氣的に接続された等電位リング群と

、
 前記絶縁膜の上において前記等電位リング群での内外の等電位リングの間であって、環
 状に延設して配置され、内周側の等電位リングと複数箇所電氣的に接続されるとともに
 、外周側の等電位リングと複数箇所電氣的に接続された同幅である带状の第2の素子と
 を備えた絶縁分離型半導体装置であって、

前記第2の素子は、直列接続された複数のツェナーダイオードからなり、該ツェナーダ
 イオードのpn接合面は延設方向に対して垂直となることを特徴とする絶縁分離型半導体
 装置。

【請求項2】

前記第2の素子と外周側の等電位リングとの接続箇所のピッチと、前記第2の素子と内
 周側の等電位リングとの接続箇所のピッチとを等しくした請求項1に記載の絶縁分離型半
 導体装置。

【請求項3】

10

20

半導体基板に形成された第1の素子と、
 第1の素子形成領域の周囲における前記半導体基板の上に形成された絶縁膜と、
 多重の導電性リングよりなり、前記絶縁膜の上における第1の素子形成領域の外周側に
 配置され、最も外周側の導電性リングが前記半導体基板に電氣的に接続されるとともに最
 も内周側の導電性リングが前記第1の素子の端子と電氣的に接続された等電位リング群と

、
 前記絶縁膜の上において前記等電位リング群での内外の等電位リングの間であって、環
 状に延設して配置され、内周側の等電位リングと複数箇所電氣的に接続されるとともに
 、外周側の等電位リングと複数箇所電氣的に接続された帯状の第2の素子と
 を備えた絶縁分離型半導体装置であって、

前記第2の素子は、直列接続された複数のツェナーダイオードからなり、該ツェナーダイ
 オードのpn接合面は延設方向に対して垂直となっており、

前記第2の素子と外周側の等電位リングとの接続箇所のピッチと、前記第2の素子と内
 周側の等電位リングとの接続箇所のピッチとを等しくするとともに、前記第2の素子の延
 設方向において前記ピッチの1/2だけズラした位置を接続箇所とした絶縁分離型半導体
 装置。

【請求項4】

半導体基板に形成された第1の素子と、
 第1の素子形成領域の周囲における前記半導体基板の上に形成された絶縁膜と、
 多重の導電性リングよりなり、前記絶縁膜の上における第1の素子形成領域の外周側に
 配置され、最も外周側の導電性リングが前記半導体基板に電氣的に接続されるとともに最
 も内周側の導電性リングが前記第1の素子の端子と電氣的に接続された等電位リング群と

、
 前記絶縁膜の上において前記等電位リング群での内外の等電位リングの間であって、環
 状に延設して配置され、内周側の等電位リングと複数箇所電氣的に接続されるとともに
 、外周側の等電位リングと複数箇所電氣的に接続された帯状の第2の素子と
 を備えた絶縁分離型半導体装置であって、

前記第2の素子と外周側の等電位リングとの接続箇所のピッチと、前記第2の素子と内
 周側の等電位リングとの接続箇所のピッチとを等しくするとともに、前記第2の素子の延
 設方向において前記ピッチの1/2だけズラした位置を接続箇所とした絶縁分離型半導体
 装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は絶縁分離型半導体装置に係り、詳しくは、基板に第1の素子を形成するととも
 に、基板の上に絶縁膜を介して第2の素子を形成した絶縁分離型半導体装置に関するもの
 である。

【0002】

【従来の技術】

特開平6-196706号公報には、シリコン基板にパワーデバイスが形成されるとともに
 にシリコン基板上に絶縁膜を介してツェナーダイオード形成用ポリシリコン層が形成され
 た絶縁分離型半導体装置において、デバイス本体であるシリコンと、絶縁膜上に形成され
 たポリシリコン層との間における電位差が大きくなる場合においても絶縁膜に過大な電圧
 が印加されないようにして絶縁膜の信頼性を確保する技術が開示されている。具体的には
 、図9に示すように、シリコン基板40に縦型のパワーMOSトランジスタ41が形成され
 るとともに、パワーMOSトランジスタ41の形成領域の周囲におけるシリコン基板4
 0の上にシリコン酸化膜42が形成され、その上にポリシリコン層よりなるツェナーダイ
 オード群43a, 43b, 43c, 43dがパワーMOSトランジスタ41の形成領域の
 回りに形成されている。そして、このツェナーダイオード群43a, 43b, 43c, 4
 3dをパワーMOSトランジスタ41のゲート・ドレイン間に電氣的に接続する際に、パ

10

20

30

40

50

パワーMOSトランジスタ41の形成領域の周囲におけるシリコン酸化膜42の上にポリシリコン層よりなる等電位リング44, 45, 46を配置し、ツェナーダイオード群43a, 43b, 43c, 43dの両端を内外の等電位リング44, 45, 46に連結させる。これにより、等電位リング44, 45, 46とツェナーダイオード群43a, 43b, 43c, 43dの下のシリコン酸化膜42の膜厚方向の電位差を低下させて、シリコン酸化膜42の実効絶縁破壊強度を向上させてツェナーダイオード群のブレイクダウン電圧を大きくすることができる。

【0003】

【発明が解決しようとする課題】

ところが、図10に示す平面図においてシリコン酸化膜42の上には多重のポリシリコン層(等電位リング44, 45, 46, ツェナーダイオード群43a, 43b, 43c, 43d)が配置されるが、パワーMOSトランジスタ41に対する半径方向Rにおいて図10でのB-B'線とC-C'線では、ポリシリコン層の間隔が異なりシリコン基板40において所望の電界集中緩和が得られず所望の耐圧を確保することが難しかった。

10

【0004】

そこで、この発明の目的は、基板に形成した第1の素子を中心とした半径方向において電界集中緩和を行うことができる絶縁分離型半導体装置を提供することにある。

【0005】

【課題を解決するための手段】

請求項1に記載の発明は、内外の等電位リングの間に、同幅である帯状の第2の素子を環状に延設して配置し、第2の素子と外周側の等電位リングとを複数箇所て接続するとともに、第2の素子と内周側の等電位リングとを複数箇所て接続したことを特徴としている。

20

【0006】

このようにすると、等電位リングの間に帯状の第2の素子が環状に延設された構造となり、内側の等電位リングと第2の素子と外側の等電位リングとが第1の素子を中心とした半径方向において一定の間隔をおいて配置されることになる。

【0007】

その結果、基板に形成した第1の素子を中心とした半径方向において電界集中緩和を行うことができる。

30

又、請求項2~4に記載の構成としても良く、この様な構成としても請求項1と同様の効果を得ることができる。

【0008】

【発明の実施の形態】

以下、この発明を具体化した実施の形態を図面に従って説明する。

本実施の形態においては、nチャネル型IGBTおよびそのゲート・コレクタ間に保護用のツェナーダイオードを接続した構成の絶縁分離型半導体装置に適用している。

【0009】

図1にはチップ1の平面図を示し、図2には図1のA-A線での断面を示す。図1においてチップ1の中央部が、第1の素子としてのIGBT2の形成領域となっている。より詳しくは、図2に示すように、半導体基板としてのシリコン基板3においてはp型不純物領域5の上にn⁻型不純物領域4が形成されている。このp型領域5がコレクタ領域となる。シリコン基板3の主表面3aでの表層部にはセル形成用の多数のp型不純物拡散領域6が形成されるとともに、その内部にはn⁺型不純物拡散領域7が形成されている。又、シリコン基板3の主表面3aにはゲート酸化膜8が形成され、その上にポリシリコンゲート電極9が配設されている。さらに、シリコン基板3の主表面3aにはエミッタ電極10が配置され、エミッタ電極10はp型不純物拡散領域6およびn⁺型不純物拡散領域7と接触している。又、シリコン基板3のもう一つの表面3bにはコレクタ電極11が形成されている。そして、IGBT2は、ゲート電極9への印加電圧に応じてp型不純物拡散領域6の上層部にチャンネルが形成され、エミッタ電極10とコレクタ電極11とが導通する。

40

50

【 0 0 1 0 】

一方、図 1 , 2 に示すように、シリコン基板 3 の主表面 3 a での I G B T 2 の形成領域の周囲における表層部には、ガードリング用の p 型不純物拡散領域 (ガードリング用不純物領域) 1 2 が環状に形成されている。

【 0 0 1 1 】

又、シリコン基板 3 の主表面 3 a での周縁部 (チップ 1 の周縁部) における表層部には、チャンネルストップ兼コンタクト用の n^+ 型不純物拡散領域 1 3 が全周にわたり形成されている。

【 0 0 1 2 】

さらに、I G B T 2 の形成領域の周囲におけるシリコン基板 3 の主表面 3 a 上には絶縁膜としてのシリコン酸化膜 1 4 が形成され、このシリコン酸化膜 1 4 により n^+ 型不純物拡散領域 1 3 の上面の一部とガードリング用不純物領域 1 2 の上面の一部、および、領域 1 3 と 1 2 との間の n^- 型不純物領域 4 の上面が覆われている。

10

【 0 0 1 3 】

シリコン酸化膜 1 4 の上には、ポリシリコン薄膜よりなる等電位リング群 1 5 が形成され、等電位リング群 1 5 は、多重の導電性リング 1 6 , 1 7 , 1 8 よりなり、ガードリング用不純物領域 1 2 の外周側に配置されている。ここで、等電位リング群 1 5 は、図 1 に示すように四角形状のチップ 1 の辺に沿った四角形の環状をなし、かつ、四隅にはアールが付けられている。

【 0 0 1 4 】

図 2 に示すように、等電位リング群 1 5 における最も外周側の等電位リング 1 8 がアルミ配線 (図示略) により n^+ 型不純物拡散領域 1 3 を介してシリコン基板 3 に電氣的に接続されている。又、等電位リング群 1 5 における最も内周側の等電位リング 1 6 がアルミ配線 (図示略) により I G B T 2 のゲート端子と電氣的に接続されている。

20

【 0 0 1 5 】

又、シリコン酸化膜 1 4 の上において等電位リング 1 6 と等電位リング 1 7 との間にはポリシリコン薄膜よりなる帯状のツェナーダイオード群 (第 2 の素子) 1 9 が環状に延設されている。このポリシリコン薄膜よりなる帯状のツェナーダイオード群 1 9 は、図 3 に示すように、 n 型および p 型の不純物拡散領域が帯状のツェナーダイオード群 1 9 の延設方向に交互に形成され、ツェナーダイオードを逆方向に直列接続したツェナーダイオード対を複数形成した構成となっている。さらに、帯状のツェナーダイオード群 1 9 と等電位リング 1 6 とは一定の間隔で設けた連結部 (図 3 では符号 2 0 a , 2 0 b にて示す) により連結されている。同様に、帯状のツェナーダイオード群 1 9 と等電位リング 1 7 とは一定の間隔で設けた連結部 (図 3 では符号 2 1 a , 2 1 b にて示す) により連結されている。

30

【 0 0 1 6 】

ここで、連結部 2 0 a , 2 0 b の間隔 (ピッチ) P 1 と連結部 2 1 a , 2 1 b の間隔 (ピッチ) P 2 は等しく、かつ、連結部 2 0 a , 2 0 b の中間位置に連結部 2 1 b が配置されている。つまり、ツェナーダイオード群 1 9 と外周側の等電位リング 1 7 との連結箇所のピッチ P 2 と、ツェナーダイオード群 1 9 と内周側の等電位リング 1 6 との連結箇所のピッチ P 1 とを等しくするとともに、帯状のツェナーダイオード群 1 9 の延設方向においてピッチの 1 / 2 だけズラした位置を連結箇所としている。

40

【 0 0 1 7 】

又、シリコン酸化膜 1 4 の上において等電位リング 1 7 と等電位リング 1 8 との間にはポリシリコン薄膜よりなる帯状のツェナーダイオード群 (第 2 の素子) 2 2 が環状に延設されている。ポリシリコン薄膜よりなる帯状のツェナーダイオード群 2 2 においては、図 3 に示すように、 n 型および p 型の不純物拡散領域が帯状のツェナーダイオード群 2 2 の延設方向に交互に形成され、ツェナーダイオードを逆方向に直列接続したツェナーダイオード対を複数形成した構成となっている。さらに、帯状のツェナーダイオード群 2 2 と等電位リング 1 7 とは一定の間隔 P 1 で設けた連結部 (図 3 では符号 2 3 a , 2 3 b にて示す) により連結されている。同様に、帯状のツェナーダイオード群 2 2 と等電位リング 1 8

50

とは一定の間隔 P_2 で設けた連結部 (図 3 では符号 24a, 24b にて示す) により連結されている。ここで、連結部 23a, 23b の間隔 (ピッチ) P_1 と連結部 24a, 24b の間隔 (ピッチ) P_2 は等しく、かつ、連結部 23a, 23b の中間位置に連結部 24b が配置されている。

【0018】

このように、最も内側の等電位リング 16 と最も外側の等電位リング 18 との間においてツェナーダイオード群 19, 22 が配置された構造となっている。より詳しくは、図 3 において、等電位リング 18 の連結部 24b に対しツェナーダイオード群 D12 の一端およびツェナーダイオード群 D13 の一端が接続され、ツェナーダイオード群 D12 の他端が連結部 23a に接続されるとともにツェナーダイオード群 D13 の他端が連結部 23b に接続され、さらに連結部 21b を通してツェナーダイオード群 D2 の一端およびツェナーダイオード群 D3 の一端が接続され、ツェナーダイオード群 D2 の他端が連結部 20a を介して等電位リング 16 に接続されるとともにツェナーダイオード群 D3 の他端が連結部 20b を介して等電位リング 16 に接続されている。

10

【0019】

つまり、図 3 において、等電位リング 18 連結部 24b ツェナーダイオード群 D12 連結部 23a 等電位リング 17 連結部 21b ツェナーダイオード群 D2 連結部 20a 等電位リング 16 の電流経路が確保されている。同様に、等電位リング 18 連結部 24b ツェナーダイオード群 D13 連結部 23b 等電位リング 17 連結部 21b ツェナーダイオード群 D3 連結部 20b 等電位リング 16 の電流経路が確保されている。

20

【0020】

このようにツェナーダイオード群 19, 22 は、シリコン酸化膜 14 の上において等電位リング群での内外の等電位リングの間に配置され、ポリシリコン薄膜よりなる連結部 20a, 20b, 21a, 21b, 23a, 23b, 24a, 24b により、一端が内周側の等電位リングに電氣的に接続され、他端が外周側の等電位リングに電氣的に接続されている。

【0021】

図 4 には、本実施の形態における絶縁分離型半導体装置 (IGBT2, ツェナーダイオード Dz1, Dz2) および当該半導体装置に接続される外部機器の電氣的な構成を示す。

30

【0022】

IGBT2 のコレクタ端子には、電磁弁のコイル等の誘導性負荷 25 および電源 26 が直列に接続されている。又、IGBT2 のゲート端子には、抵抗 27, 28 を介して所定電圧 V_{cc} が印加され、両抵抗 27, 28 間はスイッチ 29 を介してアースされている。さらに、IGBT2 のエミッタ端子はアースされている。

【0023】

IGBT2 のコレクタ端子とゲート端子との間には、複数のツェナーダイオード対 Dz1, Dz2 が直列接続された構成となっている。そして、スイッチ 29 の開閉により IGBT2 のゲート端子への印加電圧が切り替えられ、IGBT2 をオン・オフ制御して誘導性負荷 25 への通電を制御することができるようになっている。

40

【0024】

次に、図 4 の回路構成をとった場合における作用を説明する。

IGBT2 は、スイッチ 29 を閉路してゲート端子に制御電圧が印加されないとオフ状態となっている。この状態では電源 26 の電圧が誘導性負荷 25 に印加され、IGBT2 のコレクタ端子も電源 26 の電圧が印加される。そして、このコレクタ電圧はツェナーダイオード群 19, 22 (図 3 参照) にも加えられる。このとき、ツェナーダイオード群 19, 22 のブレイクダウン電圧は電源電圧よりも高い値に設定されているので、ゲート端子の電位はコレクタ電圧によって変動しない。

【0025】

又、コレクタ端子とエミッタ端子との間に印加された電源電圧は、図 2 において n^- 型不

50

純物領域 4 と p 型不純物拡散領域 6 , 1 2 との間の p n 接合に逆方向に印加されるとともに、等電位リング 1 6 ~ 1 8 間にも印加される。

【 0 0 2 6 】

そして、n⁻型不純物領域 4 と p 型不純物拡散領域 6 , 1 2 との p n 接合部分には、n⁻型不純物領域 4 の不純物濃度が低く設定してあることにより、コレクタ電圧に応じた幅の空乏層が p n 接合面から遠ざかる方向に n⁻型不純物領域 4 側に大きく広がり、この空乏層部分でほとんどのコレクタ電圧を分担することになる。

【 0 0 2 7 】

このとき、n⁻型不純物領域 4 の上部においては、ツェナーダイオード群 1 9 , 2 2 の各ツェナーダイオード対の接続段数に応じた電位が分布するので、等電位リング 1 6 , 1 7 , 1 8 のそれぞれは、コレクタ端子に印加された電位から等電位リング 1 6 から 1 7 , 1 8 に順次中間の電位を分担することになり、これらの下部にシリコン酸化膜 1 4 を介して形成されている空乏層の電位分布に対して電位差が小さくなる。

【 0 0 2 8 】

このトランジスタ・オフ状態から、図 4 のスイッチ 2 9 が開路すると、I G B T 2 のゲート端子に電圧が印加される。すると、図 2 のゲート電極 9 に印加された電圧がゲート酸化膜 8 を介して p 型不純物拡散領域 6 に印加され、その部分にチャネルが形成されてコレクタ端子とエミッタ端子との間が導通状態となる。これにより、図 4 の誘導性負荷 2 5 が通電する。

【 0 0 2 9 】

その後、図 4 のスイッチ 2 9 が閉路してゲート端子に制御電圧が印加されなくなると、図 2 の p 型不純物拡散領域 6 のチャネルがなくなりコレクタ端子とエミッタ端子との間が遮断状態となる。これにより誘導性負荷 2 5 への通電が遮断される。このとき、I G B T 2 のコレクタ端子には誘導性負荷 2 5 に発生するフライバック電圧が印加される。このフライバック電圧が電源電圧よりも高くツェナーダイオード群 1 9 , 2 2 のブレイクダウン電圧を超えるときには、ゲート端子にツェナーダイオードを流れる電流と抵抗 2 8 により決まる電圧が印加されるようになる。すると、I G B T 2 は、そのゲート電圧により再びオンして通電状態となり、誘導性負荷 2 5 のフライバックエネルギーを吸収するようになる。これにより、I G B T 2 がフライバック電圧によって過電圧破壊するのが防止される。

【 0 0 3 0 】

次に、各種のシミュレーション結果を、図 5 , 6 , 7 , 8 を用いて説明する。尚、等電位リングは、図 7 , 8 に示すように、(I) , (II) , (III) , (IV) , (V) の 5 つつけている。

【 0 0 3 1 】

図 5 , 6 には耐圧のシミュレーション結果を示す。図 5 , 6 において横軸にはエミッタ・コレクタ間の印加電圧をとり、縦軸には流れた電流をとっている。又、図 5 は図 9 , 1 0 に示す従来構造の絶縁分離型半導体装置でのシミュレーション結果であり、図 6 は図 1 , 2 , 3 に示す本実施形態でのシミュレーション結果である。

【 0 0 3 2 】

又、図 1 0 での B - B ' 線および図 1 での A - A 線での基板断面におけるブレイクダウン電圧時のシリコン基板内部の等電位分布および Si / Si O₂ 界面の電界強度分布を計算した。

【 0 0 3 3 】

この結果を、図 7 , 図 8 に示す。図 7 は図 1 0 に示す従来構造の絶縁分離型半導体装置での B - B ' 線におけるシミュレーション結果であり、図 8 は本実施形態でのシミュレーション結果である。図 7 および図 8 における (a) は等電位分布を、又、(b) は電界強度分布を示す。ここで、図 7 および図 8 における (a) での横軸に基板の端からの距離をとり、縦軸には基板表面 (Si / Si O₂ 界面) からの深さをとっている。図 7 および図 8 における (b) においては横軸に基板の端からの距離をとり、縦軸には電界強度をとっている。

10

20

30

40

50

【0034】

この図7の(a)と図8の(a)を比べた場合、等電位リングの端部に電界が集中しやすいが、その度合いとして図7の従来構造では等電位リング(V)の端部に著しく集中しているが、図8の本実施形態では特定の等電位リングの端部に集中することがなくほぼ均等に分布していることが分かる。

【0035】

又、図7の(a)に示すように従来構造では等電位リング(V)の端部に著しく電界が集中していることに起因して図7の(b)に示すように等電位リング(V)の端部において他の領域よりも著しく高い電界強度となっている。これに対し、図8の(b)に示す本実施形態では各等電位リングの端部にそれぞれ、ほぼ同じ高さの電界強度となっている。

10

【0036】

このように電界集中が緩和されることにより、図5に示すように従来構造においては耐圧が380ボルトであるが、図6に示すように本実施形態では耐圧は600ボルトであり、耐圧が向上する。

【0037】

このように本実施形態は、下記の特徴を有する。

(イ)内外の等電位リング(等電位リング16と17の間、および、等電位リング17と18の間)の間に、帯状のツェナーダイオード群19, 22を環状に延設し、ツェナーダイオード群19, 22と外周側の等電位リングとを連結するとともに、ツェナーダイオード群19, 22と内周側の等電位リングとを連結した。よって、等電位リングの間に帯状のツェナーダイオード群19, 22が環状に延設された構造となり、内側の等電位リングと外側の等電位リングとツェナーダイオード群19, 22とがIGBT2を中心とした半径方向において一定の間隔をおいて配置されることになる。

20

【0038】

つまり、図10でのB-B'線とC-C'線では、ポリシリコン層(44, 43c, 43d, 45, 43a, 43b, 46)の間隔が異なりシリコン基板40において所望の電界集中緩和が得られず所望の耐圧を確保することが難しかったのに対し、図3の本実施形態ではポリシリコン層(等電位リング16、ツェナーダイオード群19、等電位リング17、ツェナーダイオード群22、等電位リング18)が五重の環状に配置されているので、ポリシリコン層の間隔を一定にして基板に形成したIGBT2を中心とした半径方向において電界集中緩和を行うことができ、所望の耐圧を確保することができる。

30

【0039】

これまで説明してきたものの他にも、以下のように実施してもよい。

第1の素子としてnチャネル型IGBTを用いたが、pチャネル型IGBTに適用したり、IGBTの他にもパワーMOSFET等に適用してもよい。

【0040】

又、第2の素子としてツェナーダイオード(より正確にはツェナーダイオード対)を用いたが、抵抗を用いてもよい。要は、第1の素子に加わる電圧が過大になったときに第1の素子を作動させて同素子を保護する機能を有するものであればよい。

【0041】

又、等電位リングの数は、前述した実施形態では「3」であったが、「2」であったり、「4」以上でもよい。

40

【図面の簡単な説明】

【図1】 実施の形態におけるチップの平面図。

【図2】 図1でのA-A断面図。

【図3】 要部での平面図。

【図4】 絶縁分離型半導体装置および外部機器の電氣的な構成図。

【図5】 耐圧のシミュレーション結果を示す図。

【図6】 耐圧のシミュレーション結果を示す図。

【図7】 従来構造での等電位分布と電界強度のシミュレーション結果を示す図。

50

【図8】 本実施形態での等電位分布と電界強度のシミュレーション結果を示す図。

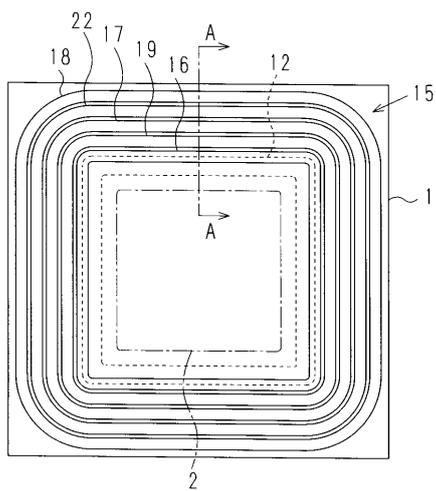
【図9】 従来の絶縁分離型半導体装置を示す断面図。

【図10】 従来の絶縁分離型半導体装置における平面図。

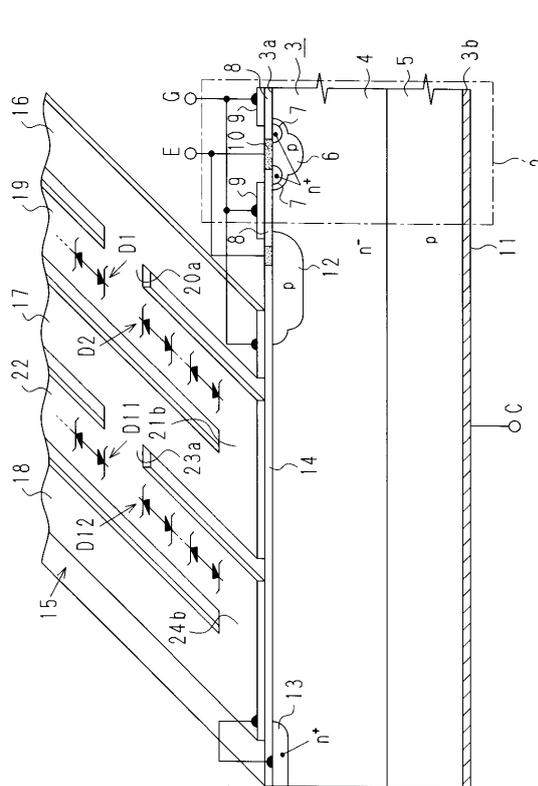
【符号の説明】

2 ... 第1の素子としてのIGBT、3 ... 半導体基板としてのシリコン基板、14 ... 絶縁膜としてのシリコン酸化膜、15 ... 等電位リング群、16, 17, 18 ... 等電位リング、19 ... 第2の素子を構成するツェナーダイオード群、22 ... 第2の素子を構成するツェナーダイオード群

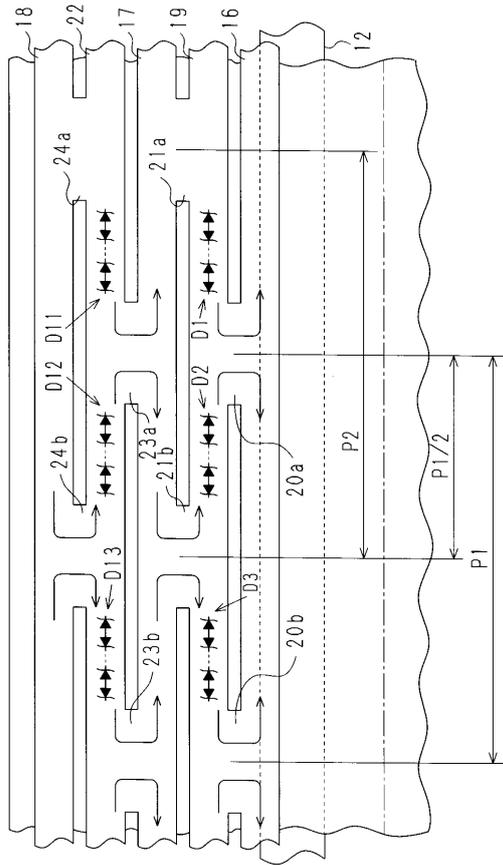
【図1】



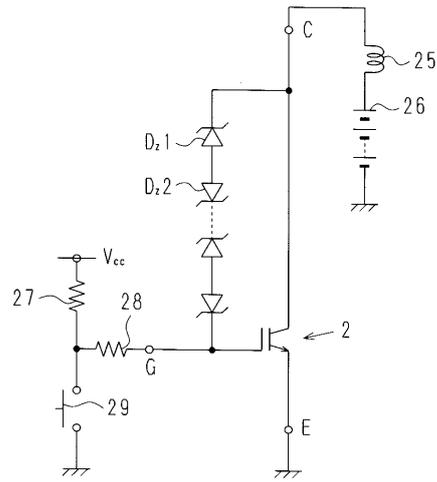
【図2】



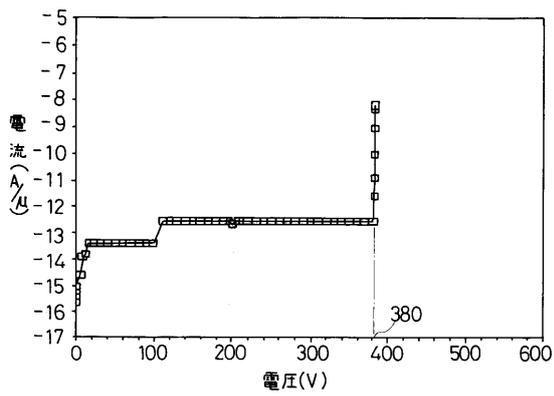
【 図 3 】



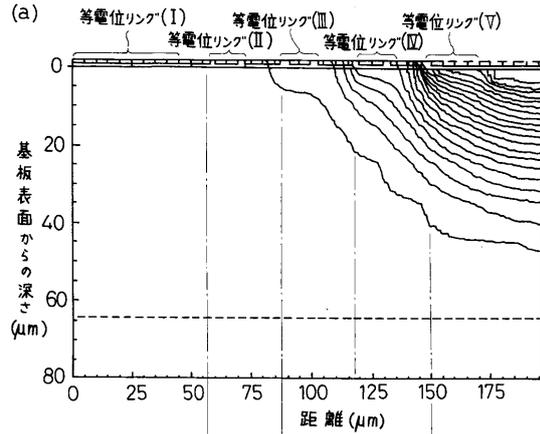
【 図 4 】



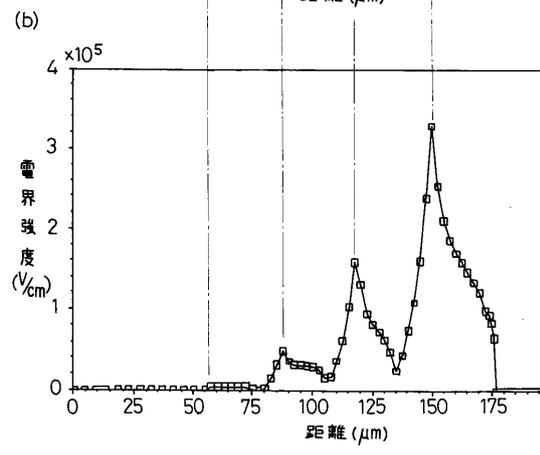
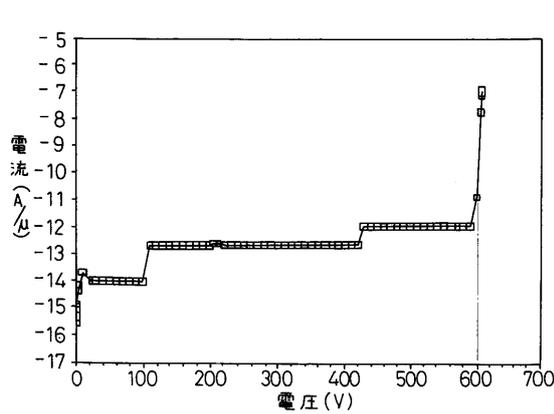
【 図 5 】



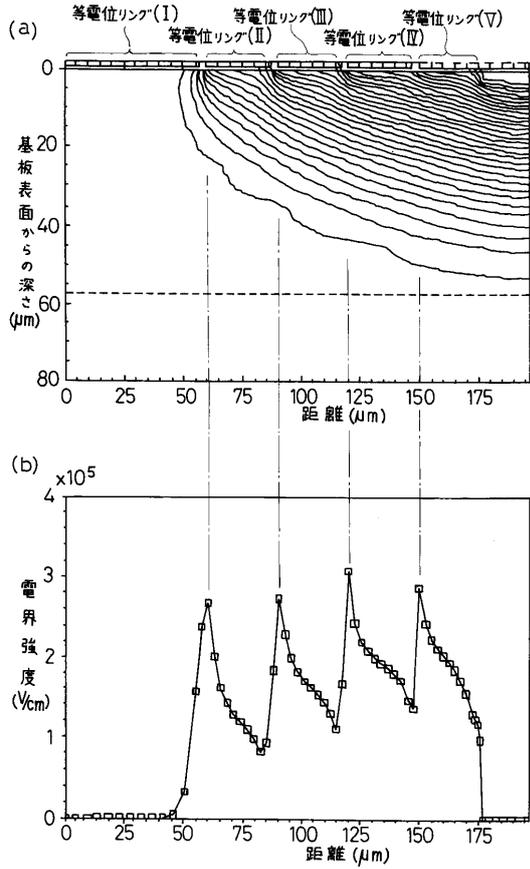
【 図 7 】



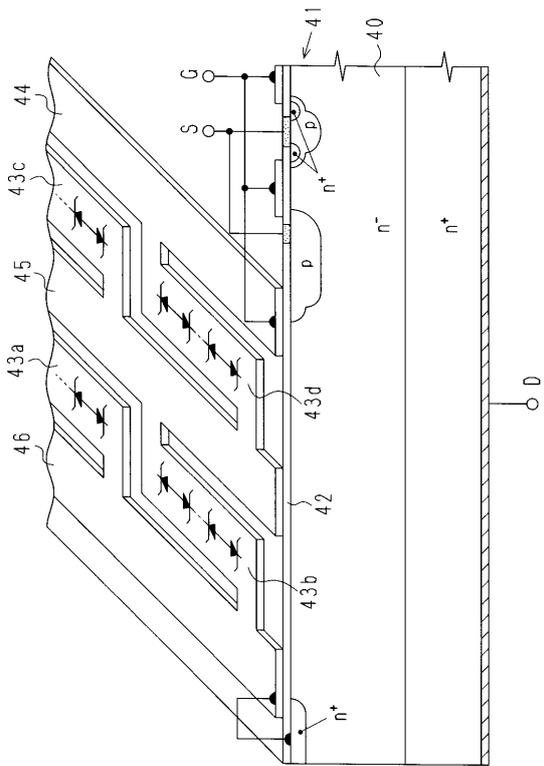
【 図 6 】



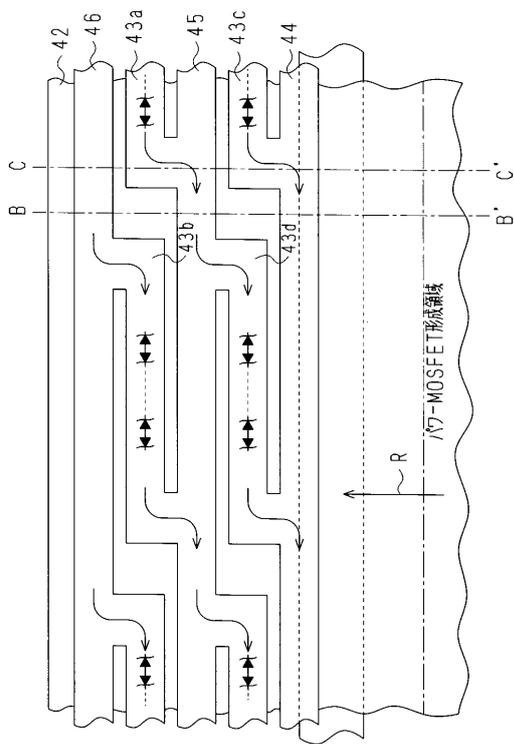
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 岡部 直人
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 北島 健次

(56)参考文献 特開平08-088354(JP,A)
特開平06-196706(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/06

H01L 21/822

H01L 27/04

H01L 27/08

H01L 29/78