



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 8/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월01일 10-0744109 2007년07월24일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0065447 2001년10월23일 2006년06월15일	(65) 공개번호 (43) 공개일자	10-2003-0034493 2003년05월09일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416		
(72) 발명자	장성진 경기도성남시분당구이매동122금강아파트104동704호		
(74) 대리인	리엔목특허법인		
(56) 선행기술조사문헌	KR 10-2001-61466	KR 10-1993-1574	
	KR 10-1996-15597	KR 10-2001-63035	
	KR 10-1998-60859		

심사관 : 김세영

전체 청구항 수 : 총 3 항

(54) 공정, 전압 및 온도의 변화에 따라 단자들의 상태를최적으로 변화시킬 수 있는 메모리 장치

(57) 요약

공정, 전압 및 온도의 변화에 따라 단자들의 상태를 최적으로 변화시킬 수 있는 메모리 장치가 개시된다. 본 발명의 메모리 장치는 지연 동기 루프 회로를 포함하는 메모리 장치에 관한 것이다. 본 발명의 메모리 장치는 각각 가변 저항 회로들을 포함하며, 각각 메모리 장치를 동작시키기 위한 외부 신호들을 통과시키는 단자들과, 메모리 장치의 오토 리프레쉬 동작의 활성화를 나타내는 커맨드 인에이블 신호 및 지연 동기 루프 회로를 활성화하기 위한 외부 인에이블 신호에 응답하여, 가변 저항 회로들에 포함된 저항 값을 제어하는 제어 신호를 발생하는 제어 회로를 구비한다. 제어 신호에 의해 단자들의 상태를 최적의 상태로 변환시킨 후, 지연 동기 루프 회로를 인에이블시키며, 메모리 장치가 오토 리프레쉬 동작을 주기적으로 수행하는 동안 제어 신호에 의해 단자들의 상태를 최적의 상태로 변환시킨다.

본 발명의 메모리 장치는 공정, 전압 및 온도의 변화에 따라 단자 상태를 최적의 상태로 변환한 후 외부 신호들을 수신하므로, 메모리 장치의 입력/출력 특성이 향상될 수 있다. 또한, 새로이 추가된 명령이 아닌 기존의 명령이 사용되어 단자 상태가 최적화되므로, 본 발명의 메모리 장치의 성능이 향상될 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

지연 동기 루프 회로를 포함하는 메모리 장치에 있어서,

각각 가변 저항 회로들을 포함하며, 각각 상기 메모리 장치를 동작시키기 위한 외부 신호들을 통과시키는 단자들;

상기 메모리 장치의 오토 리프레쉬 동작의 활성화를 나타내는 커맨드 인에이블 신호 및 상기 지연 동기 루프 회로를 활성화하기 위한 외부 인에이블 신호에 응답하여, 상기 가변 저항 회로들에 포함된 저항 값을 제어하는 제어 신호를 발생하는 제어 회로를 구비하며,

상기 제어 신호에 의해 상기 단자들의 상태를 최적의 상태로 변환시킨 후, 상기 지연 동기 루프 회로를 인에이블시키며, 상기 메모리 장치가 오토 리프레쉬 동작을 주기적으로 수행하는 동안 상기 제어 신호에 의해 상기 단자들의 상태를 최적의 상태로 변환시키는 것을 특징으로 하는 메모리 장치.

청구항 2.

제1항에 있어서, 상기 제어 회로는

상기 가변 저항 회로에 포함된 저항의 값과 상기 단자들의 상태를 최적의 상태로 하기 위해 기준이 되는 외부 기준 저항의 값을 비교하여 상기 제어 신호를 발생하고, 상기 비교가 종료되면 종료 신호를 발생하는 비교 회로;

상기 제어 신호를 래치하며, 업 데이트 신호에 응답하여 상기 래치된 제어 신호를 발생하는 래치 회로; 및

상기 외부 인에이블 신호 및 상기 커맨드 인에이블 신호에 응답하여, 상기 비교 회로를 인에이블시키는 제1 내부 인에이블 신호를 발생하며, 상기 완료 신호를 수신한 후 상기 업 데이트 신호를 발생하고, 상기 제어 신호의 발생 후에 상기 지연 동기 루프 회로를 활성화시키는 제2 내부 인에이블 신호를 발생하는 보정 회로를 구비하며,

상기 제어 신호에 의해 상기 단자들의 상태가 최적의 상태로 변환하기 위해 필요한 보정 시간이 상기 오토 리프레쉬 동작이 수행되는 리프레쉬 시간보다 작으면, 상기 리프레쉬 시간내에 상기 단자들의 상태는 최적의 상태로 변환되며,

상기 보정 시간이 상기 리프레쉬 시간보다 크면, 상기 오토 리프레쉬 동작 중 제1 오토 리프레쉬 동작이 수행되는 동안 상기 비교 회로가 인에이블되며, 상기 제1 오토 리프레쉬 동작이 종료된 후에 수행되는 제2 오토 리프레쉬 동작 동안 상기 단자들의 상태가 최적의 상태로 변환되는 것을 특징으로 하는 메모리 장치.

청구항 3.

제2항에 있어서, 상기 가변 저항 회로들 중 어느 하나는

외부 전원 전압에 연결되며, 상기 제어 신호에 응답하여 저항 값이 상기 외부 기준 저항의 값으로 변하는 제1 가변저항; 및

접지 전압에 연결되며, 상기 제어 신호에 응답하여 저항 값이 상기 외부 기준 저항의 값으로 변하는 제2 가변 저항을 구비하는 것을 특징으로 하는 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리 장치에 관한 것으로, 특히 공정, 전압 및 온도의 변화에 따라 단자의 상태를 최적으로 변화시킬 수 있는 메모리 장치에 관한 것이다.

일반적으로, 메모리 장치는 채널(channel)을 통해 외부 시스템에 연결되며, 외부 시스템은, 예를 들어, 메모리 컨트롤러(memory controller)일 수 있다. 외부 시스템으로부터 채널을 통해 메모리 장치로 입력되는 입력 신호의 경우, 채널의 임피던스 부정합(impedance mismatching)으로 인한 반사파에 의해 잡음이 발생할 수 있다. 상기 반사파를 최소로 감소시켜 상기 입력 신호의 잡음을 감소시키기 위하여(즉, 메모리 장치의 단자 상태를 최적화하기 위해), 상기 입력 신호가 입력되는 메모리 장치의 단자(termination)에 저항이 연결된다.

저속으로 동작하는 메모리 장치의 경우, 공정(process) 변화에 따른 메모리 장치의 단자의 상태를 최적화하기 위해, 퓨즈를 사용하여 상기 단자의 저항 값을 조절한다. 그러나, 상기의 방법은 전압 또는 온도 변화에 따라 메모리 장치의 단자의 저항 값을 변화시키지 못하므로, 고속으로 동작하는 메모리 장치의 입력/출력 특성을 저하시킬 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 공정, 전압 및 온도 변화에 따라 메모리 장치의 단자에 연결된 저항 값을 변화시켜, 메모리 장치의 단자의 상태를 최적으로 변화시킬 수 있는 메모리 장치를 제공하는 것이다.

발명의 구성

상기의 기술적 과제를 달성하기 위하여 본 발명의 메모리 장치는 지연 동기 루프 회로를 포함하는 메모리 장치에 관한 것이다. 본 발명의 메모리 장치는 각각 가변 저항 회로들을 포함하며, 각각 상기 메모리 장치를 동작시키기 위한 외부 신호들을 통과시키는 단자들과, 상기 메모리 장치의 오토 리프레쉬 동작의 활성화를 나타내는 커맨드 인에이블 신호 및 상기 지연 동기 루프 회로를 활성화하기 위한 외부 인에이블 신호에 응답하여, 상기 가변 저항 회로들에 포함된 저항 값을 제어하는 제어 신호를 발생하는 제어 회로를 구비하며, 상기 제어 신호에 의해 상기 단자들의 상태를 최적의 상태로 변환시킨 후, 상기 지연 동기 루프 회로를 인에이블시키며, 상기 메모리 장치가 오토 리프레쉬 동작을 주기적으로 수행하는 동안 상기 제어 신호에 의해 상기 단자들의 상태를 최적의 상태로 변환시키는 것을 특징으로 한다.

바람직한 실시예에 따르면, 상기 제어 회로는 상기 가변 저항 회로에 포함된 저항의 값과 상기 단자들의 상태를 최적의 상태로 하기 위해 기준이 되는 외부 기준 저항의 값을 비교하여 상기 제어 신호를 발생하고, 상기 비교가 종료되면 종료 신호를 발생하는 비교 회로와, 상기 제어 신호를 래치하며, 업 데이터 신호에 응답하여 상기 래치된 제어 신호를 발생하는 래치 회로와, 상기 외부 인에이블 신호 및 상기 커맨드 인에이블 신호에 응답하여, 상기 비교 회로를 인에이블시키는 제1 내부 인에이블 신호를 발생하며, 상기 완료 신호를 수신한 후 상기 업 데이터 신호를 발생하고, 상기 제어 신호의 발생 후에 상기 지연 동기 루프 회로를 활성화시키는 제2 내부 인에이블 신호를 발생하는 보정 회로를 구비하며, 상기 제어 신호에 의해 상기 단자들의 상태가 최적의 상태로 변환하기 위해 필요한 보정 시간이 상기 오토 리프레쉬 동작이 수행되는 리프레쉬 시간보다 작으면, 상기 리프레쉬 시간내에 상기 단자들의 상태는 최적의 상태로 변환되며, 상기 보정 시간이 상기 리프레쉬 시간보다 크면, 상기 오토 리프레쉬 동작 중 제1 오토 리프레쉬 동작이 수행되는 동안 상기 비교 회로가 인에이블되며, 상기 제1 오토 리프레쉬 동작이 종료된 후에 수행되는 제2 오토 리프레쉬 동작 동안 상기 단자들의 상태가 최적의 상태로 변환되는 것을 특징으로 한다.

바람직한 실시예에 따르면, 상기 가변 저항 회로들 중 어느 하나는 외부 전원 전압에 연결되며, 상기 제어 신호에 응답하여 저항 값이 상기 외부 기준 저항의 값으로 변하는 제1 가변저항과, 접지 전압에 연결되며, 상기 제어 신호에 응답하여 저항 값이 상기 외부 기준 저항의 값으로 변하는 제2 가변 저항을 구비한다.

이러한 본 발명의 본 발명의 메모리 장치는 공정, 전압 및 온도의 변화에 따라 단자 상태를 최적의 상태로 변환한 후 외부 신호들을 수신하므로, 메모리 장치의 입력/출력 특성이 향상될 수 있다. 또한, 새로이 추가된 명령이 아닌 기존의 명령이 사용되어 단자 상태가 최적화되므로, 본 발명의 메모리 장치의 성능이 향상될 수 있다. 그리고, 본 발명의 메모리 장치는 고속으로 동작하는 경우에도 적합하다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부도면 및 첨부도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 본 발명의 실시예에 따른 메모리 장치를 나타내는 블록 다이어그램이다. 도 1을 참조하면, 본 발명의 메모리 장치(100)는 가변 저항회로들(101, 103, 105, 107), 입력 버퍼들(109, 111, 113, 117), 커맨드 디코더(115), 지연 동기 루프 회로(DLL, 119), 제어 회로(120) 및 코어(core) 부(160)를 구비한다.

단자들(P1, P2, P3, P4, P5)을 통해 메모리 장치를 동작시키기 위한 외부 신호들(DQ, ADDR, CMD, ECLK, DLL_EN)이 인가되며, 단자들(P1, P2, P3, P4, P5)은 외부 시스템(미도시)에 연결되는 채널(미도시)과 연결된다. 여기서, 외부 신호(DQ)는 입력/출력 데이터 신호이고, 외부 신호(ADDR)는 코어부(160)에 포함된 메모리 셀을 선택하기 위한 신호이다. 외부 신호(CMD)는 메모리 장치(100)의 동작을 제어하는 외부 명령 신호이고, 외부 신호(ECLK)는 외부 클락 신호이다. 그리고, 외부 신호(DLL_EN)는 지연 동기 루프 회로(119)를 인에이블(enable)시키기 위한 외부 인에이블 신호(DLL_EN)이다. 또한, 단자(P6)에는 상기 채널의 상태를 최적의 상태로 변환시키기 위해 기준이 되는 외부 기준 저항(Rr)이 연결되며, 외부 기준 저항(Rr)은 접지 전압(VSS)에 연결된다. 그리고, 외부 기준 저항(Rr)은 메모리 장치(100)의 외부에 배치된다.

입력 버퍼들(109, 111, 113, 117)은 각각 외부 신호들(DQ, ADDR, CMD, ECLK)을 버퍼링(buffering)한다. 입력 버퍼들(109, 111, 113, 117) 각각에는 외부 전원 전압(VDD) 및 접지 전압(VSS)이 인가된다.

커맨드 디코더(115)는 디코딩(decoding)된 외부 명령 신호(CMD)를 코어부(160)에 인가한다.

지연 동기 루프 회로(119)는 외부 클락 신호(ECLK)에 동기된 내부 클락 신호(ICLK)를 발생한다. 내부 클락 신호(ICLK)는 입력 버퍼들(109, 111, 113) 및 커맨드 디코더(115)에 인가된다.

도 2는 가변 저항 회로(107)를 구체적으로 나타내는 회로도이다. 도 2를 참조하면, 가변 저항 회로(107)는 제1 가변 저항(RV1) 및 제2 가변 저항(RV2)을 구비한다. 제1 가변 저항(RV1)은 외부 전원 전압(VDDQ)에 연결되고, 제2 가변 저항(RV2)은 접지 전압(VSS)에 연결된다. 다른 가변 저항 회로들(103, 105, 107)도 가변 저항 회로(107)의 구성 요소와 동일한 구성 요소를 구비한다. 따라서, 본 명세서에서는 그것에 대한 설명은 생략된다.

공정, 전압 및 온도의 변화에 따라 제1 가변 저항 및 제2 가변 저항(RV1, RV2)의 저항 값들이 변할 수 있다. 메모리 장치(100)에 전원이 인가되고 외부 인에이블 신호(DLL_EN)가 인에이블되면, 단자(P4)의 상태를 최적의 상태로 변화시키기 위해, 제어 회로(120)로부터 외부 기준 저항(Rr)의 저항 값을 감지하여 발생된 제어 신호(CNT<i>)에 의해 제1 가변 저항 및 제2 가변 저항(RV1, RV2)의 저항 값들은 최적의 저항 값으로 변한다. 상기 최적의 저항 값은 외부 기준 저항(Rr)일 수 있다.

그 후, 외부 클락 신호(ECLK)가 인가되면, 잡음이 적은 외부 클락 신호(ECLK)가 메모리 장치(100)의 내부로 입력될 수 있다. 따라서, 지연 동기 루프 회로(119)의 동기 시간(locking time)이 감소될 수 있다. 마찬가지로, 다른 외부 신호들(DQ, ADDR, CMD)도 각각 단자들(P1, P2, P3)의 상태가 최적의 상태로 변환 후 인가된다.

다시 도 1을 참조하면, 제어 회로(120)는 외부 인에이블 신호(DLL_EN)에 응답하여, 가변 저항 회로들(101, 103, 105, 107)에 포함된 저항의 값을 최적의 저항 값으로 변화시키기 위한 제어 신호(CNT<i>)를 발생한다. 제어 신호(CNT<i>)에 의하여 단자들(P1, P2, P3, P4)의 상태가 최적화된 후, 지연 동기 루프 회로(119)를 인에이블시키기 위한 내부 인에이블 신호(EN2)가 발생된다. 계속하여, 인에이블된 지연 동기 루프 회로(119)는 입력 버퍼(117)에 의해 버퍼링된 외부 클락 신호(ECLK)에 동기된 내부 클락 신호(ICLK)를 발생한다.

또한, 제어 회로(120)는 오토 리프레쉬 동작(auto refresh operation)의 활성화를 나타내는 커맨드 인에이블 신호(CBR_EN)에 응답하여, 본 발명의 메모리 장치(100)가 오토 리프레쉬 동작을 수행하는 동안 단자들(P1, P2, P3, P4)의 상태를 최적화시키는 제어 신호(CNT<i>)를 발생한다. 그러므로써, 메모리 장치(100)의 다른 동작들은 영향을 받지 않을 수 있다. 오토 리프레쉬 동작은 외부 어드레스 신호가 아닌 내부 어드레스 신호에 의해 수행되는 리프레쉬 동작으로서, 주기적으로 수행되며, CBR 명령(CAS before RAS command)에 의해 제어된다.

따라서, 본 발명의 메모리 장치(100)는 단자들(P1, P2, P3, P4)의 상태를 최적화한 후, 외부 신호들을 수신함으로써 메모리 장치(100)의 입력/출력 특성이 향상될 수 있다. 또한, 동작 중간에 단자들의 상태를 최적화시킴으로써 더욱 더 메모리 장치(100)의 입력/출력 특성을 향상시킬 수 있다.

도 3은 도 1의 제어 회로를 나타내는 블록 다이어그램이다. 도 3을 참조하면, 제어 회로는 비교 회로(122), 래치 회로(124) 및 보정 회로(126)를 구비한다.

비교 회로(122)는 제1 내부 인에이블 신호(EN1)에 응답하여, 가변 저항 회로들(101, 103, 105, 107)에 포함된 저항의 값과 외부 기준 저항(Rr)의 값을 비교하여 제어 신호(CNT<i>)를 발생하고, 상기 비교가 종료되면 종료 신호(CO)를 발생한다.

래치 회로(124)는 제어 신호(CNT<i>)를 래치하며, 업 데이트 신호(UD)에 응답하여 상기 래치된 제어 신호(CNT<i>)를 발생한다.

보정 회로(126)는 외부 인에이블 신호(DLL_EN) 및 커맨드 인에이블 신호(CBR_EN)에 응답하여, 비교 회로(122)를 인에이블시키는 제1 내부 인에이블 신호(EN1)를 발생한다. 계속하여, 보정 회로(126)는 완료 신호(CO)를 수신한 후 업 데이트 신호(UD)를 발생하고, 제어 신호(CNT<i>)의 발생 후에 지연 동기 루프 회로(119)를 활성화시키는 제2 내부 인에이블 신호(EN2)를 발생한다.

제어 신호(CNT<i>)에 의해 단자들(P1, P2, P3, P4)의 상태가 최적의 상태로 변환하기 위해 필요한 보정 시간(tCAL)이 오토 리프레쉬 동작이 수행되는 리프레쉬 시간(tRFC)보다 작으면, 리프레쉬 시간(tRFC)내에 단자들(P1, P2, P3, P4)의 상태는 최적의 상태로 변환된다.

보정 시간(tCAL)이 리프레쉬 시간(tRFC)보다 크면, 상기 오토 리프레쉬 동작 중 제1 오토 리프레쉬 동작이 수행되는 동안 상기 비교 회로가 인에이블되며, 상기 제1 오토 리프레쉬 동작이 종료된 후에 수행되는 제2 오토 리프레쉬 동작 동안 단자들(P1, P2, P3, P4)의 상태는 최적의 상태로 변환된다.

도 4는 도 1의 메모리 장치의 동작이 시작되는 경우를 나타내는 타이밍 다이어그램이다.

외부 전원 전압들(VDD, VDDQ)이 상승하면, 본 발명의 메모리 장치(100)의 동작이 시작된다. 그 후, 외부 인에이블 신호(DLL_EN)가 활성화되면, 도 1의 제어 회로(120)가 제어 신호(CNT<1>)를 발생하여 단자들(P1, P2, P3, P4)의 상태를 최적화시킨다. 계속하여, 제2 내부 인에이블 신호(EN2)가 활성화되면, 지연 동기 루프 회로(119)가 인에이블되어 내부 클럭 신호(ICLK)가 발생한다. 즉, 본 발명의 메모리 장치(100)는 단자들(P1, P2, P3, P4)의 상태를 최적화한 후, 외부 신호들을 수신한다.

도 5a는 도 1의 메모리 장치의 동작이 수행되는 동안의 제어 회로의 동작을 나타내는 타이밍 다이어그램이다. 특히, 도 5a는 보정 시간(tCAL)이 리프레쉬 시간(tRFC) 보다 작은 경우를 나타내는 타이밍 다이어그램이다. 도 5에 도시된 A_CMD는 본 발명의 메모리 장치(100)의 다른 동작(예를 들어, 기입 동작(write operation))을 제어하는 외부 명령 신호이다.

내부 클럭 신호(ICLK)에 동기되어 CBR 명령이 발생하면, 커맨드 인에이블 신호(CBR_EN)가 활성화된다. 계속하여, 제1 내부 인에이블 신호(EN1), 종료 신호(CO) 및 업 데이트 신호(UD)가 활성화되어, 업 데이트(update)된 제어 신호(CNT<2>)를 발생한다. 그리하여, 제어 신호(CNT<2>)에 의하여 단자들(P1, P2, P3, P4)의 상태가 최적화된다.

도 5b는 도 1의 메모리 장치의 동작이 수행되는 동안의 제어 회로의 다른 동작을 나타내는 타이밍 다이어그램이다. 특히, 도 5b는 보정 시간(tCAL)이 오토 리프레쉬 시간(tRFC) 보다 큰 경우를 나타내는 타이밍 다이어그램이다.

내부 클럭 신호(ICLK)에 동기되어 제1 CBR 명령이 발생하면, 커맨드 인에이블 신호(CBR_EN)가 활성화된다. 계속하여, 제1 내부 인에이블 신호(EN1) 및 종료 신호(CO)가 활성화될 때, 래치 회로(124)는 단자들(P1, P2, P3, P4)의 상태를 최적화하기 위한 제어 신호(CNT<2>)를 저장한다. 그 후, 내부 클럭 신호(ICLK)에 동기된 외부 명령(A_CMD)에 의해 본 발명의 메모리 장치(100)는 다른 동작을 수행한다. 그 후, 내부 클럭 신호(ICLK)에 동기된 제2 CBR 명령이 발생하면, 업 데이트 신호(UD)가 활성화된다. 그러면, 단자들(P1, P2, P3, P4)의 상태를 최적화하기 위한 제어 신호(CNT<2>)가 가변 저항 회로들(101, 103, 105, 107)에 인가된다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

본 발명의 메모리 장치는 공정, 전압 및 온도의 변화에 따라 단자 상태를 최적의 상태로 변환한 후 외부 신호들을 수신하므로, 메모리 장치의 입력/출력 특성이 향상될 수 있다. 또한, 새로이 추가된 명령이 아닌 기존의 명령이 사용되어 단자 상태가 최적화되므로, 본 발명의 메모리 장치의 성능이 향상될 수 있다. 그리고, 본 발명의 메모리 장치는 고속으로 동작하는 경우에도 적합하다.

도면의 간단한 설명

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 실시예에 따른 메모리 장치를 나타내는 블록 다이어그램이다.

도 2는 가변 저항 회로(107)를 구체적으로 나타내는 회로도이다.

도 3은 도 1의 제어 회로를 나타내는 블록 다이어그램이다.

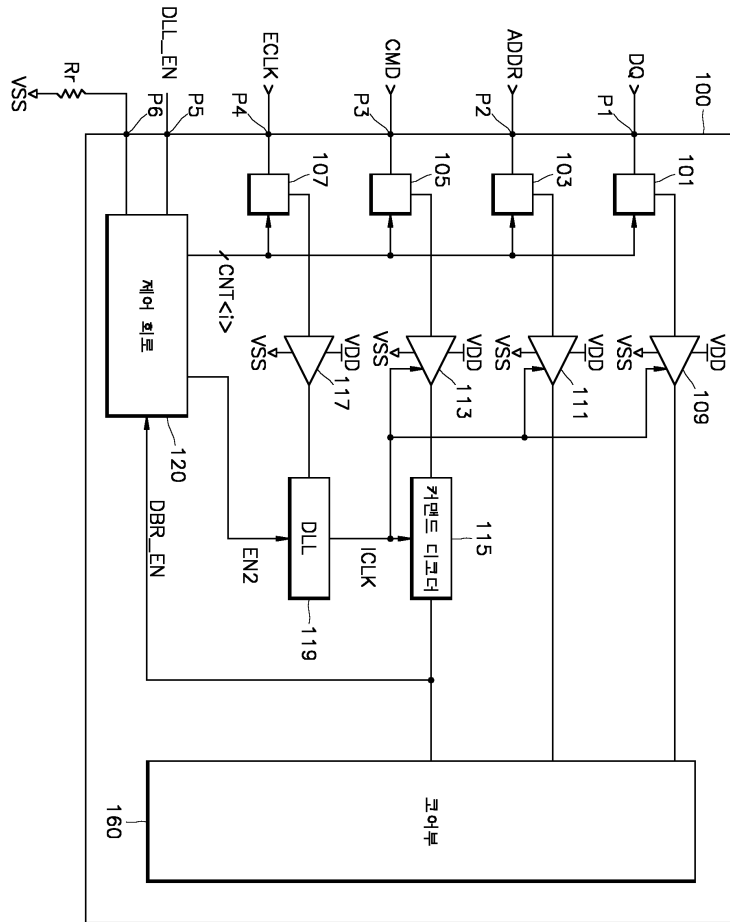
도 4는 도 1의 메모리 장치의 동작이 시작되는 경우를 나타내는 타이밍 다이어그램이다.

도 5a는 도 1의 메모리 장치의 동작이 수행되는 동안의 제어 회로의 동작을 나타내는 타이밍 다이어그램이다.

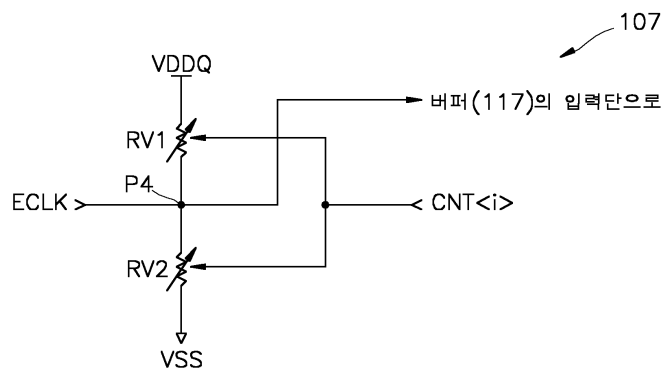
도 5b는 도 1의 메모리 장치의 동작이 수행되는 동안의 제어 회로의 다른 동작을 나타내는 타이밍 다이어그램이다.

도면

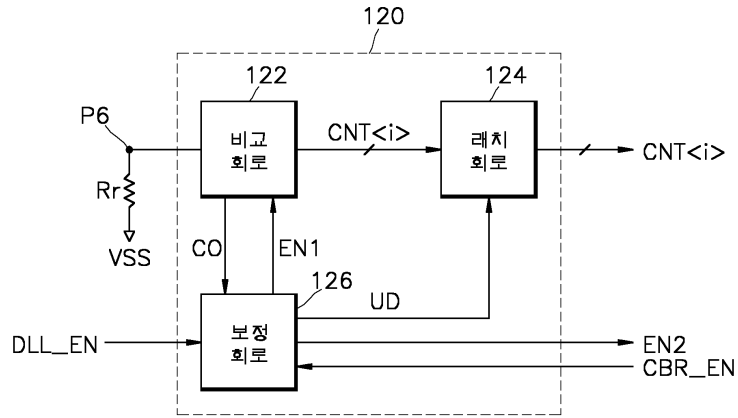
도면1



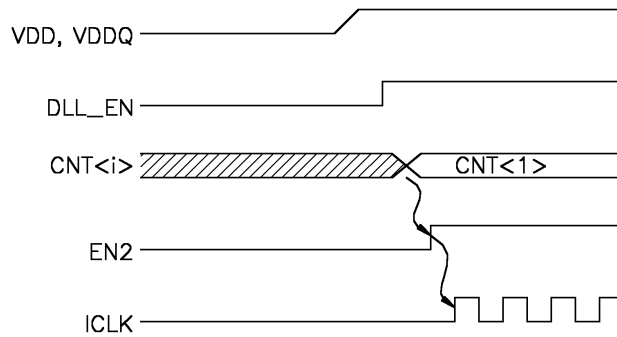
도면2



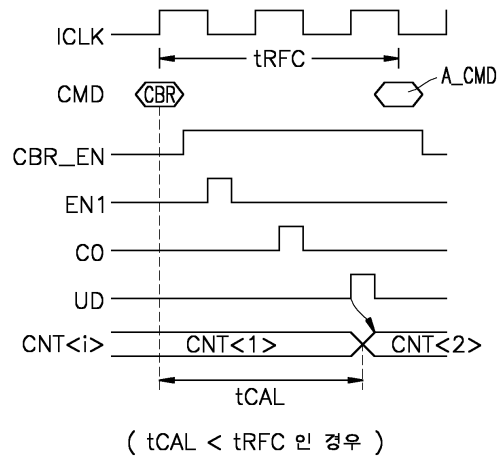
도면3



도면4



도면5a



도면5b

