



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0057510
 (43) 공개일자 2018년05월30일

(51) 국제특허분류(Int. Cl.)
G11C 5/14 (2006.01) **G11C 16/30** (2006.01)
 (52) CPC특허분류
G11C 5/145 (2013.01)
G11C 16/30 (2013.01)
 (21) 출원번호 10-2017-0135991
 (22) 출원일자 2017년10월19일
 심사청구일자 없음
 (30) 우선권주장
 JP-P-2016-226978 2016년11월22일 일본(JP)

(71) 출원인
에이블릭 가부시키키가이샤
 일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지
 (72) 발명자
미타니 마코토
 일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지 에스아이아이 세미컨덕터 가부시키키가이샤 나이
 (74) 대리인
특허법인코리아나

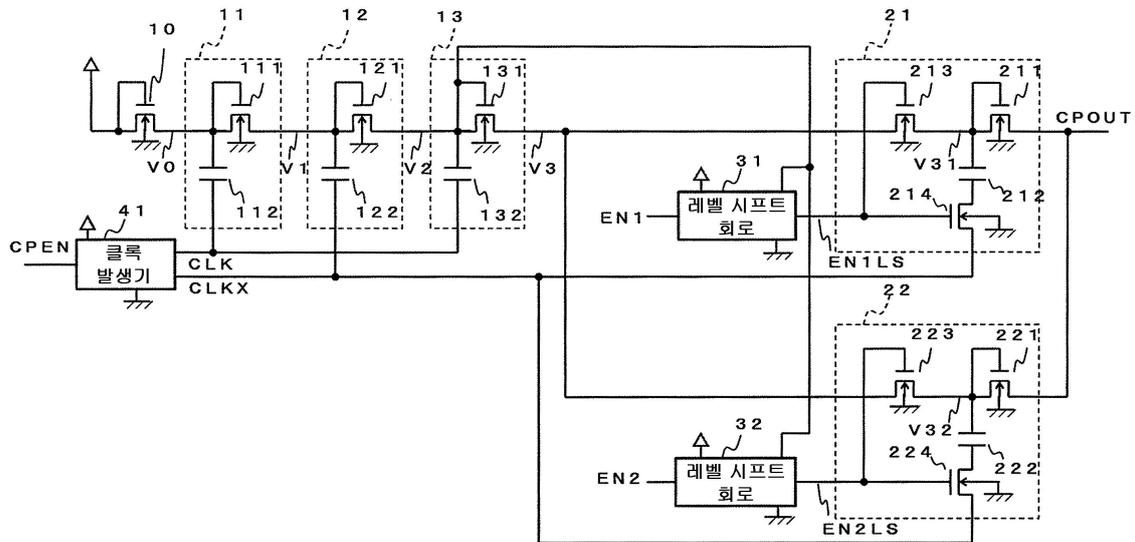
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **승압 회로 및 그것을 구비한 불휘발성 메모리**

(57) 요약

승압 셀에 가해지는 전압 스트레스를 저감하는 것이 가능한 승압 회로를 제공하기 위해서, 입력 단자와 출력 단자 사이에 접속된 전하 전송 트랜지스터와, 입력 단자와 클록 단자 사이에 접속된 승압 용량을 구비한 승압 셀을 복수 직렬로 접속하여 구성한 승압 회로로서, 승압 셀 중 적어도 최종단의 승압 셀을 복수 개 병렬로 접속하는 구성으로 하고, 복수 개 병렬로 접속된 승압 셀을 승압 동작에 따라서 전환하여 최종단의 전단의 승압 셀에 접속한다.

대표도



명세서

청구범위

청구항 1

입력 단자와 출력 단자 사이에 접속된 전하 전송 트랜지스터와, 상기 입력 단자와 클록 단자 사이에 접속된 승압 용량을 구비한 승압 셀을 복수 직렬로 접속하여 구성된 승압 회로로서,

상기 승압 셀 중 적어도 최종단의 승압 셀을 복수 개 병렬로 접속하고, 승압 동작에 따라서 전환하여 최종단의 전단의 승압 셀에 접속하는 구성으로 한 것을 특징으로 하는 승압 회로.

청구항 2

제 1 입력 단자와 제 1 출력 단자 사이에 접속된 제 1 전하 전송 트랜지스터와,

상기 제 1 입력 단자와 클록 단자 사이에 접속된 승압 용량

을 구비한 제 1 승압 셀과,

제 2 입력 단자에 제 1 스위치 소자의 일방의 단자를 접속하고, 이네이블 단자에 상기 제 1 스위치 소자의 제어 단자를 접속하고, 상기 제 1 스위치 소자의 타방의 단자와 제 2 출력 단자 사이에 접속된 제 2 전하 전송 트랜지스터와,

상기 제 1 스위치 소자의 타방의 단자에 일방의 단자가 접속된 제 2 승압 용량과,

상기 이네이블 단자를 제 2 스위치 소자의 제어 단자에 접속하고, 클록 단자와 상기 제 2 승압 용량의 타방의 단자 사이에 접속된 상기 제 2 스위치 소자

를 구비한 제 2 승압 셀을 구비하고,

1 단계부터 최종단의 전단까지는 상기 제 1 승압 셀을 직렬로 접속하고, 최종단은 상기 제 2 승압 셀을 2 개 병렬로 접속하고, 승압 동작에 따라서 상기 2 개의 제 2 승압 셀의 일방을 온시키고, 타방을 오프로 하는 기능을 구비하는 것을 특징으로 하는 승압 회로.

청구항 3

제 2 항에 있어서,

상기 제 2 승압 셀의 이네이블 단자에 입력하는 신호 레벨을, 상기 최종단의 전단의 제 1 승압 셀의 상기 제 1 입력 단자의 전압 레벨로 변환하기 위한 레벨 시프트 회로를 구비하는 것을 특징으로 하는 승압 회로.

청구항 4

제 1 항에 기재된 승압 회로를 구비한 것을 특징으로 하는 불휘발성 메모리.

청구항 5

제 2 항에 기재된 승압 회로를 구비한 것을 특징으로 하는 불휘발성 메모리.

청구항 6

제 3 항에 기재된 승압 회로를 구비한 것을 특징으로 하는 불휘발성 메모리.

발명의 설명

기술 분야

본 발명은, 전하 전송 트랜지스터와 승압 용량을 구비한 승압 회로 및 그것을 구비한 불휘발성 메모리에 관한 것이다.

[0001]

배경 기술

- [0002] 불휘발성 메모리인 EEPROM 은, 메모리 셀에 대한 데이터 갱신에 고전압을 필요로 하기 때문에, 승압 회로를 탑재하고 있다.
- [0003] 도 3 은, 종래의 승압 회로를 나타내는 회로도이다.
- [0004] 종래의 승압 회로는, 승압 셀 (51 ~ 54) 을 직렬로 접속하고, 승압 셀 (54) 의 출력과 승압 셀 (51) 의 입력을 접속한 루프 접속으로 하고 있다. 승압 셀 (51 ~ 54) 은, 승압용의 클록 (CLK1, 2) 이 입력되고, 출력 단자 CPOUT 로부터 승압한 전압을 출력한다.
- [0005] 승압 셀 (51 ~ 54) 은, 각각 다이오드 접속된 NMOS 트랜지스터로 이루어지는 전하 전송 트랜지스터 (511, 521, 531, 541) 와, 승압 용량 (512, 522, 532, 542) 과, PMOS 트랜지스터로 이루어지는 전환 스위치 소자 (513, 523, 533, 543) 와, 다이오드 접속된 NMOS 트랜지스터로 이루어지는 프리 차지용 소자 (514, 524, 534, 544) 와, 다이오드 접속된 NMOS 트랜지스터로 이루어지는 출력용 소자 (515, 525, 535, 545) 로 구성되어 있다.
- [0006] PMOS 트랜지스터로 이루어지는 전환 스위치 소자 (513, 523, 533, 543) 의 게이트에 입력하는 신호 HSW11 ~ HSW14 의 H 레벨에는 고전압 VPP 가 필요하다. 도시는 하지 않지만, 별도 레벨 시프터 회로가 필요해진다.
- [0007] 종래의 승압 회로는, 아래와 같이 승압 동작을 행한다.
- [0008] 신호 HSW11 ~ HSW14 중 어느 1 개를 H 레벨, 나머지 3 개를 L 레벨로 한다. 예를 들어, 전환 스위치 소자 (543) 의 게이트 전압을 H 레벨, 전환 스위치 소자 (513, 523, 533) 의 게이트 전압을 L 레벨로 한다. 전환 스위치 소자 (543) 가 오프하고, 전환 스위치 소자 (513, 523, 533) 는 온한다. 이 때, 승압 셀 (54) 의 프리 차지용 소자 (544) 로부터 전하가 공급되고, 승압 셀 (51, 52, 53) 의 순으로 전하가 전송되어, 승압 셀 (54) 의 출력용 소자 (545) 로부터 승압 전압이 출력된다. 여기서, 도 3 에 나타내는 각 승압 노드 (N1, N2, N3, N4) 의 전위의 고저는 $N3 > N2 > N1 > N4$ 가 된다. 노드 (N3) 의 전위가 가장 높고, 노드 (N3) 에 접속되는 승압 용량 (542) 의 전극간의 절연막이 가장 전압 스트레스를 받는다.
- [0009] 다음으로, 전환 스위치 소자 (533) 의 게이트 전압을 H 레벨, 전환 스위치 소자 (513, 523, 543) 의 게이트 전압을 L 레벨로 하는 경우를 생각한다. 전환 스위치 소자 (533) 가 오프하고, 전환 스위치 소자 (513, 523, 543) 는 온한다. 이 때, 승압 셀 (53) 의 프리 차지용 소자 (534) 로부터 전하가 공급되고 승압 셀 (54, 51, 52) 의 순으로 전하가 전송되어, 승압 셀 (53) 의 출력용 소자 (535) 로부터 승압 전압이 출력된다. 여기서, 각 승압 노드 (N1, N2, N3, N4) 의 전위의 고저는 $N2 > N1 > N4 > N3$ 이 된다. 노드 (N2) 의 전위가 가장 높고, 노드 (N2) 에 접속되는 승압 용량 (532) 의 전극간의 절연막이 가장 전압 스트레스를 받는다.
- [0010] 여기서는, 적당한 횟수의 승압 동작 후에, 전환 스위치 소자의 제어에 의해서 출력용 소자를 전환하여 로테이션시킨다. 각 단의 승압 용량의 스트레스를 평균화할 수 있다 (예를 들어, 특허문헌 1 참조).

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) 일본 공개특허공보 평11-275855호

발명의 내용

해결하려는 과제

- [0012] 그러나, 각 승압 셀을 로테이션하기 위해서, 각 승압 셀 내의 전하 전송 트랜지스터를 각 단의 전위에 따라서 최적으로 설계하기는 어렵다. 전하 전송 트랜지스터에 다이오드 접속된 NMOS 트랜지스터를 사용하면, 전하가 후단으로 전송되어 감에 따라서 기판 효과의 영향으로 임계값 전압이 커져, 전하 전송 효율이 나빠진다.
- [0013] 또, 승압 셀을 로테이션시키기 위한 스위치가 각 단에 필요해진다. 또한, 로테이션시키는 타이밍을 제어하기 위해서, 몇 회 승압 동작을 행했는지에 대한 정보를 유지하기 위한 불휘발성 메모리가 별도로 필요해진다.

과제의 해결 수단

[0014] 본 발명의 승압 회로는, 입력 단자와 출력 단자 사이에 접속된 전하 전송 트랜지스터와, 상기 입력 단자와 클록 단자 사이에 접속된 승압 용량을 구비한 승압 셀을 복수 직렬로 접속하여 구성한 승압 회로로서, 상기 승압 셀 중 적어도 최종단의 승압 셀을 복수 개 병렬로 접속하고, 승압 동작에 따라서 전환하여 전단의 승압 셀에 접속하는 구성으로 한 것을 특징으로 한다.

발명의 효과

[0015] 본 발명의 승압 회로에 의하면, 적어도 전압 스트레스가 가장 큰 최종단의 승압 셀을 복수 구비하고, 그 승압 셀을 승압 동작에 따라서 전환함으로써, 각각의 최종단의 승압 셀에 전압 스트레스가 가해지는 시간을 짧게 할 수 있다.

도면의 간단한 설명

[0016] 도 1 은, 본 발명의 승압 회로의 일 실시형태를 나타내는 회로도이다.
 도 2 는, 승압 회로를 탑재하고 있는 EEPROM 의 동작의 일례를 나타내는 타이밍 차트이다.
 도 3 은, 종래의 승압 회로를 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 본 발명의 실시형태를 도면을 참조하여 설명한다.
 [0018] 도 1 은, 본 발명의 승압 회로의 일 실시형태를 나타내는 회로도이다. 여기서, 승압 회로의 승압 단수는 4 단 (N = 4) 으로 하여 설명한다.

[0019] 본 실시형태의 승압 회로는, 다이오드 접속된 NMOS 트랜지스터 (10) 와, 승압 셀 (11 ~ 13) 과, 승압 셀 (21, 22) 과, 레벨 시프트 회로 (31, 32) 와, 클록 발생기 (41) 를 구비한다.

[0020] 승압 셀 (11 ~ 13) 은, 각각, 입력 단자와 출력 단자와 클록 입력 단자의 3 단자를 갖고, 다이오드 접속된 NMOS 트랜지스터로 이루어지는 전하 전송 트랜지스터 (111, 121, 131) 와, 승압 용량 (112, 122, 132) 을 구비한다.
 각 전하 전송 트랜지스터 (111, 121, 131) 의 게이트와 소스는 각각 각 승압 셀 (11 ~ 13) 의 입력 단자와 각 승압 용량 (112, 122, 132) 의 일방의 단자에 접속하고, 각 전하 전송 트랜지스터 (111, 121, 131) 의 드레인 은 각각 각 승압 셀 (11 ~ 13) 의 출력 단자에 접속하고, 각 승압 용량 (112, 122, 132) 의 타방의 단자는 각각 각 승압 셀 (11 ~ 13) 의 클록 입력 단자에 접속한다.

[0021] 승압 셀 (21, 22) 은, 각각, 입력 단자와 출력 단자와 클록 입력 단자와 선택 단자의 4 단자를 갖고, 다이오드 접속된 NMOS 트랜지스터로 이루어지는 전하 전송 트랜지스터 (211, 221) 와, 승압 용량 (212, 222) 과, NMOS 트랜지스터로 이루어지는 경로 선택 스위치 (213, 223) 와, NMOS 트랜지스터로 이루어지는 승압 용량 선택 스위치 (214, 224) 를 구비한다.

[0022] 각 전하 전송 트랜지스터 (211, 221) 의 게이트와 소스는 모두 각 승압 용량 (212, 222) 의 일방의 단자와 각 경로 선택 스위치 (213, 223) 의 드레인에 각각 접속하고, 각 전하 전송 트랜지스터 (211, 221) 의 드레인 은 각각 각 승압 셀 (21, 22) 의 출력 단자에 접속하고, 각 승압 용량 (212, 222) 의 타방의 단자는 각각 각 승압 용량 선택 스위치 (214, 224) 의 소스에 접속하고, 각 경로 선택 스위치 (213, 223) 의 소스는 각각 각 승압 셀 (21, 22) 의 입력 단자에 접속하고, 각 승압 용량 선택 스위치 (214, 224) 의 드레인 은 각각 각 승압 셀 (21, 22) 의 클록 입력 단자에 접속하고, 각 경로 선택 스위치 (213, 223) 의 게이트와 각 승압 용량 선택 스위치 (214, 224) 의 게이트는 각각 각 승압 셀 (21, 22) 의 선택 단자에 접속한다.

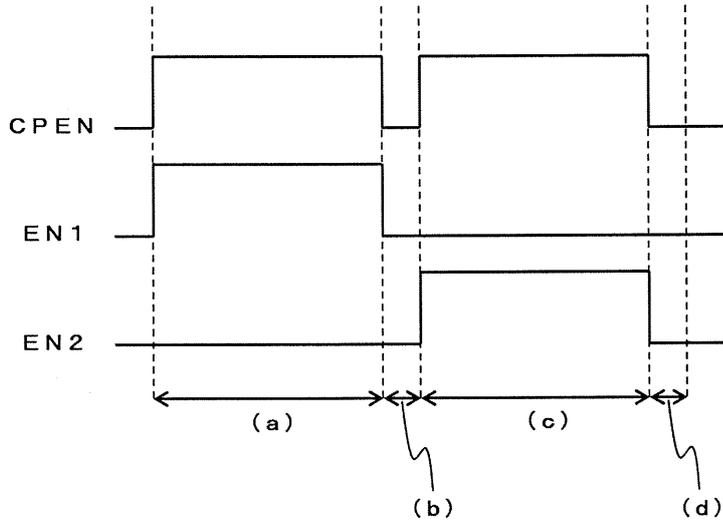
[0023] 레벨 시프트 회로 (31, 32) 는, 각각, 입력 단자와 출력 단자와 제 1 전원 단자와 제 2 전원 단자와 GND 단자의 5 단자를 갖는다. 입력 단자에는, 제 1 전원 단자와 GND 단자 사이의 전압 범위의 신호 EN1 (EN2) 를 입력한다. 출력 단자로부터는, 제 2 전원 단자와 GND 단자 사이의 전압 범위의 신호 EN1LS (EN2LS) 를 출력한다.

[0024] 클록 발생기 (41) 는, 이네이블 단자와 제 1, 제 2 클록 출력 단자와 전원 단자와 GND 단자의 5 단자를 갖고, 이네이블 단자에 신호 CPEN 이 입력되고, 제 1 클록 출력 단자가 승압 셀 (11, 13) 의 클록 입력 단자에 접속되고, 제 2 클록 출력 단자가 승압 셀 (12) 과 승압 셀 (21, 22) 의 클록 입력 단자에 접속된다. 이네이블 단자에 H 레벨의 신호 CPEN 을 입력하면, 제 1 클록 출력 단자로부터 클록 신호 CLK 와, 제 2 클록 출력 단자로부터

터 클록 신호 CLKX 가 출력되고, 이네이블 단자에 L 레벨의 신호 CPEN 을 입력하면, 클록 신호의 출력은 정지된다. 클록 신호 CLK 와 클록 신호 CLKX 는 서로 역상의 신호이다.

- [0025] 전원 단자 (전원 전압 Vcc) 에 승압 회로의 입력 단자인 NMOS 트랜지스터 (10) 를 접속하고, 또한, 승압 셀 (11 ~ 13) 을 직렬로 3 단 접속한다. 승압 셀 (21) 및 승압 셀 (22) 은, 직렬로 3 단 접속된 최종단의 승압 셀 (13) 의 다음 단에 병렬로 접속되고, 출력 단자 CPOUT 로부터 승압된 전압을 출력한다. 각 승압 셀 (11 ~ 13, 21, 22) 의 노드는 V0, V1, V2, V3, V31, V32 로 한다.
- [0026] 신호 EN1, EN2 는, 각각 레벨 시프트 회로 (31, 32) 를 경유하고, 레벨 시프트된 신호 EN1LS, EN2LS 로서 승압 셀 (21, 22) 의 각 선택 단자에 입력된다. 여기서 레벨 시프트 회로 (31, 32) 는 전원 전압 Vcc ~ GND 레벨의 논리 신호인 EN1, EN2 를, 노드 (V2) 의 전압 ~ GND 레벨의 논리 신호인 EN1LS, EN2LS 로 변환한다.
- [0027] 본 실시형태의 승압 회로는, 아래와 같이 승압 동작을 행한다.
- [0028] 클록 신호 CLK 가 L 레벨이고 클록 신호 CLKX 가 H 레벨일 때, 승압 용량 (112) 은 NMOS 트랜지스터 (10) 를 통하여 전원 전압 Vcc 가 충전된다. 다음으로, 클록 신호 CLK 및 CLKX 가 반전하면, 승압 용량 (122) 은 전하 전송 트랜지스터 (111) 를 통하여 승압 용량 (112) 의 전하가 전송되고 충전된다. 이하, 이 충전과 전송을 반복하여, 승압 회로는 전원 전압 Vcc 를 바탕으로 전압을 승압한다.
- [0029] 승압 셀 (21) 을 선택하여 승압 동작하는 경우, 신호 EN1 을 H 레벨로, 신호 EN2 를 L 레벨로 한다. 신호 EN1LS 도 H 레벨이 되고, 경로 선택 스위치 (213), 승압 용량 선택 스위치 (214) 가 온한다. 마찬가지로, 승압 셀 (22) 을 선택하여 승압 동작하는 경우, 신호 EN1 을 L 레벨로, 신호 EN2 를 H 레벨로 한다. 신호 EN2LS 도 H 레벨이 되고, 경로 선택 스위치 (223), 승압 용량 선택 스위치 (224) 가 온한다. 그리고, 선택된 승압 셀에 의해서, 충전과 전송이 반복되어, 승압 동작이 이루어진다.
- [0030] 본 실시형태의 승압 회로를 탑재하고 있는 EEPROM 은, 외부로부터 기록 명령을 수신하면, 승압 회로가 동작하고, 내부 승압 전압을 발생시켜 메모리 셀의 데이터의 갱신을 행한다.
- [0031] 도 2 는, 승압 회로를 탑재하고 있는 EEPROM 의 동작의 일례를 나타내는 타이밍 차트이다.
- [0032] EEPROM 의 동작은, (a) 소거 기간, (b) 디스차지 기간, (c) 기록 기간, (d) 디스차지 기간의 4 개의 기간을 갖고 있다. 그리고, EEPROM 은, 1 회의 갱신 동작으로, (a) 소거 기간, (c) 기록 기간의 2 개의 기간에서 승압 동작을 행한다.
- [0033] (a) 소거 기간에 있어서, 신호 CPEN 을 H 레벨이 되고, 승압 동작을 개시한다. 이 때, 신호 EN1 을 H 레벨, 신호 EN2 를 L 레벨로 하여, 승압 셀 (21) 을 선택한다. (b) 디스차지 기간에 있어서, 신호 CPEN, EN1 을 L 레벨로 함으로써, 1 회째의 승압 동작이 종료된다. 도시는 하지 않지만, 별도 디스차지 회로가 동작하고, 각 승압 노드는 전원 전압 VCC 의 레벨까지 방전한다. (c) 기록 기간에 있어서, 신호 CPEN 이 다시 H 레벨이 되고, 승압 동작이 개시한다. 이 때, 신호 EN1 을 L 레벨, 신호 EN2 를 H 레벨로 하여, 승압 셀 (22) 를 선택한다. (d) 디스차지 기간에 있어서, 신호 CPEN, 신호 EN2 를 L 레벨로 함으로써, 2 회째의 승압 동작이 종료하고, 각 승압 노드는 전원 전압 VCC 의 레벨까지 방전한다. 이상에 의해서, 메모리 셀에 대한 데이터 갱신이 완료된다.
- [0034] 이 때, 가장 전압이 높아지는 승압 노드는 V3, V31, V32 이다. 이들 노드가 게이트 전극에 접속되는 전하 전송 트랜지스터 (211, 221) 와 승압 용량 (212, 222) 이 전압 스트레스가 가장 큰 소자이다. 본 실시형태의 승압 회로에서는, (a) 소거 기간에 전하 전송 트랜지스터 (211), 승압 용량 (212) 을 사용하고, (c) 기록 기간에 전하 전송 트랜지스터 (221), 승압 용량 (222) 을 사용함으로써, 이들 소자의 사용 빈도를 반감시키고, 따라서 전압 스트레스가 가해지는 시간을 절반으로 할 수 있다.
- [0035] 이상 설명한 바와 같이, 본 실시형태의 승압 회로에 의하면, 가장 전압 스트레스가 큰 최종단의 승압 셀을 2 개 준비하여 전환함으로써, 전압 스트레스가 최종단의 승압 셀에 가해지는 시간을 절반으로 할 수 있다.
- [0036] 또, 본 실시형태의 승압 회로에서는, 각 승압 셀이 몇 단체인지가 고정되어 있기 때문에, 각 전하 전송 트랜지스터의 임계값이나 채널 길이를 최적으로 설계할 수 있다. 또, 승압 셀의 선택을 최종단으로만 하고 있기 때문에, 다른 단은 스위치 소자나 레벨 시프트 회로를 필요 없게 할 수 있다.
- [0037] 또한, 본 실시형태에서는, 승압 단수를 N = 4 로 했지만, 몇 단이어도 된다. 또, 승압 셀의 전환을 최종단으로만 했지만, 복수 단의 승압 셀을 병렬로 준비하여 전환하는 것도 가능하고, 보다 전압 스트레스를 저감한

도면2



도면3

