

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5400259号
(P5400259)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月1日(2013.11.1)

(51) Int. Cl.		F I	
G 1 1 C	11/404 (2006.01)	G 1 1 C	11/34 3 5 2 D
G 1 1 C	11/4091 (2006.01)	G 1 1 C	11/34 3 5 3 E
H O 1 L	21/8242 (2006.01)	H O 1 L	27/10 6 2 1 C
H O 1 L	27/108 (2006.01)	H O 1 L	27/10 6 8 1 B
G 1 1 C	11/401 (2006.01)	H O 1 L	27/10 6 8 1 C

請求項の数 11 (全 28 頁) 最終頁に続く

(21) 出願番号	特願2005-172077 (P2005-172077)	(73) 特許権者	513192281
(22) 出願日	平成17年6月13日(2005.6.13)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2006-172683 (P2006-172683A)		PS4 Luxco S. a. r. l.
(43) 公開日	平成18年6月29日(2006.6.29)		ルクセンブルク大公国エルー2121、ル クセンブルク、ヴァル デ ボン マラデ ス208
審査請求日	平成20年3月10日(2008.3.10)	(74) 代理人	100123788
(31) 優先権主張番号	特願2004-335886 (P2004-335886)		弁理士 宮崎 昭夫
(32) 優先日	平成16年11月19日(2004.11.19)	(74) 代理人	100106138
(33) 優先権主張国	日本国(JP)		弁理士 石橋 政幸
		(74) 代理人	100127454
			弁理士 緒方 雅昭

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

それぞれMOSトランジスタとキャパシタを含み、前記MOSトランジスタのゲートが選択端子とされ、ソースおよびドレインの一方が入出力端子とされ、ソースおよびドレインの他方が前記キャパシタの蓄積ノードに接続される複数のメモリセルと、

前記複数のメモリセルの前記選択端子にそれぞれ接続される複数のワード線と、

前記複数のメモリセルの前記入出力端子にそれぞれ接続される相補ビット線と、

前記蓄積ノードの反対側の端子に接続されるプレート線と、

前記相補ビット線の一端に接続され、前記相補ビット線の電圧差を増幅しラッチを行うセンスアンプと、

前記センスアンプを活性化させ、前記センスアンプを介して前記相補ビット線に第1乃至第3の電圧を供給するセンスアンプドライバと、

前記プレート線に電圧を供給するプレートドライバと、

前記複数のワード線、前記センスアンプドライバ及び前記プレートドライバを制御する制御回路と、

を備えた半導体記憶装置であって、

前記制御回路は、前記複数のワード線の中のいずれかのワード線が活性化した後、

前記プレートドライバを制御して前記プレート線の電圧を第7の電圧から前記第7の電圧よりも低い第6の電圧へ駆動し、更に、前記センスアンプドライバを制御して前記センスアンプを活性化することによって前記相補ビット線のうちの一方のビット線を前記第1

10

20

の電圧に増幅し、他方のビット線を前記第 1 の電圧よりも低い前記第 2 の電圧に増幅し、前記制御回路は、更に、前記センスアンプを活性化した後に、前記プレートドライバを制御して前記プレート線の電圧を前記第 6 の電圧から前記第 7 の電圧へ駆動し、更に、前記センスアンプドライバを制御して前記第 1 の電圧に増幅されたビット線を、第 1 の時間にて前記第 1 の電圧よりも低く且つ前記第 2 の電圧よりも高い前記第 3 の電圧に下げ、これによって、前記プレート線の電圧を前記第 6 の電圧から前記第 7 の電圧へ駆動することで過剰に蓄積された前記蓄積ノードの電荷を前記 MOS トランジスタの閾値に応じて放電し、

その後、前記いずれかのワード線を非活性化する、ことを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 記載の半導体記憶装置において、

前記センスアンプは、第 1 および第 2 の P チャネル型 MOS トランジスタと、第 1 および第 2 の N チャネル型 MOS トランジスタを含み、

前記第 1 の P チャネル型 MOS トランジスタは、ソースが P 側共通ソース端子に接続され、ゲートが前記相補ビット線のうちの第 2 のビット線に接続され、ドレインが前記相補ビット線のうちの第 1 のビット線に接続されており、

前記第 2 の P チャネル型 MOS トランジスタは、ソースが前記 P 側共通ソース端子に接続され、ゲートが前記第 1 のビット線に接続され、ドレインが前記第 2 のビット線に接続されており、

前記第 1 の N チャネル型 MOS トランジスタは、ソースが N 側共通ソース端子に接続され、ゲートが前記第 2 のビット線に接続され、ドレインが前記第 1 のビット線に接続されており、

前記第 2 の N チャネル型 MOS トランジスタは、ソースが前記 N 側共通ソース端子に接続され、ゲートが前記第 1 のビット線に接続され、ドレインが前記第 2 のビット線に接続されており、

前記センスアンプドライバは、前記複数のワード線の中のいずれかのワード線が活性化された後、前記 P 側共通ソース端子が前記第 1 の電圧に駆動され、前記 N 側共通ソース端子が前記第 2 の電圧に駆動された段階で、前記 P 側共通ソース端子を前記第 1 の時間にて前記第 1 の電圧よりも低く且つ前記第 2 の電圧以上の第 4 の電圧に駆動する手段を有し、よって前記プレート線の電圧を前記第 6 の電圧から前記第 7 の電圧へ駆動することによって過剰に蓄積された前記蓄積ノードの電荷を前記 MOS トランジスタの閾値に応じて放電する、ことを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 記載の半導体記憶装置において、

前記第 4 の電圧は、前記第 3 の電圧から前記第 1 または前記第 2 の P チャネル型 MOS トランジスタのしきい値電圧を引いた値よりも低い、ことを特徴とする半導体記憶装置。

【請求項 4】

請求項 2 記載の半導体記憶装置において、

前記第 1 の時間は、前記半導体記憶装置にプリチャージコマンドが入力された時間よりも遅い、ことを特徴とする半導体記憶装置。

【請求項 5】

請求項 2 記載の半導体記憶装置において、

前記いずれかのワード線が活性化された後、前記 P 側共通ソース端子を、前記第 1 の電圧よりも高い第 5 の電圧に駆動し、その後、前記第 1 の電圧に駆動し、更にその後、前記第 1 の時間にて前記第 4 の電圧に駆動する手段を有する、ことを特徴とする半導体記憶装置。

【請求項 6】

請求項 2 記載の半導体記憶装置において、

複数の前記プレート線を備え、

前記複数のプレート線は、前記複数のメモリセル内で前記蓄積ノードと反対側の前記キ

10

20

30

40

50

ャパシタのノードとなるプレート端子にそれぞれ接続され、

前記複数のプレート線の中の同一のプレート線には、前記複数のワード線の中の同一のワード線に接続される前記複数のメモリセルの前記プレート端子のみが接続される、ことを特徴とする半導体記憶装置。

【請求項 7】

請求項 6 記載の半導体記憶装置において、

前記キャパシタは、前記キャパシタの一方の電極が層間絶縁膜の孔の内壁に形成されたシリンダ形状である、ことを特徴とする半導体記憶装置。

【請求項 8】

請求項 6 記載の半導体記憶装置において、

前記相補ビット線は、前記複数のワード線の中の同一のワード線と交差し、互いに隣接して配置される、ことを特徴とする半導体記憶装置。

10

【請求項 9】

請求項 6 記載の半導体記憶装置において、

前記相補ビット線は、前記複数のワード線の中の同一のワード線と交差し、間に 1 本のビット線を挟んで配置される、ことを特徴とする半導体記憶装置。

【請求項 10】

請求項 6 記載の半導体記憶装置において、

前記相補ビット線は、前記センスアンプを中心に互いに反対方向に延伸し、前記センスアンプが前記複数のワード線の延伸する方向に複数配置されることで、前記相補ビット線を含む複数のビット線が互いに隣接して配置され、

20

前記複数のワード線間のピッチは、前記複数のビット線間のピッチと同じかまたは広い、ことを特徴とする半導体記憶装置。

【請求項 11】

請求項 6 記載の半導体記憶装置において、

前記相補ビット線は、前記センスアンプを中心に互いに反対方向に延伸し、前記センスアンプが前記複数のワード線の延伸する方向に複数配置されることで、前記相補ビット線を含む複数のビット線が互いに隣接して配置され、

前記複数のワード線間のピッチは、前記複数のビット線間のピッチよりも狭い、ことを特徴とする半導体記憶装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイナミック型ランダムアクセスメモリ(DRAM)などの半導体記憶装置に関し、特にプレート電極を駆動してメモリセルへの書き込み電荷量を増加する半導体記憶装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

本発明者が検討したところによれば、DRAMの微細化技術に関しては、以下のようなものが考えられる。

40

【0003】

DRAMのメモリセルを微細化し高集積化するためには、限られたメモリセル底面積の中で大きな容量を実現するキャパシタおよび、微細トランジスタが必要である。メモリセルトランジスタを微細化する際に大きな問題となるのが、ゲート酸化膜の薄膜化である。MOSトランジスタのゲート長を短縮する際には、短チャネル効果を抑制するために、ゲート酸化膜を薄膜化する必要がある。

【0004】

しかしながら、DRAMにおいては、メモリセルにNチャネルMOSトランジスタを用いており、蓄積ノードへの‘H’側の最大書き込み電圧が、メモリセルトランジスタのゲートに印加されるワード線‘H’側の電圧VPPからしきい値電圧VT分下がったVPP -

50

V_Tとなること、およびデータ保持特性を維持するためにしきい値電圧V_Tを低減することは許されないことから、ワード線電圧を容易には低減できない。したがって、ロジック製品に用いられるMOSトランジスタと比較すると、メモリセルトランジスタのゲート酸化膜は厚くなるため、微細化が困難である。

【0005】

このような問題に対して、例えば特許文献1には、メモリセルのプレート電極を駆動して、メモリセルへの書込み電圧を高めるDRAMが示されている。本方式では、ワード線の‘H’側の電圧を低減して、これによって‘H’側データの書き込みが不十分になる問題を、プレート電極を駆動することにより補っている。このようにすると、メモリセルトランジスタのゲート酸化膜を薄膜化できるため、メモリセルを微細化することが可能になる。

10

【特許文献1】特開平11-260054号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、前記のようなDRAMの微細化技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

【0007】

例えば、前述した特許文献1の技術には、次のような問題があることが判明した。メモリセルに用いる微細トランジスタは、しきい値電圧V_Tのばらつきが大きく、大容量のDRAMにおいては、ばらつきの範囲は1V近くになる。このようにメモリセルのしきい値電圧ばらつきが大きい場合にプレート駆動を行うと、メモリセルに書き込まれる電圧が大きくなばらつきを持つ。すなわち、しきい値電圧が大きいセルに対して十分に電圧を書き込もうとして、プレートの振幅を大きくすると、しきい値電圧が小さいセルでは過剰に高い電圧が書き込まれてしまい、メモリセルトランジスタの信頼性が低下する。

20

【0008】

この問題を図20、図21を用いて説明する。図20は、本発明の前提として検討とした技術の半導体記憶装置において、プレートを駆動するDRAMメモリアレーの一部の構成例を示す回路図である。図21は、図20の半導体記憶装置において、その動作の一例を示す動作波形図である。

30

【0009】

図20に示すDRAMメモリアレーは、例えば、メインワード線MWLBやサブワードドライバ選択線FXによって駆動されるワード線WL0と、ビット線BLT、BLBと、ワード線WL0とビット線BLTの交点に設けられたメモリセルと、ビット線BLT、BLB間に設けられたセンスアンプSAなどを含んでいる。メモリセルは、メモリセルトランジスタとキャパシタCsを含んでおり、キャパシタCsの一端(メモリセルトランジスタ側)は蓄積ノードSNであり、他端はプレート線PLである。

【0010】

センスアンプSAは、センスアンプ分離信号SHR0、SHR1によって駆動されるトランスファーゲートTGCと、列選択線YSによってビット線BLT、BLBとローカルIO線対(LIO線対)を接続する読み出し・書き込みポートIOPと、プリチャージ信号BLEQの活性化によってビット線BLT、BLBのプリチャージを行うプリチャージ回路PCCと、P側共通ソース線CSPおよびN側共通ソース線CSNの駆動によってビット線BLT、BLBの電圧差を増幅するクロスカップル・アンプCCとを含んでいる。なお、ここでは一部の構成を示しているが、実際のDRAMメモリアレーには、多数のメモリセルやセンスアンプSA等が含まれる。

40

【0011】

このような構成に対し、例えば図21のような動作が行われる。まず、チップ外部からバンク活性化コマンドACTが入力されると、アドレスで指定されたセンスアンプSAにおいてセンスアンプ分離信号SHRの片側SHR1とプリチャージ信号BLEQが非活性

50

化される。行デコーダにおいて、メインワード線MWLBがVKKに下がり、アレー制御回路においてサブワードドライバ選択線FXが活性化されると、選択されたワード線WL0がVKKからVPPに活性化される。ここで、VKKは負電源発生回路により発生されたワード線の低レベル側の電源電圧であり、VPPは高レベル側の電源電圧である。

【0012】

そして、ワード線WL0によって選択されたメモリセルにおいては、メモリセルトランジスタが導通し、ビット線BLT上に信号が読み出される。図21では、メモリセルに接地電圧VSSが書き込まれており、'L'の信号が発生した例を示している。その後、センスアンプSAにおいてP側共通ソース線CSPがVDLに、N側共通ソース線CSNが接地電圧VSSに駆動され、ビット線BLT、BLB上の信号が増幅される。この状態で、メモリチップは、リードコマンドRDまたはライトコマンドWRTを受け付けることができる。図21では、ライトコマンドWRTが入力された場合を示している。

10

【0013】

これによって、選択されたアドレスの列選択線YSが活性化され、LIO線対から、ライトデータが書き込まれる。ここではビット線BLTが'H'に駆動される反転書込み時の波形を示している。

【0014】

その後、選択メモリセルのプレート線PLの電圧がVPHからVPLへと立ち下げられる。メモリセルトランジスタはNチャネルMOSトランジスタなので、しきい値電圧をVTとすると、蓄積ノードSNへ書きこむことができる最大の電圧はVPP - VTとなる。このDRAMメモリアレーでは、ワード線の'H'レベルVPPを電源電圧VDD(たとえば1.8V)程度まで下げている。また、メモリセルトランジスタは、微細なトランジスタを用いており、個数も多いため、しきい値電圧VTのばらつきが1V近くと非常に大きくなる。例えば設計中心値を0.7Vとした場合、しきい値電圧VTの最小値は0.2V、最大値は1.2Vになる。

20

【0015】

そうすると、ビット線電圧VDLを例えば1.3Vとした場合、しきい値電圧が低いメモリセル(LVT-cell)では、VPP - VT = 1.6Vなのでメモリセルトランジスタがオンしており、蓄積ノードSNにVDL = 1.3Vが書き込まれるが、しきい値電圧が中程度のメモリセル(MVT-cell)、高いメモリセル(HVT-cell)では増幅の途中でカットオフ状態となり、それぞれ1.1V、0.6Vまでしか書き込まれない。すなわち、書き込み時における蓄積ノードSNの電圧は、メモリセルトランジスタのしきい値電圧VTに対応して0.6Vから1.3Vまでのばらつきを持つ。

30

【0016】

この状態で、プリチャージコマンドPRCが入力された後に、選択メモリセルのプレート線PLの電圧をVPLからVPHに復帰させると、蓄積ノードSNの電圧は、キャパシタCsからのカップリングを受け、PL = VPH - VPL分だけ上昇する。'H'が書き込まれたメモリセルでは、メモリセルトランジスタがカットオフするかコンダクタンスが非常に小さい状態であるために、PLの電圧上昇分が保持されるが、'L'が書き込まれたメモリセルでは、メモリセルトランジスタが十分にオン状態であるために、すぐに接地電圧VSSに復帰する。したがって、蓄積電荷量をPLだけ増加することができる。

40

【0017】

PLを、最もしきい値電圧の高いメモリセル(HVT-cell)の書込み電圧がVDLまで上昇するように例えば0.7Vに設定すると、全てのメモリセルが1.3V以上に書き込まれるため、次のサイクルでの読み出し信号量やリテンション時間のマージンを広げることができる。しかしながら、しきい値電圧の低いセル(LVT-cell)では、もともとVDL = 1.3Vまで書き込めていたので、さらに電圧がPL分だけ上昇すると2.0Vにまで高くなる。このままワード線を非活性化すると、待機時にメモリセルトランジスタに高い電圧が印加されたままとなるため、デバイスの信頼性が低下し、メモリ

50

セルトランジスタの微細化が困難となる。

【0018】

そこで、本発明の目的は、このような問題等を鑑み、特にDRAMの微細化に有益となる半導体記憶装置を提供することである。

【0019】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0020】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】

本発明による半導体記憶装置は、それぞれMOSトランジスタとキャパシタを含み、このMOSトランジスタのゲートが選択端子とされ、ソースおよびドレインの一方が入出力端子とされ、ソースおよびドレインの他方がキャパシタの蓄積ノードに接続される複数のメモリセルと、複数のメモリセルの選択端子にそれぞれ接続される複数のワード線と、複数のメモリセルの入出力端子にそれぞれ接続される相補ビット線と、蓄積ノードの反対側の端子に接続されるプレート線と、相補ビット線の一端に接続され、相補ビット線の電圧差を増幅しラッチを行うセンスアンプと、センスアンプを活性化させ、センスアンプを介して相補ビット線に第1乃至第3の電圧を供給するセンスアンプドライバと、プレート線に電圧を供給するプレートドライバと、複数のワード線、センスアンプドライバ及びプレートドライバを制御する制御回路と、を備えており、制御回路は、複数のワード線の中のいずれかのワード線が活性化した後、プレートドライバを制御してプレート線の電圧を第7の電圧から第7の電圧よりも低い第6の電圧へ駆動し、更に、センスアンプドライバを制御してセンスアンプを活性化することによって相補ビット線のうちの一方のビット線を第1の電圧に増幅し、他方のビット線を第1の電圧よりも低い第2の電圧に増幅し、制御回路は、更に、センスアンプを活性化した後、プレートドライバを制御してプレート線の電圧を第6の電圧から第7の電圧へ駆動し、更に、センスアンプドライバを制御して第1の電圧に増幅されたビット線を、第1の時間にて第1の電圧よりも低く且つ第2の電圧よりも高い第3の電圧に下げ、これによって、プレート線の電圧を第6の電圧から第7の電圧へ駆動することで過剰に蓄積された蓄積ノードの電荷をMOSトランジスタの閾値に 20
応じて放電し、その後、上記いずれかのワード線を非活性化するものとなっている。 30

【0022】

すなわち、DRAMメモリセルにおいて、MOSトランジスタ（メモリセルトランジスタ）のしきい値電圧のばらつき等によって、書き込み（再書き込みを含む）電荷量のばらつきが生じる場合があるが、この書き込み電荷量のばらつきを、ワード線を非活性化する前の書き込みの終盤部分で、過剰な書き込み電荷を放電させることで低減する。これによって、過剰な書き込み電荷に伴い発生する、素子の耐久性、耐圧およびリーク等の信頼性の問題を解決することができ、半導体記憶装置の微細化が可能になる。

【0023】

ここで、前記センスアンプは、いわゆるクロスカップル型アンプとすることができ、この場合、前述したような手段は、このクロスカップル型アンプのP側共通ソース端子を、第1の電圧からこれよりも低い第4の電圧に下げることによって実現することができる。また、前記第1の時間は、前記半導体記憶装置にプリチャージコマンドが入力された時間よりも遅い時間とすることができる。すなわち、ワード線が非活性化する直前の短い時間で、蓄積ノードへの過剰な書き込む電荷を放電し、書き込み電荷の調整を行う。

【0024】

なお、前述した手段は、いわゆるセンスアンプのオーバードライブと組み合わせて用いることもできる。この場合、ワードが活性化された後、P側共通ソース線を第1の電圧よりも高い第5の電圧に駆動し、その後、第1の電圧に駆動し、更にその後、第4の電圧に 50

駆動することになる。

【0025】

また、本発明による半導体記憶装置は、それぞれMOSトランジスタとキャパシタを含み、このMOSトランジスタのゲートが選択端子とされ、ソースおよびドレインの一方が入出力端子とされ、ソースおよびドレインの他方がキャパシタの蓄積ノードに接続される複数のメモリセルと、複数のメモリセルの選択端子にそれぞれ接続される複数のワード線と、複数のメモリセルの入出力端子にそれぞれ接続される相補ビット線と、複数のメモリセルのキャパシタにて、蓄積ノードの反対側の端子にそれぞれ接続される複数のプレート線と、相補ビット線の一端に接続され、相補ビット線の電圧差を増幅しラッチを行うセンスアンプと、センスアンプを活性化させるためにセンスアンプを介して相補ビット線に高電位な第1乃至第3の電圧を供給するセンスアンプドライバと、プレート線に電圧を供給するプレートドライバと、複数のワード線、センスアンプドライバ及びプレートドライバを制御する制御回路と、を備えており、制御回路は、複数のワード線の中のいずれかのワード線が活性化した後、プレートドライバを制御してプレート線の電圧を第7の電圧から第7の電圧よりも低い第6の電圧へ駆動し、更に、センスアンプドライバを制御してセンスアンプを活性化することによって相補ビット線の中の一方向のビット線を高電位な第1の電圧に増幅し、他方のビット線を第1の電圧よりも低い低電位な第2の電圧に増幅し、制御回路は、更に、センスアンプを活性化した後に、上記いずれかのワード線に対応するプレート線を、第2の時間にてプレートドライバを制御して第6の電圧から第7の電圧に駆動し、更に、センスアンプドライバを制御して第1の電圧に増幅されたビット線を、第1の時間にて第1の電圧よりも低く且つ第2の電圧よりも高い第3の電圧に下げ、よって、ラッチの情報を変えることなく蓄積ノードに第1の電圧以上の電荷を蓄積し、蓄積ノードに第1の電圧以上の電荷を蓄積した後に、上記いずれかのワード線を非活性化するものとなっている。

10

20

【0026】

すなわち、特に、プレート線を駆動するプレート駆動方式のDRAMメモリセルの場合に、これまでに述べたような過剰な書き込み電荷が発生し易い。このような過剰な書き込み電荷は、微細化においてデバイスの信頼性を損なう要因となるが、前述したような手段を設けることによって、このような問題を解決することができる。

【0027】

本発明による半導体記憶装置は、それぞれMOSトランジスタとキャパシタを含み、このMOSトランジスタのゲートが選択端子とされ、ソースおよびドレインの一方が入出力端子とされ、ソースおよびドレインの他方がキャパシタの蓄積ノードに接続される複数のメモリセルと、複数のメモリセルの選択端子にそれぞれ接続される複数のワード線と、複数のメモリセルの入出力端子にそれぞれ接続される相補ビット線と、蓄積ノードの反対側の端子に接続されるプレート線と、プレート線に電圧を供給するプレートドライバと、相補ビット線の一端に接続され、相補ビット線の電圧差を増幅しラッチを行うセンスアンプと、センスアンプに接続されるP側共通ソース線およびN側共通ソース線と、P側共通ソース線を駆動する第1、第2および第3のドライバと、第1乃至第3のドライバ及びプレートドライバを制御する制御回路と、を備えており、上記センスアンプは、クロスカプル型のアンプとなっており、上記第1のドライバは、第1の電源電圧に接続され、上記第2のドライバは、第4の電源電圧に接続され、上記第3のドライバは、第5の電源電圧に接続され、制御回路は、複数のワード線の中のいずれかのワード線が活性化した後、プレートドライバを制御してプレート線の電圧を第7の電圧から第7の電圧よりも低い第6の電圧へ駆動し、更に、第1及び第3のドライバを活性化することによって相補ビット線のうちの一方のビット線を高電位な第1の電源電圧に増幅し、他方のビット線を第1の電源電圧よりも低い低電位な第2の電源電圧に増幅し、制御回路は、更に、センスアンプを活性化した後に、プレートドライバを制御してプレート線の電圧を第6の電圧から第7の電圧へ駆動し、更に、第1及び第3のドライバを非活性化且つ第2のドライバを活性化することによって第1の電源電圧に増幅されたビット線を、第1の時間にて第1の電源電圧よ

30

40

50

りも低く且つ第2の電源電圧よりも高い第3の電源電圧に下げ、よって、ラッチの情報を
変えることなく蓄積ノードに第1の電圧電源以上の電荷を蓄積するものとなっている。

【0028】

ここで、前記第4の電源電圧は、前記第1の電源電圧の半分よりも低い電圧とすることが
できる。すなわち、第1の電源電圧は、例えば相補ビット線の‘H’側の書き込み電圧
VDLであり、第4の電源電圧は、前述した過剰な書き込み電荷の放電を行う際に用いら
れるが、実用上、この電圧をVDL/2よりも低い値とすることで、‘H’側のビット線
の電圧を高速に下げ、蓄積ノードに存在する過剰な書き込み電荷を高速に放電するとよい
。なお、実際上は、クロスカップル型アンプのPチャネル型MOSトランジスタのしきい
値電圧の影響で、このしきい値電圧以下にはビット線の電圧が下がらないため、第4の電
源電圧は、接地電圧VSS(0V)などとしても問題はない。また、前記第5の電源電圧
は、例えば、センスアンプのオーバードライブ用の電圧となっている。

10

【発明の効果】

【0029】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明
すれば、半導体記憶装置の微細化が実現可能となる。

【発明を実施するための最良の形態】

【0030】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明
するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの
説明は省略する。

20

【0031】

図1は、本発明の一実施の形態による半導体記憶装置において、そのチップ構成の一例
を示す平面図であり、(a)は、チップ全体の構成例、(b)は、(a)におけるメモリ
ブロックの構成例を示すものである。

【0032】

図1に示す半導体記憶装置は、プレート駆動方式のDRAMとなっている。そのメモリ
チップCHIP全体の構成は、例えば図1(a)に示すように、制御回路CNTLと、入
出力回路DQCと、メモリブロックBLKとに大きく分けられる。制御回路CNTLには
、クロック、アドレス、制御信号がメモリチップCHIP外から入力され、メモリチップ
CHIPの動作モードの決定やアドレスのプリデコード等が行われる。入出力回路DQC
は、入出力バッファ等を備え、メモリチップCHIP外部からライトデータが入力され、
メモリチップCHIP外部へリードデータを出力する。

30

【0033】

メモリブロックBLKには、例えば図1(b)に示すように、複数のアレー状に配置さ
れたメモリアレーARYが配置され、その周囲にはセンスアンプ列SAA、サブワード
ドライバ列SWDA、プレートドライバ列PLDA、クロスエリアXPが配置される。また
、メモリブロックBLKの外周には、センスアンプ列SAAと平行に列デコーダYDEC
およびメインアンプ列MAAが配置され、サブワードドライバ列SWDAと平行に行デコ
ーダXDEC並びにアレー制御回路ACCが配置される。

40

【0034】

図2は、図1の半導体記憶装置において、そのメモリアレーとセンスアンプ列の構成の
一例を示す回路図である。図2に示すように、メモリアレーARYは、複数のメモリセル
MCから構成されている。メモリセルMCは、DRAMメモリセルとなっており、1個の
MOSトランジスタ(メモリセルトランジスタ)および1個のキャパシタCsで構成され
、MOSトランジスタの一方のソース又はドレインが、ビット線BLT又はビット線BL
Bに接続され、他方のソース又はドレインが、蓄積ノードSNに接続され、ゲートが、ワ
ード線WLに接続されている。

【0035】

キャパシタCsの一方の端子は、蓄積ノードSNに接続され、他方の端子は、ワード線

50

WLと並行に配線されたプレート線PLに接続される。なお、ビット線BLTとビット線BLBは、ビット線対(相補ビット線)BLT/Bとして機能する。

【0036】

ここで、通常のDRAMと異なり、プレート線PLを1本のワード線WL毎に分割してワード線WLと並行に配線し、ワード線WLが活性化されたメモリセルMCのプレート線PLのみを駆動する構成にするとよい。これによって、プレート線PLの駆動に伴う他の非選択状態のメモリセルMCへのディスターブを低減しながら、蓄積ノードSNの電圧を増加できる効果が得られる。また、メモリアレイには、前述したメモリセルMCと同様の構成のダミーメモリセルDMCが含まれている。ダミーメモリセルDMCは、ダミーワード線DWLおよびダミープレート線DPLに接続され、読み出し時の参照信号発生に用いられる。

10

【0037】

図3は、図1の半導体記憶装置において、そのセンスアンプ列とサブワードドライバ列とプレートドライバ列の詳細な配置関係の一例を示す平面図である。図3に示すように、センスアンプ列SAA内のセンスアンプSAは、メモリアレイに対して上下に交互配置され、上下のメモリアレイ内のビット線対BLT/Bに共通接続される。

【0038】

同様に、サブワードドライバ列SWDA内のサブワードドライバSWDとプレートドライバ列PLDA内のプレートドライバPLDも、それぞれ、メモリアレイに対して左右に交互配置され、左右のメモリアレイ内のワード線WLとプレート線PLに共通接続される。このように配置することにより、サブワードドライバ列SWDA内およびプレートドライバ列PLDA内において、サブワードドライバSWD間及びプレートドライバPLD間のピッチを、メモリアレイ内のワード線WL間およびプレート線PL間のピッチの2倍に広げることができる。したがって、微細化が容易となる。

20

【0039】

図4は、図2の半導体記憶装置において、そのセンスアンプ列の詳細な構成の一例を示す回路図である。図4に示すように、センスアンプ列SAAには複数のセンスアンプSAが配置され、各センスアンプSAは、隣接する両側のメモリアレイのビット線対BLT/Bに共通接続されている。そして、各センスアンプSA内には、トランスファークロウTGCと、プリチャージ回路PCCと、クロスカプル・アンプCCと、読み出し・書き込みポートIOPとが含まれている。

30

【0040】

トランスファークロウTGCは、センスアンプ分離信号(SHR信号)が活性化された時にセンスアンプSAとメモリアレイ間を接続する回路である。プリチャージ回路PCCは、ビット線プリチャージ信号(BLEQ信号)が活性化された時に対となるビット線BLT, BLB間をイコライズし、ビット線プリチャージレベルVBLRにプリチャージする。ビット線プリチャージレベルVBLRは、通常、ビット線振幅の電圧VDL(チップ外部からの電源電圧VCCと同レベルかまたはそれを降圧したレベル)の中点VDL/2に設定される。

【0041】

40

クロスカプル・アンプCCは、ビット線BLT, BLB上にメモリセルMCおよびダミーメモリセルDMCからの微小な読出し信号が発生した後に、P側共通ソース線CSPを電圧VDLに駆動し、N側共通ソース線CSNを接地電圧VSSに駆動して、ビット線BLTとビット線BLBのうちの電圧の高い方を電圧VDLに、低い方を接地電圧VSSに増幅し、増幅された電圧をラッチする回路である。読み出し・書き込みポートIOPは、列選択線YSが活性化されたときにローカルI/O線(LIO線)LIO T/Bとビット線対BLT/Bを接続する回路である。なお、LIO線LIO T/Bは、非選択センスアンプ列SAAでの電流消費を防止するために、待機時にはプリチャージレベルに保持される。

【0042】

50

図5は、図1の半導体記憶装置において、そのクロスエリアの構成の一例を示す回路図である。クロスエリアXPは、SHR信号ドライバSHDと、LIO線プリチャージ回路REQと、リードライトゲートRGCと、CS線ドライバCSDと、CS線プリチャージ回路SEQと、BLEQ信号ドライバEQDと、FX線ドライバFXDと、PX線ドライバPXDとを含んでいる。

【0043】

SHR信号ドライバSHDは、SHR信号の相補信号SHRBが入力され、その反転信号を出力する。LIO線プリチャージ回路REQは、リードライトイネーブル信号RWEが非活性状態のVSSレベルのときに、LIO線LIOT/Bを電圧VPCにプリチャージする。リードライトゲートRGCは、リードライトイネーブル信号RWEが活性状態の電圧VCL（外部VCCレベルと同じかまたはそれを降圧したレベルで周辺回路用電源電圧として用いられる）のときにLIO線LIOT/BとメインIO線MIOT/Bとを接続する回路である。

10

【0044】

CS線ドライバCSDは、N側センスアンプイネーブル信号SANが活性状態のときに、N側共通ソース線CSNを接地電圧VSSに駆動し、第1のP側センスアンプイネーブル信号SAP1Bが活性状態（VSSレベル）のときに、P側共通ソース線CSPを電圧VDL（ビット線の‘H’レベル）に駆動し、第2のP側センスアンプイネーブル信号SAP2が活性状態（VCLレベル）のときに、P側共通ソース線CSPを電圧VSPに駆動する回路である。

20

【0045】

なお、ここでは、P側共通ソース線CSPを電圧VDLに駆動する回路としてPチャンネルMOSトランジスタを、電圧VSPに駆動する回路としてNチャンネルMOSトランジスタを用いている。電圧VSPに駆動する回路は、後述するが、書き込み時の‘H’側のビット線電圧を一時下げるためのものなのでNチャンネルMOSトランジスタとしている。これによって、高速にビット線電圧を下げる事が可能になる。ただし、これをPチャンネルMOSトランジスタで構成することも可能である。

【0046】

このように、本発明においては、CS線ドライバCSD内に、センスアンプSAが活性化状態におけるP側共通ソース線CSPのレベルを、電圧VDLと電圧VSPの2種類に設定可能な機能を備えたことを特徴としている。この際に、CS線ドライバCSDをクロスエリアXPに配置すると、センスアンプSAの面積が増加しないという利点がある。

30

【0047】

CS線プリチャージ回路SEQは、BLEQ信号が活性化されたときにP側、N側共通ソース線CSP、CSNをVDL/2にプリチャージする回路である。BLEQ信号ドライバEQDは、プリチャージ信号BLEQの相補信号BLEQBが入力され、その反転信号を出力する。FX線ドライバFXDは、信号FXBが入力され、その相補信号をサブワードドライバ選択線FX（FX線）に出力する。

【0048】

PX線ドライバPXDは、電圧VCL振幅のプレートタイミング信号PXSが入力され、プレート制御線（PX線）に電圧を出力する。PX線は、プレート線PLを駆動するための配線である。プレートタイミング信号PXSが非活性の場合、PX線には、通常時のプレート電圧VPHが出力される。一方、プレートタイミング信号PXSが活性化された場合、PX線には、プレート電圧VPLが出力される。なお、PX線ドライバPXDをクロスエリアXPに配置することにより、PX線の遅延を低減することが可能である。

40

【0049】

つぎに、これまでに説明したような半導体記憶装置の動作について説明する。図6は、図1の半導体記憶装置において、その動作の一例を示す動作波形図である。

【0050】

図6に示すように、メモリチップ外部からバンク活性化コマンドACTが入力されると

50

、まず、アドレスで指定されたセンスアンプ列SAAにおいてSHR信号の片側とBLEQ信号が非活性化される。また、活性化状態でVPPレベルであったダミーセルDMCのダミーワード線DWL1が非活性化され、VKKレベルに復帰する。ここでVKKは、負電源発生回路により発生されたワード線の低レベル側の電源電圧である。このように、非活性化時のワード線レベルを接地電圧VSSよりも低くすることにより、メモリセルトランジスタのしきい値電圧を低く設定することができ、ワード線の‘H’側のレベルVPPを低減することができる。

【0051】

その後、行デコーダXDECにおいてメインワード線MWLBが電圧VKKに下がり、アレー制御回路ACCにおいてFX線が活性化されると、選択されたワード線WL0が電圧VPPに活性化される。ワード線WL0によって選択されたメモリセルMCにおいては、メモリセルトランジスタが導通し、ビット線BLT上に信号が読み出される。図6では、メモリセルMCに予め接地電圧VSSが書き込まれており、‘L’の信号が発生した例を示している。また、ワード線WL0の活性化と同時にダミーワード線DWL1も活性化され、プリチャージ電圧VBLRが書き込まれていたダミーメモリセルDMCからビット線BLB上に参照信号が発生する。

【0052】

なお、この際に、選択されたメモリセルMCのプレート線PL0と、それに対応するダミーメモリセルDMCのプレート線DPL1が電圧VPHから電圧VPLへと立ち下げられる。このように、プレート線PL0を駆動すると、選択されたメモリセルMCの蓄積ノードSNとダミーメモリセルDMCのダミー蓄積ノードDSNは、キャパシタCsを介したカップリングによって電圧レベルが下がるため、それぞれの蓄積電荷が高速にビット線BLT, BLB上に読み出される。ここで、電圧VPHは、電圧VDLと接地電圧VSSのほぼ中間の電圧にしておく、待機時にメモリセルの容量絶縁膜に印加される電圧が小さくなるので、信頼性が高くなる。

【0053】

その後、センスアンプSAにおいて、P側共通ソース線CSPを電圧VDLに、N側共通ソース線CSNを接地電圧VSSに駆動し、ビット線BLT, BLB上の電圧差を増幅する。この状態で、メモリチップはリードコマンドRDまたはライトコマンドWRTを受け付けることができる。図6ではライトコマンドWRTが入力された場合を示している。そして、選択されたアドレスの列選択線YSが活性化され、LIO線LIOT/Bから、ライトデータが書き込まれる。ここでは、ビット線BLTが‘H’に駆動される反転書込み時の波形を示している。

【0054】

メモリセルトランジスタは、NチャネルMOSトランジスタなので、しきい値電圧VTとすると、蓄積ノードSNへ書きこむことができる最大の電圧はVPP - VTとなる。本発明のメモリチップでは、メモリセルトランジスタのゲート酸化膜を薄膜化するために、ワード線の‘H’レベル電圧VPPを、電源電圧VDD（たとえば1.8V）程度まで下げている。また、メモリセルトランジスタは微細なトランジスタを用いており、個数も多いため、しきい値電圧VTのばらつきが1V近くと非常に大きく、例えば設計中心値を0.7Vとした場合、最小値は0.2V、最大値は1.2Vになる。

【0055】

そうすると、ビット線電圧VDLを一例として1.3Vとした場合、しきい値電圧VTが低いメモリセル(LVT-cell)ではVPP - VT = 1.6Vなのでメモリセルトランジスタがオンしており、蓄積ノードSNにVDL = 1.3Vを書き込むことができる。一方、しきい値電圧VTが中程度のメモリセル(MVT-cell)、しきい値電圧VTが高いメモリセル(HVT-cell)では、増幅の途中でカットオフ状態となり、それぞれ1.1V、0.6Vまでしか書き込まれない。すなわち、書込み時の蓄積ノードSNの電圧は、メモリセルトランジスタのしきい値電圧VTに対応して0.6Vから1.3Vまでのばらつきを持つ。

10

20

30

40

50

【 0 0 5 6 】

この状態で、プリチャージコマンド P R C が入力されたときに、選択されたメモリセル M C のプレート線 P L 0 とダミーメモリセル D M C のダミープレート線 D P L 1 を電圧 V P L から電圧 V P H に復帰させると、それぞれの蓄積ノード S N , D S N の電圧は、キャパシタ C s からのカップリングを受け、 $P L = V P H - V P L$ 分だけ上昇する。この際に、' H ' が書き込まれたメモリセル M C では、メモリセルトランジスタがカットオフするかコンダクタンスが高い状態であるために、P L の電圧上昇分が保持されるが、' L ' が書き込まれたメモリセル M C ではメモリセルトランジスタが十分にオン状態であるために、すぐに接地電圧 V S S に復帰する。したがって、メモリセル M C の蓄積ノード S N の蓄積電荷量を P L だけ増加することができる。

10

【 0 0 5 7 】

ここで、P L を、最もしきい値電圧 V T の高いメモリセル (H V T - c e l l) の書き込み電圧が V D L まで上昇するように例えば 0 . 7 V に設定すると、全てのメモリセル M C が 1 . 3 V 以上に書き込まれるため、次のサイクルでの読み出し信号量やリテンション時間のマージンを広げることができる。しかしながら、しきい値電圧 V T の低いメモリセル (L V T - c e l l) では、もともと V D L = 1 . 3 V まで書き込まれていたため、さらに電圧が P L 分だけ上昇すると 2 . 0 V にまで高くなる。このままワード線を非活性化すると、待機時にメモリセルトランジスタに高い電圧が印加されたままとなり、デバイスの信頼性が低下する。

【 0 0 5 8 】

そこで、本発明では次のような方法でしきい値電圧 V T の低いメモリセル M C だけを選択的に放電し、ワード線非活性時の蓄積ノード S N への書き込み電圧を揃えることで、デバイスの信頼性を高める。すなわち、例えばプリチャージコマンド P R C の入力に次いでプレート線 P L を駆動した後のタイミングで、図 5 で述べた C S 線ドライバ C S D によって P 側共通ソース線 C S P を電圧 V S P まで下げることににより、' H ' 側のビット線電圧を V D P (例えば 0 . 7 V) まで下げる。

20

【 0 0 5 9 】

そうすると、しきい値電圧 V T の低いメモリセル M C におけるメモリセルトランジスタでは、実効ゲート電圧 $V G S - V T$ が $(1 . 8 - 0 . 7) - 0 . 2 = 0 . 9 V$ となり、強くオンするため、蓄積ノード S N の電荷が急速に放電される。一方、しきい値電圧 V T が中程度のメモリセルでは、 $V G S - V T$ が 0 . 4 V となり、弱くオンするため放電は緩やかであり、しきい値電圧 V T が高いメモリセルでは、 $V G S - V T$ が負であるためカットオフの状態が保たれる。

30

【 0 0 6 0 】

したがって、図 6 に示すように、しきい値電圧 V T の低いメモリセル (L V T - c e l l) では、過剰に書き込まれた電荷の放電によって上がりすぎた電圧が下がり、しきい値電圧の中程度のメモリセル (M V T - c e l l) および高いメモリセル (H V T - c e l l) では、電圧がほぼ保たれるため、しきい値電圧 V T のばらつきよりも書き込み電圧のばらつきが小さくなる。そして、このような放電動作の終了後は、ワード線 W L 0 をたち下げ、B L E Q 信号および S H R 信号を再び活性化させて、ビット線対 B L T / B をプリチャージする。

40

【 0 0 6 1 】

以上のように、本発明の構成および動作を用いると、プレート駆動によってメモリセルに書き込まれる電荷量を増加し、リテンション特性や動作速度を改善すると共に、過剰な書き込み電荷の放電を行う調整手法によって、しきい値電圧のばらつきが大きい場合でも書き込み電荷量のばらつきを低減することができる。これによって、メモリセルトランジスタに高電圧が長時間印加されることを防ぐことが可能になるため、デバイスの信頼性が向上する。また、ワード線電圧を低減することができるため、メモリセルトランジスタのゲート酸化膜を薄膜化でき、微細化が可能となる。そして、D R A M チップの大容量化または、チップサイズの低減による製造コストの低減を実現することができる。

50

【 0 0 6 2 】

ところで、これまでの説明においては、CS線ドライバCS D内に、センスアンプSAが活性化状態におけるP側共通ソース線C S Pのレベルを、電圧VDLと電圧VSPの2種類に設定する例を示したが、加えて図7のように、オーバードライブセンス方式を組み合わせることも可能である。図7は、図5のクロスエリアにおいて、その構成を変形した一例を示す回路図である。

【 0 0 6 3 】

図7に示すクロスエリアXPは、前述したプレート駆動方式とオーバードライブセンス方式を組み合わせる際の回路構成例となっており、図5に示した回路と比較して、CS線ドライバCS Dの構成が異なっている。すなわち、図7に示すCS線ドライバCS Dでは、初期のP側センスアンプイネーブル信号SAP0Bが活性化状態のときに、P側共通ソース線C S Pを一時的にオーバードライブ電圧VODへ駆動するためのPMOSトランジスタが追加されている。電圧VODは、最終的なビット線の‘H’レベル電圧VDLよりも高い電圧であり、センスアンプSAの増幅動作を高速化するためのものである。なお、このようにしてドライバの種類を増やしても、CS線ドライバCS DをクロスエリアXPに配置しているため、センスアンプの面積が増加せず、微細化が可能になるという利点がある。

【 0 0 6 4 】

図8は、図7のクロスエリアにおいて、CS線ドライバで使用する電圧の発生方式の一例を示す概略図である。オーバードライブ電圧VODは、最終的なビット線の‘H’レベル電圧VDLよりも高い電圧であるため、例えば図8に示すように、メモリチップCHIP外部から供給される外部電源電圧VDDをそのまま用いることができる。ビット線の‘H’レベル電圧VDLは、外部電源電圧VDDを降圧回路DC1で降圧して発生する。電圧VSPは、その値として、図6で述べた放電動作時のビット線電圧VDPよりも、クロスカップル・アンプCCにおけるPMOSトランジスタのしきい値電圧分だけ低くする必要がある。このため、降圧回路DC2を用いてビット線電圧の半分VDL/2よりも低い値へ降圧するか、または接地電圧VSSをそのまま用いることが望ましい。

【 0 0 6 5 】

このように、プレート駆動方式とオーバードライブセンス方式を組み合わせた場合は、例えば図9に示すような動作となる。図9は、図1の半導体記憶装置において、図7のクロスエリアを用いた場合の動作の一例を示す波形図である。図9に示す動作波形は、前述した図6の動作波形と異なり、センスアンプSAによる増幅の初期にP側共通ソース線C S Pを一時的にオーバードライブ電圧VODで駆動している。そして、ビット線対BLT/Bが十分に増幅された後、P側共通ソース線C S Pは電圧VDLに駆動される。このような駆動を行うと、読み出し動作時および再書き込み動作時にビット線の増幅動作が高速化される。これ以降の動作は図6と同様である。

【 0 0 6 6 】

図10は、図6における動作を回路シミュレーションで再現したものであり、(a)は、その動作における主要部の波形図、(b)は、その動作におけるしきい値電圧と書き込み電圧の関係を示すグラフである。図10(a)では、図6で説明したように、ワード線WLを1.8Vに活性化し、プレート線PLを0.7V下げた状態で、ビット線BLT、BLB上に信号が発生している。ここで、ビット線BLT、BLBの信号増幅を開始し、次いで反転書き込みを行うと、しきい値電圧VTの違いによって蓄積ノードSNへの書き込み電圧のばらつきが発生する。

【 0 0 6 7 】

その後、プレート線PLの電圧を上昇させると、‘H’が書き込まれたメモリセルMCにおける蓄積ノードSNの電圧は上昇するが、‘L’側のダミーメモリセルDMCにおけるダミー蓄積ノードDSNの電圧は、一旦上昇後、即座に接地電圧VSSに復帰する。‘H’が書き込まれたメモリセルMCにおいては、DCで示した期間、ビット線BLTの電圧を下げることで、過剰に書き込まれた電荷を放電させる。これによって、最終的な書き

10

20

30

40

50

込み電圧のばらつきが低減されている。

【0068】

図10(b)に示すグラフは、横軸にメモリセルトランジスタのしきい値電圧 V_T を示し、縦軸に、蓄積ノード S_N における、プレート駆動直後の期間での電圧 V_P と放電動作を7ns行いワード線を非活性化した直後の期間での電圧 V_S を示している。しきい値電圧 V_T のばらつき範囲を0.2~1.2Vと仮定すると、図10(b)に示すように、プレート駆動直後の期間での蓄積ノード S_N の最大電圧 V_P は2.0V近くになり、ばらつき V_P は0.80Vになる。すなわち、放電動作なしでは、0.80V分の過剰電圧がメモリセルトランジスタに印加される。

【0069】

一方、放電動作を行った場合、最終的な蓄積ノード S_N の電圧は、電圧 V_S まで放電されるため、 $V_T = 0.7V$ 付近で最大値1.3Vをとるが、ばらつきは $V_S = 0.34V$ となり、メモリセルトランジスタに印加される過剰電圧が43%まで抑制されている。これによって、メモリセルトランジスタの信頼性が向上し、微細化が容易となる。

【0070】

図11および図12は、図1の半導体記憶装置において、図6を変形した動作の一例を示す動作波形図である。図11に示す動作は、図6に示した動作に対して、プレート線 P_L を電圧 V_{PL} から電圧 V_{PH} へ上昇させる動作と、 P 側共通ソース線 CSP の電圧 V_{SP} への駆動とを同時に行った場合を示している。図6においては、プレート線 P_L の電圧を上昇させた直後に短時間ながら、蓄積ノード S_N の電圧が上昇し、メモリセルトランジスタに高電圧が印加される。

【0071】

一方、図11に示す動作では、プレート線 P_L の駆動による蓄積ノード S_N の電圧上昇と、しきい値電圧 V_T が低いメモリセルからの過剰電荷の放電が同時に起こるために、蓄積ノード S_N にピーク電圧が発生しない。したがって、メモリセルトランジスタへの高電圧の印加を抑制することが可能となり、デバイスの信頼性をさらに向上させることができ、微細化が容易となる。

【0072】

また、図12に示す動作は、図11の動作に対して、プレート線 P_L を電圧 V_{PH} から電圧 V_{PL} へ下降させるタイミングを、センスアンプ活性化後まで遅らせた場合を示している。この場合、ビット線対 BLT/B への信号読み出し時にプレート線 P_L が一定電圧のままなので、ワード線活性化後の信号発生はやや遅くなるものの、センスアンプ増幅時の参照電圧としてビット線プリチャージ電圧 V_{BLR} をそのまま用いることができる。これによって、ダミーメモリセル DMC が不要となり、チップサイズを低減することが可能となる。また、図12に示す動作は、前述したプレート線 P_L のタイミング変更に加えて、センスアンプ活性化時に P 側共通ソース線 CSP を一時的にオーバードライブ電圧 V_{OD} で駆動し、センス動作を高速化した場合を示している。

【0073】

図13は、図1の半導体記憶装置において、そのメモリアレーのレイアウトの一例を示す図であり、(a)は、トランジスタの活性領域から蓄積ノードまでのレイアウト、(b)は、プレート電極からプレート線までのレイアウトを示すものである。図14は、図13のレイアウトにおいて、その $A-A'$ 間の断面構成の一例を示す図である。図13に示すレイアウトは、複数のワード線 $WL0\sim 4$ と複数の隣接したビット線対 BLT/B を含み、このビット線対 BLT/B によって相補動作を行う構成となっている。なお、本レイアウトは、ビット線対 BLT/B が1本のワード線と交差しており、二交点メモリアレーと呼ばれている。

【0074】

図13(a)に示すレイアウトでは、複数の活性領域 ACT がビット線と平行に形成され、各活性領域 ACT 上には、2本のワード線が延伸している。各活性領域 ACT 内では、この2本のワード線のそれぞれをゲートとする2つメモリセルトランジスタが形成され

10

20

30

40

50

る。この2つのメモリセルトランジスタのソースノドレインの一端は、共通のビット線コンタクトBCによってビット線に接続され、他端は、それぞれ異なる蓄積ノードコンタクトSCによって、それぞれ異なる蓄積ノードSNに接続される。なお、各蓄積ノードSNのビット線方向の横幅は、例えば隣接するワード線2本分に重なる程度の大きさとする事ができる。

【0075】

図13(b)に示すレイアウトは、図13(a)の複数の蓄積ノードSNと1対1で対応する形で複数のプレート電極PLEが形成され、また、複数のワード線WL0~4と1対1で対応する形で複数のプレート線PL0~4が形成されている。すなわち、複数のプレート線PL0~4と複数のプレート電極PLEのレイアウトは、図13(a)での複数のワード線WL0~4と複数の蓄積ノードSNのレイアウトとほぼ同一形状のレイアウトとすることができる。この場合、各プレート電極PLEのビット線方向の横幅は、隣接するプレート線2本分に重なる程度の大きさとなるため、各プレート電極PLEは、この重なるいずれかプレート線にプレートコンタクトPCを介して接続することができる。

10

【0076】

各DRAMメモリセルは、図14に示すように、半導体基板PW上に形成されたNチャネルMOSトランジスタ(メモリセルトランジスタ)と、ビット線BLの上部に設けられたスタックキャパシタとを有するものとなっている。図14においては、絶縁膜SiO₂によって分離された半導体基板PW内の活性領域ACT上に、2本のワード線WLが配置され、この2本のワード線WLをメモリセルトランジスタのゲートとして、そのソースノドレインとなるN型拡散層領域Nが半導体基板PW内に設けられている。

20

【0077】

この2本のワード線WL間のN型拡散層領域N上には、コンタクトCBが配置され、その上部にビット線コンタクトBCが配置される。ビット線コンタクトBC上には、ワード線の延伸方向と直交する方向に形成されたビット線BLが配置される。一方、この2本のワード線WLの外側のN型拡散層領域N上には、それぞれ、コンタクトCBが配置され、その上部に蓄積ノードコンタクトSCが配置される。蓄積ノードコンタクトSCの上部には、層間絶縁膜(図示せず)の孔の内壁に形成された凹型(シリンダ形状)の蓄積ノードSNが配置され、蓄積ノードSNの内側にはプレート電極PLEが埋め込まれており、これらが容量絶縁膜CIを挟んでキャパシタCsを構成する。

30

【0078】

プレート電極PLEの上部には、プレートコンタクトPCが配置され、ワード線方向に配線されたプレート線PLと接続される。図14では、深い孔に形成された蓄積ノードSN電極の内側だけをキャパシタとして用いるタイプのスタックキャパシタを示している。本キャパシタを用いると、蓄積ノードSNの上部でプレート電極PLEが分離できるため、分離プロセスが容易になる利点がある。また、蓄積ノードSN電極の内側のみでなく、内側と外側の両方を使うタイプのキャパシタとすることもできる。但し、この場合は、容量を大きくすることができるが、蓄積ノードSN電極の下部でプレート電極PLEを分離しなければならないため、分離プロセスが複雑になる問題がある。

40

【0079】

なお、図13(b)では、蓄積ノードSNを1個おきにコンタクトをとることにより、ワード線WL0~4により選択されるメモリセルをそれぞれ対応したプレート線PL0~4に接続している。また、二交点レイアウトでは、前述したように、蓄積ノードSN及びプレート電極PLEが横長形状になっており、2本分のワード線WLの領域にまたがっている。

【0080】

したがって、プレート線PLをほぼ直線状に配置し、隣接したプレート線PLに交互にコンタクトを配置することで、容易にワード線WL毎にプレート線PLを分離することができる利点がある。また、MOSトランジスタの活性領域ACTが直線上のパターンとなるため、作製プロセスが容易になる利点がある。このようなことから、微細化が容易に実

50

現可能となり、また、信号が発生するビット線と参照ビット線が同じアレー内に存在するので、ノイズを低減できる利点がある。

【 0 0 8 1 】

図 1 5 は、図 1 の半導体記憶装置において、図 1 3 とは異なるメモリアレーのレイアウトの一例を示す図であり、(a) は、トランジスタの活性領域から蓄積ノードまでのレイアウト、(b) は、プレート電極からプレート線までのレイアウトを示すものである。図 1 5 に示すレイアウトは、疑似二交点メモリアレー（クォーターピッチ・メモリアレー）と呼ばれ、複数のワード線 $W L 0 \sim 4$ と複数のビット線を含み、間に一本のビット線を挟んだビット線対 $B L / B L B$ によって相補動作を行う構成となっている。

【 0 0 8 2 】

図 1 5 (a) , (b) に示すレイアウトでは、前述した図 1 3 の活性領域 $A C T$ がビット線に対して斜めに形成され、各活性領域 $A C T$ 内の 2 個の蓄積ノードコンタクト $S C$ が、ビット線を挟むように形成される。本レイアウトを用いると、蓄積ノード $S N$ の形状をほぼ円形にすることができるため、微細化が進んでもキャパシタ容量を確保することが容易になる利点がある。また、疑似二交点メモリアレーにおいても信号が発生するビット線と参照ビット線が同じメモリアレー内に存在するので、ノイズを低減できる利点がある。

【 0 0 8 3 】

図 1 6 は、図 1 の半導体記憶装置において、図 1 3 とは異なるメモリアレーのレイアウトの一例を示す図であり、(a) は、トランジスタの活性領域から蓄積ノードまでのレイアウト、(b) は、プレート電極からプレート線までのレイアウトを示すものである。図 1 6 に示すレイアウトは、1 本のワード線に対してビット線対 $B L T / B$ の内の一方のみが交差し、一交点メモリアレーと呼ばれる。そして、本レイアウトは、更に、ビット線 $B L$ のピッチを狭めた狭ビット線ピッチ型一交点メモリアレーとなっている。

【 0 0 8 4 】

本メモリアレーでは、全てのビット線 $B L$ とワード線 $W L$ の交点に $D R A M$ メモリセルが設けられる。対となるビット線 $B L T$, $B L B$ は、互いにセンスアンプを挟んで反対側のメモリアレー内に存在する。図 1 6 (a) , (b) では、複数の活性領域 $A C T$ が、ビット線 $B L$ 方向に連続して形成されており、各活性領域 $A C T$ 上には、多数のワード線 $W L$ が延伸する構成となっている。但し、3 本のワード線 $W L$ のうちの 1 本は、素子分離用ゲート $I S O$ として用いられ、必要時に ' L ' レベルに駆動するか、' L ' レベルの固定電圧に接続される。

【 0 0 8 5 】

ワード線 $W L$ を $2 F$ (F : 最小加工寸法) ピッチで配置したときに、ビット線 $B L$ のピッチは、 $2 F$ かそれ以下にすることが可能である。メモリセルサイズは、前述した素子分離用ゲート $I S O$ の存在によって実効的なワード線 $W L$ のピッチが $3 F$ となるため、 $6 F^2$ となる。したがって、2 交点メモリアレーのメモリセルサイズである $8 F^2$ よりも縮小可能であり、微細化に有益な構成となる。また、本メモリアレーを用いた場合、1 本のワード線 $W L$ で選択されるメモリセルの蓄積ノード $S N$ が直線状に並ぶため、プレート線 $P L$ を直線パターンとすることができ、更にプレート線 $P L$ のピッチも $3 F$ と広くすることができるため、作製プロセスが容易となる利点がある。

【 0 0 8 6 】

図 1 7 は、図 1 の半導体記憶装置において、図 1 6 とは異なるメモリアレーのレイアウトの一例を示す図であり、(a) は、トランジスタの活性領域から蓄積ノードまでのレイアウト、(b) は、プレート電極からプレート線までのレイアウトを示すものである。図 1 7 に示すレイアウトは、広ビット線ピッチ型一交点メモリアレーのレイアウトとなっている。

【 0 0 8 7 】

本メモリアレーでは、全てのビット線 $B L$ とワード線 $W L$ の交点に $D R A M$ メモリセルが設けられる。対となるビット線 $B L T$, $B L B$ は、互いにセンスアンプを挟んで反対側のメモリアレー内に存在する。図 1 6 (a) , (b) では、複数の活性領域 $A C T$ がピッ

10

20

30

40

50

ト線 B L に対して斜めに形成され、各活性領域 A C T 上には、2 本のワード線 W L が延伸する構成となっている。

【 0 0 8 8 】

ワード線 W L を 2 F ピッチで配置したときに、ビット線 B L のピッチは、例えば 3 F となる。本メモリアレーを用いると、アレーノイズは、二交点メモリアレーよりも大きくなるがメモリセルサイズは $6 F^2$ であり、2 交点メモリアレーの $8 F^2$ よりも縮小可能である。また、ワード線 W L のピッチに比べてビット線 B L のピッチが広いこと、微細化によってもビット線間カップリングノイズを小さくできること、及びセンスアンプのレイアウトが容易になる等の利点がある。

【 0 0 8 9 】

図 1 8 は、図 1 の半導体記憶装置において、そのサブワードドライバ列とプレートドライバ列の構成の一例を示す回路図である。サブワードドライバ列 S W D A は、複数のサブワードドライバ S W D によって構成され、プレートドライバ列 P L D A は、複数のプレートドライバ P L D によって構成される。また、図 1 (b) 等にも示したように、プレートドライバ列 P L D A とサブワードドライバ列 S W D A は、メモリアレー A R Y の周辺で互いに隣接して配置される。

【 0 0 9 0 】

サブワードドライバ S W D とプレートドライバ P L D は、それぞれ、ともに両側に配置されるメモリアレー A R Y 内のワード線 W L とプレート線 P L を駆動する。この際に、1 本のワード線 W L に 1 本のプレート線 P L を対応させて駆動する。また、図 3 で説明したように、プレートドライバ列 P L D A とサブワードドライバ列 S W D A は、メモリアレー A R Y に対して交互配置されているため、メモリアレー A R Y 内のワード線 W L (サブワード線) 及びプレート線 P L は、1 本おきに左右のサブワードドライバ S W D 及びプレートドライバ P L D に接続される。

【 0 0 9 1 】

サブワードドライバ S W D は、N チャネル M O S トランジスタ 2 個と P チャネル M O S トランジスタ 1 個で構成される。一方の N チャネル M O S トランジスタは、ゲートにメインワード線 M W L B が接続され、ドレインにワード線 W L が接続され、ソースに電圧 V K K が接続される。他方の N チャネル M O S トランジスタはゲートに相補ワードドライバ選択線 F X B、ドレインにワード線 W L が接続され、ソースに電圧 V K K が接続される。

【 0 0 9 2 】

P チャネル M O S トランジスタは、ゲートにメインワード線 M W L B が接続され、ドレインにワード線 W L が接続され、ソースにサブワードドライバ選択線 F X が接続される。図 1 8 のように、一つのサブワードドライバ列 S W D A 上に 4 組のサブワードドライバ選択線 F X 0 ~ 4 が配線され、一本のメインワード線 M W L B で選択される 4 個のサブワードドライバ S W D のうちいずれか 1 個を選択して 1 本のワード線 W L が活性化される。

【 0 0 9 3 】

プレートドライバ P L D は、N チャネル M O S トランジスタ 1 個と P チャネル M O S トランジスタ 1 個で構成される。N チャネル M O S トランジスタは、ゲートにワード線 W L が接続され、ドレインにプレート線 P L が接続され、ソースにプレート制御線 P X が接続される。P チャネル M O S トランジスタは、ゲートにワード線 W L が接続され、ドレインにプレート線 P L が接続され、ソースにプレート電圧 V P H の電源線が接続される。

【 0 0 9 4 】

図 1 9 は、図 1 8 のサブワードドライバ列とプレートドライバ列において、その動作波形の一例を示す波形図である。行デコーダ X D E C においてメインワード線 M W L B が電圧 V K K に下がり、アレー制御回路 A C C において F X 線が活性化されると、選択されたワード線 W L 0 が電圧 V P P に活性化される。

【 0 0 9 5 】

ワード線 W L 0 が非活性状態の電圧 V K K レベルにあるときには、プレート線 P L は電圧 V P H に固定される。ワード線 W L 0 が電圧 V P P に活性化されると、プレート線 P L

10

20

30

40

50

とプレート制御線 P X (P X 線) が接続される。図 5 のクロスエリア X P における P X 線ドライバは、プレートタイミング信号 P X S が ' H ' のときには P X 線に電圧 V P H を出力し、プレートタイミング信号 P X S が ' L ' の時には P X 線に電圧 V P L を出力する。このように P X 線の電圧を下降および上昇することにより、プレート線 P L の電圧も同様に下降および上昇する。

【 0 0 9 6 】

図 2 2 は本発明をツインセルアレーに適用した場合について、メモリアレーとその両側のセンスアンプ列を示したものである。メモリアレーは複数のメモリセル M C からなる。ツイン D R A M セルは 2 個の M O S トランジスタおよび 2 個のキャパシタで構成され、2 組の D R A M セルによりメモリセルを構成する。第一の M O S トランジスタの一方のソース又はドレインがビット線 B L T に接続され、他方のソース又はドレインが蓄積ノード S N に接続され、ゲートがワード線 W L に接続されている。第一のキャパシタの一方の端子は蓄積ノード S N に接続され、キャパシタの他方の端子はワード線と並行に配線されたプレート線 P L に接続される。第二の M O S トランジスタの一方のソース又はドレインが相補ビット線 B L B に接続され、他方のソース又はドレインが蓄積ノード S N B に接続され、ゲートがワード線 W L に接続されている。第二のキャパシタの一方の端子は蓄積ノード S N B に接続され、キャパシタの他方の端子はワード線と並行に配線されたプレート線 P L に接続される。

【 0 0 9 7 】

通常の D R A M と異なり、プレート線をワード線 1 本毎に分割してワード線と平行に配線し、ワード線が活性化されたメモリセルのプレート線のみを駆動すると、他の非選択状態のメモリセルへのディスタ urb を低減しながら、蓄積電圧を増加できる効果が得られる。このアレーではプレートを駆動したときに、ビット線 B L T と相補ビット線 B L B が同じだけ、カップリング電圧を受けるため、図 2 のようにダミーセルを設ける必要がなくなる利点がある。また、ビット線と相補ビット線の両方に信号が発生するため、センスアンプに入力される信号量が増加し、高速動作が可能になる。またはセンスアンプの電源電圧を下げた場合でも、大きな信号量が得られるので、データ保持時間を長くすることが出来、低消費電力化が可能になる。

【 0 0 9 8 】

図 2 3 に図 2 2 に示したツインセルアレーの駆動方法を示す。この例では図 6 のプレート駆動方式をツインセルアレーに適用した場合を示している。図 6 との違いは、ダミーセルが不要になることと、ビット線 B L T、相補ビット線 B L B に相補の信号が出てくることである。

【 0 0 9 9 】

図 2 3 の動作波形を用いて、本発明の一実施の形態による D R A M アレーの動作を示す。チップ外部からバンク活性化コマンド A C T が入力されると、アドレスで指定されたセンスアンプ列 S A A においてセンスアンプ分離信号 S H R の片側とプリチャージ信号 B L E Q が非活性化される。行デコーダにおいてメインワード線 M W L B が V K K に下がり、アレー制御回路 A C C において F X が活性化されると、選択されたワード線 W L 0 が V P P に活性化される。ワード線 W L 0 によって選択されたメモリセルにおいてはセルトランジスタが導通し、ビット線 B L T、相補ビット線 B L B 上に信号が読み出される。図 2 3 では S N に V S S、S N B に V D L が書き込まれていて ' 0 ' の信号が発生した例を示している。また、選択セルのプレート線 P L が V P H から V P L へと立ち下げられる。このようにプレート線を駆動すると選択セルの S N、S N B は、セル容量を介したカップリングでレベルが下がるため、電荷が高速にビット線に読み出される。ここで、V P H は V D L と V S S のほぼ中間の電圧にしておくと、待機時にメモリセルの容量絶縁膜に印加される電圧が小さくなるので、信頼性が高くなる。

【 0 1 0 0 】

センスアンプにおいて P 側共通ソース線 C S P を V D L に、N 側共通ソース線 C S N を V S S に駆動すると、ビット線上の信号が増幅される。この状態で、チップはリードコマ

10

20

30

40

50

ンドRDまたはライトコマンドWRTを受け付けることができる。図ではライトコマンドが入力された場合を示す。選択されたアドレスの列選択線YSが活性化され、LIO線対から、ライトデータが書き込まれる。ここではBLTが‘H’に駆動される反転書込み時の波形を示している。

【0101】

メモリセルはNチャネルMOSなので、しきい値をVTとすると、SNへ書きこむことができる最大の電圧はVPP - VTとなる。本発明の一実施の形態によるDRAMではメモリセルトランジスタのゲート酸化膜を薄膜化するために、ワード線のHレベルであるVPPを電源電圧VDD（たとえば1.8V）程度まで下げている。また、メモリセルトランジスタは微細なトランジスタを用いており、個数も多いため、しきい値ばらつきが1V
10
近くと非常に大きく、例えば設計中心値を0.7Vとした場合、最小値は0.2V、最大値は1.2Vになる。ビット線電圧VDLを一例として1.3Vとした場合、しきい値が低いセル(LVT-cell)ではVPP - VT = 1.6Vなのでセルトランジスタがオンしており、SNにVDL = 1.3Vが書き込まれるが、しきい値が中程度のセル(MVT-cell)、高いセル(HVT-cell)では増幅の途中でカットオフ状態となり、それぞれ1.1V、0.6Vまでしか書き込まれない。すなわち、書込み時のSN電圧はセルトランジスタのVTに対応して0.6Vから1.3Vまでのばらつきを持つ。

【0102】

この状態で、プリチャージコマンドPRCが入力されたときに、選択セルのプレートPLをVPLからVPHに復帰させると、SNの電位はキャパシタからのカップリングを受け、PL = VPH - VPL分だけ上昇する。上記のように‘H’が書き込まれたSN側のセルではセルトランジスタがカットオフするために、PLの電位上昇分が保持されるが、‘L’が書き込まれたSNB側のセルではセルトランジスタがオン状態であるために、すぐにVSSに復帰する。したがって、蓄積電荷量をPLだけ増加することができる。PLを最もしきい値の高いメモリセル(HVT-cell)の書込み電圧がVDLまで上昇するように例えば0.7Vに設定すると、全てのメモリセルが1.3V以上に書込まれるため、次のサイクルでの読み出し信号量やリテンション時間のマージンを広げることができる。しかしながら、しきい値の低いセル(LVT-cell)ではもともとVDL = 1.3Vまで書き込まれていたため、さらに電位がPL分だけ上昇すると2.0V
20
にまで高くなる。このままワード線を非活性化すると、待機時にメモリセルトランジスタに高い電圧が印加されたままとなり、デバイスの信頼性が低下する。
30

【0103】

そこで、ここでは次のような方法でVTの低いセルだけを選択的に放電し、ワード線非活性時のSN書込み電圧をそろえて、デバイスの信頼性を高める。すなわち、プレート駆動後、P側共通ソース線CSPをVSPまで下げることにより、‘H’側のビット線電圧をVDP（例えば0.7V）まで下げる。すると、しきい値の低いメモリセル(LVT-cell)では実効ゲート電圧VGS - VTが(1.8 - 0.7) - 0.2 = 0.9Vとなり、強くオンするため、SNの電荷が急速に放電される。一方、しきい値が中程度のセルではVGS - VTが0.4Vと弱くしかオンしないため、放電は緩やかであり、しきい値が高いセルではVGS - VTが負でカットオフの状態が保たれる。したがって、図に示したように、しきい値の低いセルで上がりすぎた電位が下がり、しきい値の中程度のセルおよび高いセルでは電位がほぼ保たれるため、しきい値ばらつきよりも書込み電圧のばらつきが小さくなる。放電動作が終了後、ワード線をたち下げ、BLEQ、SHRが再び活性化されて、ビット線がプリチャージされる。
40

【0104】

このように、図22および図23に示したような構成および動作を用いることで、セルトランジスタに高電圧が長時間印加されることを防ぐことができるため、メモリセルトランジスタのゲート酸化膜を薄膜化でき、微細化が可能となる。

【0105】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発
50

明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0106】

本発明の半導体記憶装置は、プレート駆動方式を備えたDRAM製品に適用して特に有益な技術であり、これに限らず、マイクロプロセッサやDSP(Digital Signal Processor)等のロジックチップに内蔵されるオンチップメモリ等に対しても適用可能である。

【図面の簡単な説明】

【0107】

【図1】本発明の一実施の形態による半導体記憶装置において、そのチップ構成の一例を示す平面図であり、(a)は、チップ全体の構成例、(b)は、(a)におけるメモリブロックの構成例を示すものである。

【図2】図1の半導体記憶装置において、そのメモリアレーとセンスアンプ列の構成の一例を示す回路図である。

【図3】図1の半導体記憶装置において、そのセンスアンプ列とサブワードドライバ列とプレートドライバ列の詳細な配置関係の一例を示す平面図である。

【図4】図2の半導体記憶装置において、そのセンスアンプ列の詳細な構成の一例を示す回路図である。

【図5】図1の半導体記憶装置において、そのクロスエリアの構成の一例を示す回路図である。

【図6】図1の半導体記憶装置において、その動作の一例を示す動作波形図である。

【図7】図5のクロスエリアにおいて、その構成を変形した一例を示す回路図である。

【図8】図7のクロスエリアにおいて、CS線ドライバで使用する電圧の発生方式の一例を示す概略図である。

【図9】図1の半導体記憶装置において、図7のクロスエリアを用いた場合の動作の一例を示す波形図である。

【図10】図6における動作を回路シミュレーションで再現したものであり、(a)は、その動作における主要部の波形図、(b)は、その動作におけるしきい値電圧と書き込み電圧の関係を示すグラフである。

【図11】図1の半導体記憶装置において、図6を変形した動作の一例を示す動作波形図である。

【図12】図1の半導体記憶装置において、図6を変形した動作の一例を示す動作波形図である。

【図13】図1の半導体記憶装置において、そのメモリアレーのレイアウトの一例を示す図であり、(a)は、トランジスタの活性領域から蓄積ノードまでのレイアウト、(b)は、プレート電極からプレート線までのレイアウトを示すものである。

【図14】図13のレイアウトにおいて、そのA-A'間の断面構成の一例を示す図である。

【図15】図1の半導体記憶装置において、図13とは異なるメモリアレーのレイアウトの一例を示す図であり、(a)は、トランジスタの活性領域から蓄積ノードまでのレイアウト、(b)は、プレート電極からプレート線までのレイアウトを示すものである。

【図16】図1の半導体記憶装置において、図13とは異なるメモリアレーのレイアウトの一例を示す図であり、(a)は、トランジスタの活性領域から蓄積ノードまでのレイアウト、(b)は、プレート電極からプレート線までのレイアウトを示すものである。

【図17】図1の半導体記憶装置において、図16とは異なるメモリアレーのレイアウトの一例を示す図であり、(a)は、トランジスタの活性領域から蓄積ノードまでのレイアウト、(b)は、プレート電極からプレート線までのレイアウトを示すものである。

【図18】図1の半導体記憶装置において、そのサブワードドライバ列とプレートドライバ列の構成の一例を示す回路図である。

10

20

30

40

50

【図19】図18のサブワードドライバ列とプレートドライバ列において、その動作波形の一例を示す波形図である。

【図20】本発明の前提として検討とした技術の半導体記憶装置において、プレートを駆動するDRAMメモリアレーの一部の構成例を示す回路図である。

【図21】図20の半導体記憶装置において、その動作の一例を示す動作波形図である。

【図22】図1の半導体記憶装置において、図2を変形したメモリアレーとセンスアンプ列の構成の一例を示す回路図である。

【図23】図1の半導体記憶装置において、図6を変形した動作の一例を示す動作波形図である。

【符号の説明】

10

【0108】

CHIP メモリチップ

BLK メモリブロック

DQC 入出力回路

CNTL 制御回路

ARY メモリアレー

MAA メインアンプ列

XDEC 行デコーダ

YDEC 列デコーダ

ACC アレー制御回路

20

XP クロスエリア

SWDA サブワードドライバ列

SWD サブワードドライバ

PLDA プレートドライバ列

PLD プレートドライバ

SAА センスアンプ列

SA センスアンプ

MC メモリセル

DMC ダミーメモリセル

SN 蓄積ノード

30

DSN ダミー蓄積ノード

Cs キャパシタ

BL, BLT, BLB ビット線

WL, WL0~4 ワード線

MWLB メインワード線

FX サブワードドライバ選択線

DWL, DWL0, DWL1 ダミーワード線

PL, PL0~4 プレート線

PX プレート制御線

PXS プレートタイミング信号

40

DPL, DPL0, DPL1 ダミープレート線

TGC トランスファークゲート

IOP 読み出し・書き込みポート

YS 列選択線

CC クロスカップル・アンプ

PCC プリチャージ回路

SHR0, SHR1 センスアンプ分離信号

LIOT, LIOB ローカルIO線

MIOT, MIOB メインIO線

CSP P側共通ソース線

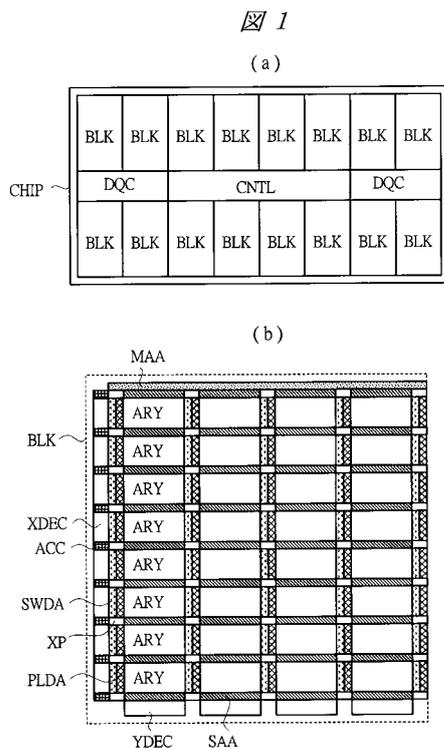
50

- C S N N側共通ソース線
- B L E Q ビット線プリチャージ信号
- S H D S H R 信号ドライバ
- R E Q L I O 線プリチャージ回路
- R G C リードライトゲート
- C S D C S 線ドライバ
- S E Q C S 線プリチャージ回路
- E Q D B L E Q 信号ドライバ
- F X D F X 線ドライバ
- P X D P X 線ドライバ
- A C T 活性領域
- B C ビット線コンタクト
- S C 蓄積ノードコンタクト
- P C プレートコンタクト
- P L E プレート電極
- C I 容量絶縁膜 C I
- C B コンタクト
- N N型拡散層領域
- P W 半導体基板
- S i O ₂ 絶縁膜
- I S O 素子分離用ゲート

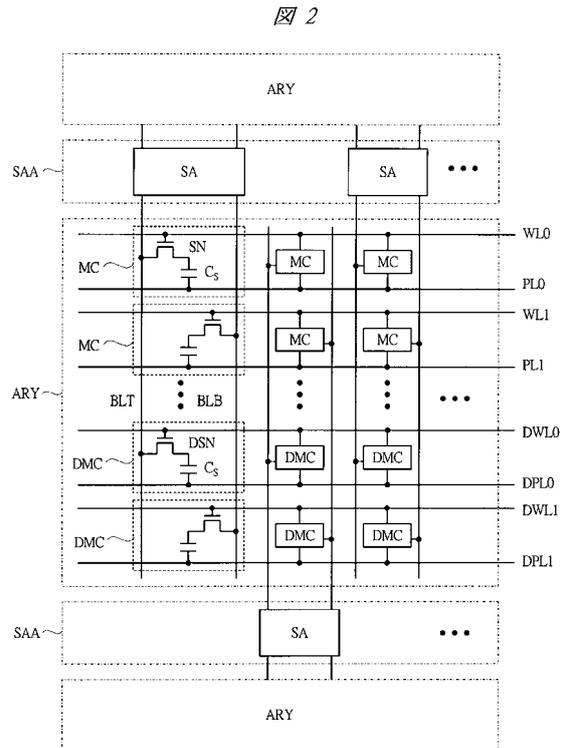
10

20

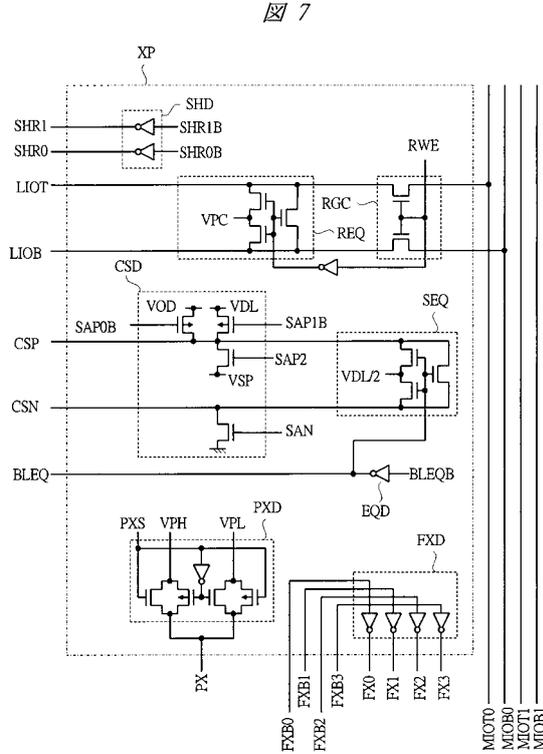
【図1】



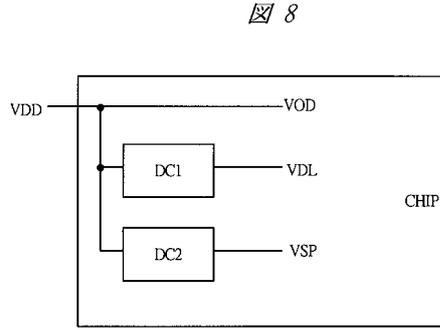
【図2】



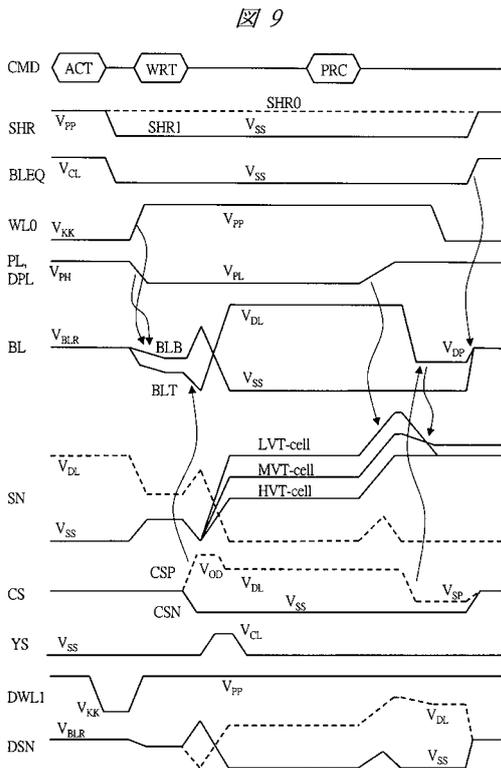
【 図 7 】



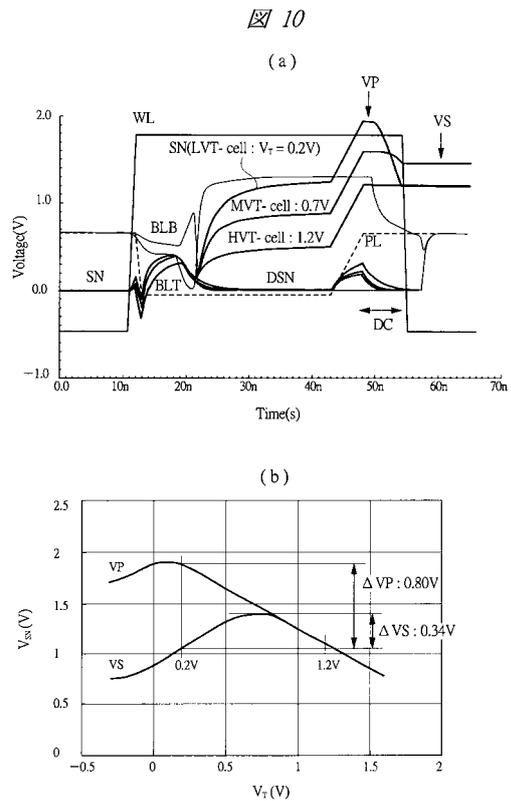
【 図 8 】



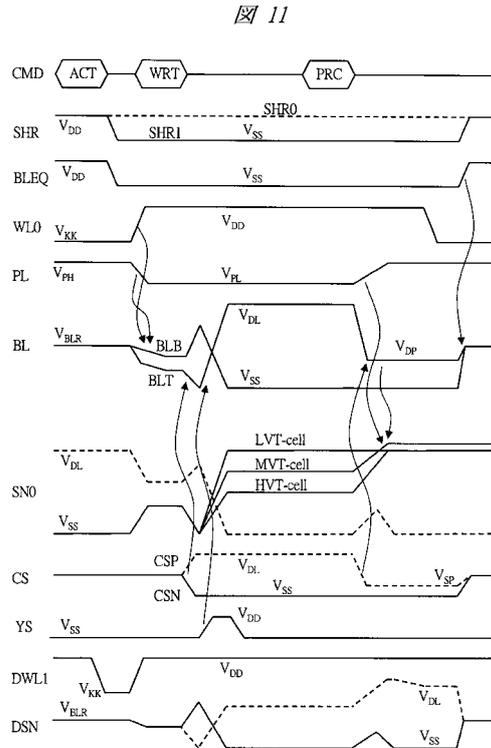
【 図 9 】



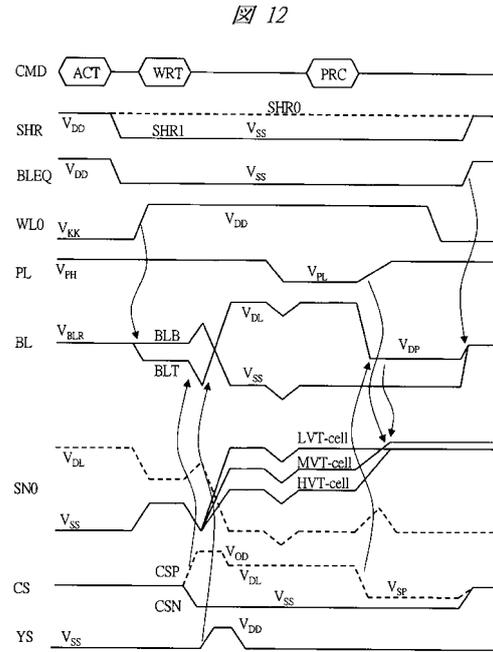
【 図 10 】



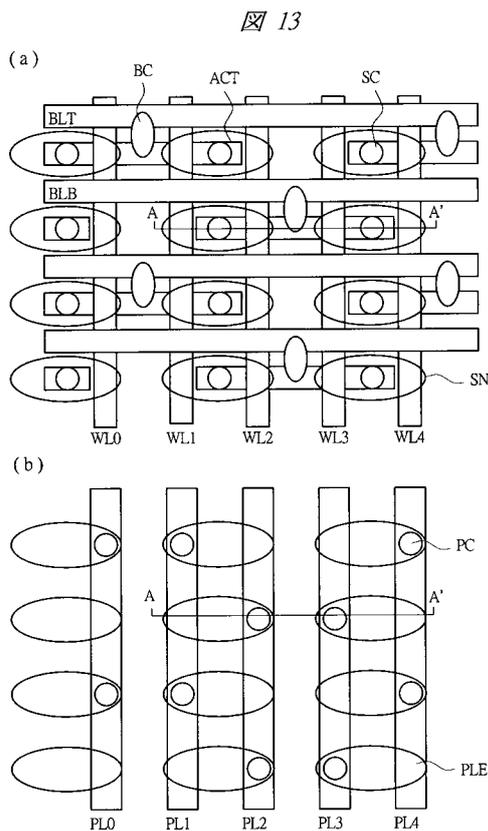
【 図 1 1 】



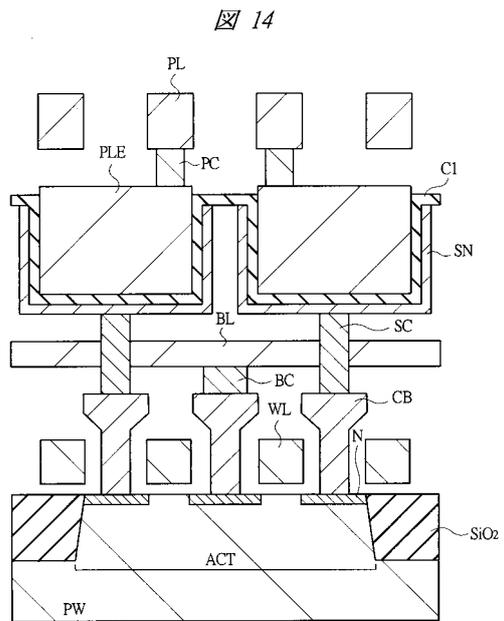
【 図 1 2 】



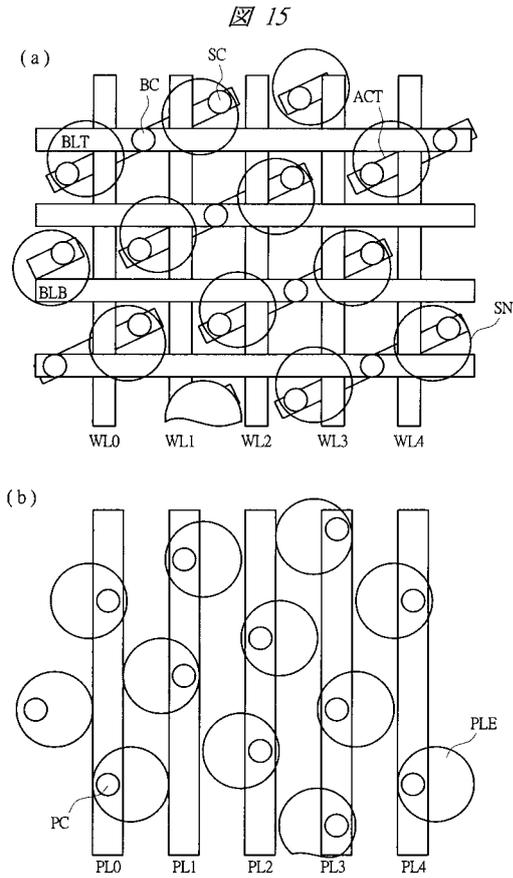
【 図 1 3 】



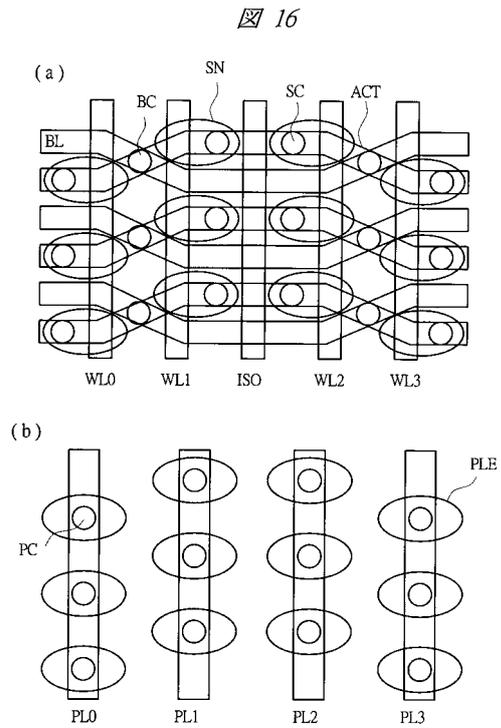
【 図 1 4 】



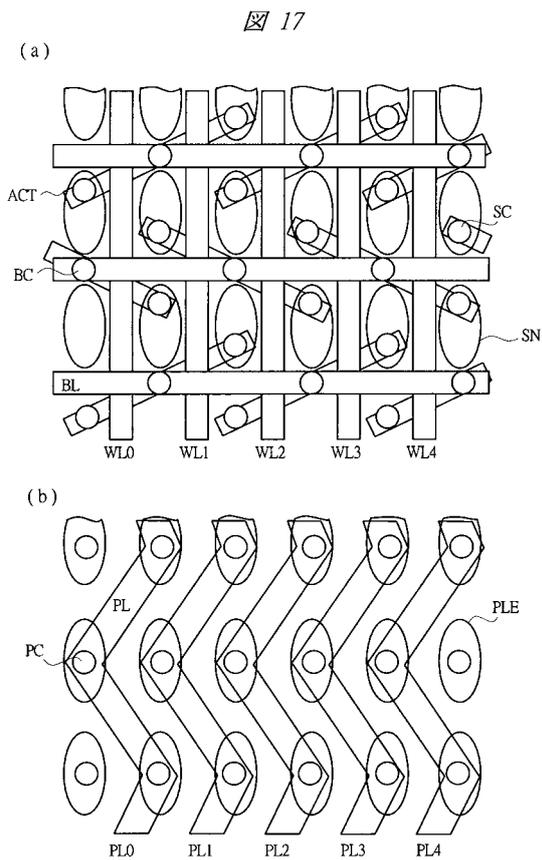
【 図 15 】



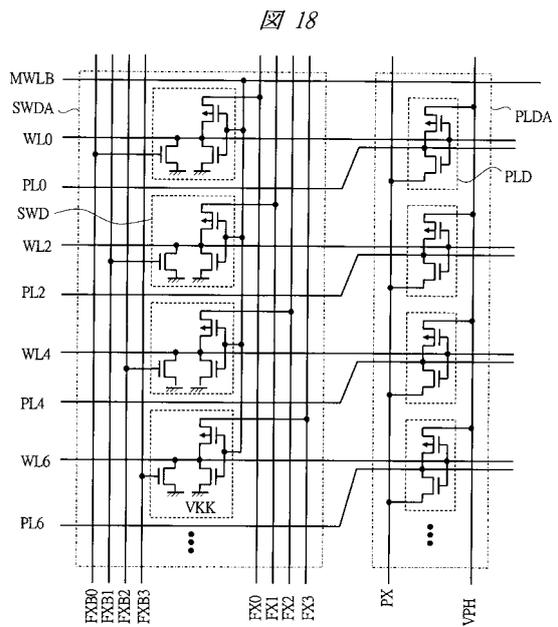
【 図 16 】



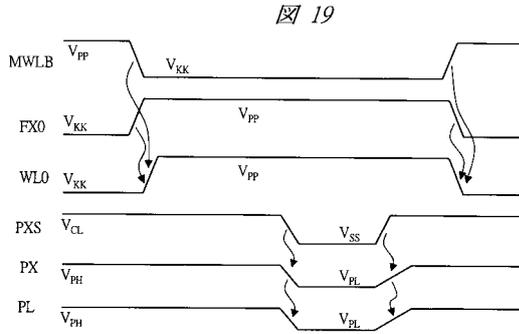
【 図 17 】



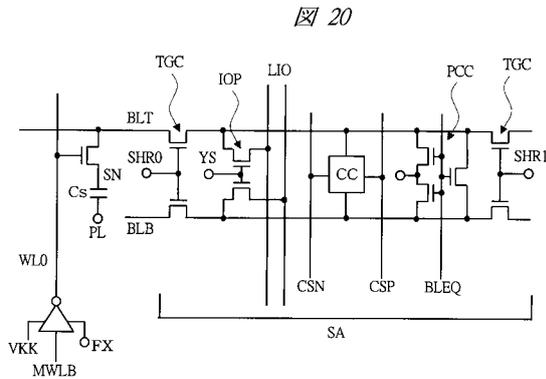
【 図 18 】



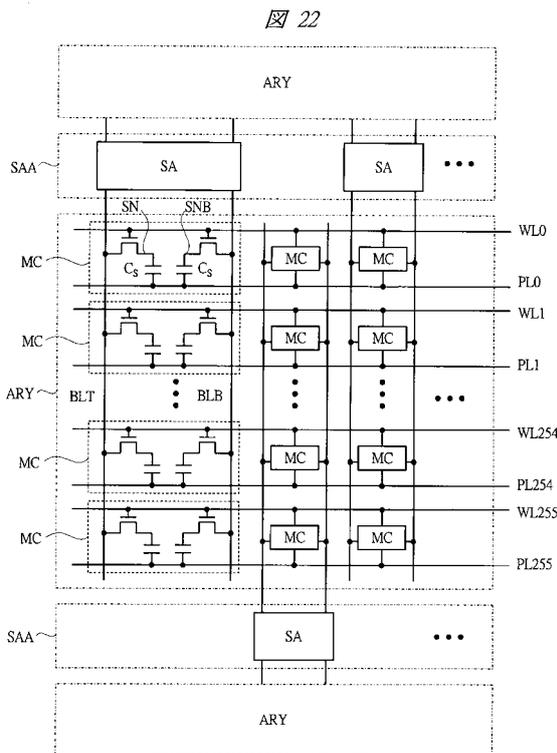
【 図 19 】



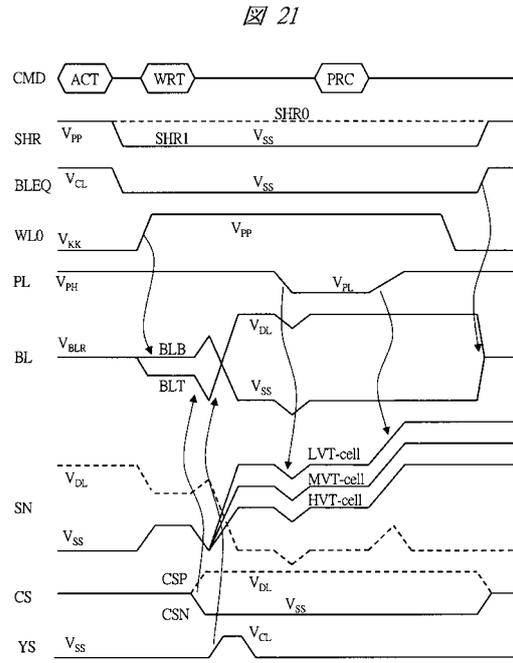
【 図 20 】



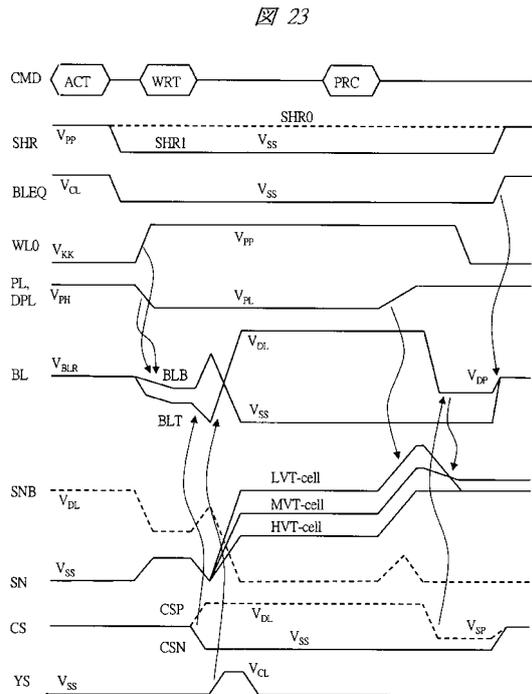
【 図 22 】



【 図 21 】



【 図 23 】



フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 27/10 6 8 1 E
 G 1 1 C 11/34 3 6 2 H

- (72)発明者 関口 知紀
 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 秋山 悟
 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 竹村 理一郎
 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 半澤 悟
 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 梶谷 一彦
 東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

審査官 岩間 直純

- (56)参考文献 特開2002-197855(JP,A)
 特開平08-115595(JP,A)
 特開平02-003161(JP,A)
 特開平03-034188(JP,A)

- (58)調査した分野(Int.Cl., DB名)
 G 1 1 C 1 1 / 4 0 4
 G 1 1 C 1 1 / 4 0 1
 G 1 1 C 1 1 / 4 0 9 1
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 7 / 1 0 8