



(12) 发明专利申请

(10) 申请公布号 CN 104733535 A

(43) 申请公布日 2015. 06. 24

(21) 申请号 201510115551. 7

(22) 申请日 2015. 03. 17

(71) 申请人 北京中科新微特科技开发股份有限公司

地址 100029 北京市朝阳区北土城西路 11 号中科院微电子所综合楼 4 层

(72) 发明人 孙博韬 王立新 张彦飞

(74) 专利代理机构 北京名华博信知识产权代理有限公司 11453

代理人 苗源

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/41(2006. 01)

H01L 29/06(2006. 01)

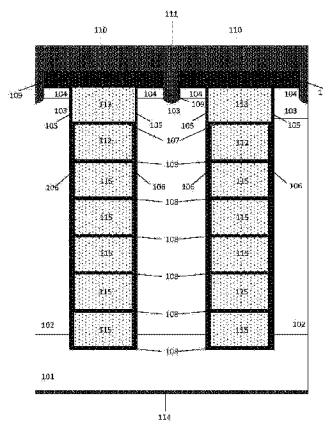
权利要求书1页 说明书5页 附图2页

(54) 发明名称

一种功率 MOSFET

(57) 摘要

本发明提供了一种功率 MOSFET, 包括: 衬底; 外延层, 外延层覆盖衬底; 源掺杂区, 源掺杂区位于外延层内; 阱区, 阱区位于外延层内且位于源掺杂区下方; 多晶源极, 多晶源极被外延层包围且位于芯片表面下方; 多个浮空电极, 浮空电极被外延层包围且位于多晶源极下方; 电容介质层, 电容介质层位于浮空电极之间, 浮空电极与多晶源极之间, 以及位于最下方的浮空电极与外延层之间; 以及侧壁介质层, 侧壁介质层位于外延层与多晶源极之间, 以及外延层与浮空电极之间。该功率 MOSFET 兼具了 CC-MOSFET 与 SJ-MOSFET 的优点。



1. 一种功率 MOSFET, 其特征在于, 所述功率 MOSFET 包括:
 - 衬底 (101);
 - 外延层 (102), 所述外延层 (102) 覆盖所述衬底 (101);
 - 源掺杂区 (104), 所述源掺杂区 (104) 位于所述外延层 (102) 内;
 - 阱区 (103), 所述阱区 (103) 位于所述外延层 (102) 内且位于所述源掺杂区 (104) 下方;
 - 多晶源极 (112), 所述多晶源极 (112) 被所述外延层 (102) 包围且位于芯片表面下方;
 - 多个浮空电极 (115), 所述浮空电极 (115) 被所述外延层 (102) 包围且位于所述多晶源极 (112) 下方;
 - 电容介质层 (108), 所述电容介质层 (108) 位于所述浮空电极 (115) 之间, 所述浮空电极 (115) 与所述多晶源极 (112) 之间, 以及位于最下方的所述浮空电极 (115) 与所述外延层 (102) 之间; 以及
 - 侧壁介质层 (106), 所述侧壁介质层 (106) 位于所述外延层 (102) 与所述多晶源极 (112) 之间, 以及所述外延层 (102) 与所述浮空电极 (115) 之间。
2. 如权利要求 1 所述的功率 MOSFET, 其特征在于, 所述浮空电极 (115) 的长度为 $0.5\mu\text{m} \sim 8\mu\text{m}$, 宽度为 $0.5\mu\text{m} \sim 2\mu\text{m}$ 。
3. 如权利要求 1 所述的功率 MOSFET, 其特征在于, 所述浮空电极 (115) 的个数是 1-20。
4. 如权利要求 1 所述的功率 MOSFET, 其特征在于, 多个所述浮空电极 (115) 的长度相同。
5. 如权利要求 1 所述的功率 MOSFET, 其特征在于, 所述电容介质层 (108) 的厚度是 $10\text{nm} \sim 500\text{nm}$, 且所述电容介质层 (108) 的材料是 SiO_2 或 Si_3N_4 。
6. 如权利要求 1 所述的功率 MOSFET, 其特征在于, 所述侧壁介质层 (106) 的厚度是 $100\text{nm} \sim 800\text{nm}$, 且所述侧壁介质层 (106) 的材料是 SiO_2 或 Si_3N_4 。
7. 如权利要求 1 所述的功率 MOSFET, 其特征在于, 所述功率 MOSFET 还包括:
 - 穿过所述源掺杂区 (104), 并深入所述阱区 (103) 内部的源接触孔 (109);
 - 被所述外延层 (102) 包围, 位于所述芯片表面下方、所述多晶源极 (112) 上方的多晶栅极 (113);
 - 位于所述外延层 (102) 与所述多晶栅极 (113) 之间的栅氧化层 (105);
 - 位于所述多晶栅极 (113) 与所述多晶源极 (112) 之间的隔离介质层 (107);
 - 位于所述多晶栅极 (113) 及所述源掺杂区 (104) 上方的表面氧化层 (110);
 - 位于所述芯片表面的金属源电极 (111); 以及
 - 位于所述衬底 (101) 下面的金属漏电极 (114)。

一种功率 MOSFET

技术领域

[0001] 本发明涉及半导体领域,尤其涉及一种功率 MOSFET。

背景技术

[0002] 在功率半导体领域内,以垂直双扩散工艺形成的纵向金属-氧化层半导体场效应晶体管(简称 MOSFET)称为 VDMOSFET,简称 VDMOS。因其具有开关速度快、输入阻抗高、频率特性好等特点,得到了广泛的应用。对于传统的 VDMOS,一般通过增大外延层厚度和降低外延层掺杂浓度的方式提高击穿电压。然而,随着击穿电压的增加,这种方式会使外延层电阻显著提高,研究表明导通电阻与击穿电压之间存在一个极限——称之为“硅限”,使得导通电阻无法再降低。很多器件设计方法突破了这一极限,如绝缘栅双极型晶体管(简称 IGBT)器件是通过在外延层内注入少子的方法降低通态电阻的。而另一类技术利用的电荷平衡的原理,通过在外延层内引入横向电场,使纵向电场的分布由三角形转化为梯形分布,弱化击穿电压与掺杂浓度的依赖关系来降低导通电阻的。目前常用的两种引入横向电场的技术包括电荷平衡绝缘栅场效应晶体管(简称 CC-MOSFET)与超结场效应晶体管(简称 SJ-MOSFET)。

[0003] CC-MOSFET 是由 B. Jayant Baliga 在 1995 年提出的,通过在外延层内加入贯穿整个漂移区的源极场板或栅极场板,使器件处于阻断状态时,空间电荷区内电荷全部由该场板平衡,从而实现将纵向电场转化为梯形分布的目的。由于该结构能与槽栅工艺很好的融合,因此,这种器件结构广泛应用于中低压功率沟槽绝缘栅场效应晶体管(简称 Trench MOSFET)的设计当中。

[0004] 然而,由于贯穿漂移区的场板通常为源电极或栅电极,该结构用于高压结构设计中有两点明显的缺陷。这是由于漂移区内电势是随着纵向位置的变化而改变的。这一方面造成不同纵向位置上漂移区与场板间的电势差都是变化的,很难实现完全的电荷平衡,随着击穿电压的增高这种不平衡将使纵向电场严重偏离梯形分布,使该结构对导通电阻的改善并不明显。另一方面,场板靠近漏极处介质层承受了整个源漏电压,为保证该介质层不会提前击穿,其厚度将随着器件击穿电压的提高而变得越来越厚。这会造成其元胞密度无法像低压器件那样做的很大,同样会影响导通电阻的降低。

[0005] SJ-MOSFET 是通过在漂移区内交替的 PN 结构来实现电荷平衡的,当器件处于阻断状态时,P 区与 N 区电荷完全平衡,从而实现纵向电场转化为梯形分布的目的。随着纵向位置的变化,P 区和 N 区间的电势差基本稳定,因此理论上 SJ-MOSFET 不存在随着击穿电压提高元胞宽度增大的现象。

[0006] 然而,SJ-MOSFET 是通过多次外延或刻槽回填的方式制作的,其深宽比越高工艺难度越大,这制约了元胞密度的降低,影响导通电阻的进一步改善。

[0007] 因此,需要一种既能够降低导通电阻,又能够克服上述 CC-MOSFET 与 SJ-MOSFET 的缺点的功率 MOSFET。

发明内容

[0008] 本发明旨在解决上面描述的问题。本发明的目的是提供一种功率 MOSFET, 其兼具了 CC-MOSFET 与 SJ-MOSFET 的优点。

[0009] 根据本发明的一个方面, 提供了一种功率 MOSFET, 所述功率 MOSFET 包括:

[0010] 衬底;

[0011] 外延层, 所述外延层覆盖所述衬底;

[0012] 源掺杂区, 所述源掺杂区位于所述外延层内;

[0013] 阱区, 所述阱区位于所述外延层内且位于所述源掺杂区下方;

[0014] 多晶源极, 所述多晶源极被所述外延层包围且位于芯片表面下方;

[0015] 多个浮空电极, 所述浮空电极被所述外延层包围且位于所述多晶源极下方;

[0016] 电容介质层, 所述电容介质层位于所述浮空电极之间, 所述浮空电极与所述多晶源极之间, 以及位于最下方的所述浮空电极与所述外延层之间; 以及

[0017] 侧壁介质层, 所述侧壁介质层位于所述外延层与所述多晶源极之间, 以及所述外延层与所述浮空电极之间。

[0018] 其中, 所述浮空电极的长度为 $0.5\mu\text{m} \sim 8\mu\text{m}$, 宽度为 $0.5\mu\text{m} \sim 2\mu\text{m}$ 。

[0019] 其中, 所述浮空电极的个数是 1-20。

[0020] 其中, 多个所述浮空电极的长度相同。

[0021] 其中, 所述电容介质层的厚度是 $10\text{nm} \sim 500\text{nm}$, 且所述电容介质层的材料是 SiO_2 或 Si_3N_4 。

[0022] 其中, 所述侧壁介质层的厚度是 $100\text{nm} \sim 800\text{nm}$, 且所述侧壁介质层的材料是 SiO_2 或 Si_3N_4 。

[0023] 其中, 所述功率 MOSFET 还包括:

[0024] 穿过所述源掺杂区, 并深入所述阱区内部的源接触孔;

[0025] 被所述外延层包围, 位于所述芯片表面下方、所述多晶源极上方的多晶栅极;

[0026] 位于所述外延层与所述多晶栅极之间的栅氧化层;

[0027] 位于所述多晶栅极与所述多晶源极之间的隔离介质层;

[0028] 位于所述多晶栅极及所述源掺杂区上方的表面氧化层;

[0029] 位于所述芯片表面的金属源电极; 以及

[0030] 位于所述衬底下方的金属漏电极。

[0031] 本发明的具有多层浮空结构的功率 MOSFET 通过在外延层漂移区内, 多晶源电极下方加入了多个浮空电极、电容介质层以及侧壁介质层, 从而形成一系列串联在源极与漏极间的电容, 以实现阻断状态下的电荷平衡。另外, 本发明的功率 MOSFET 只需增加外延层的厚度及浮空电极的个数即可, 克服了 CC-MOSFET 设计高压结构的缺点。同时, 本发明功率 MOSFET 对现有的 CC-MOSFET 的制造工艺改动不多, 可与传统的 Trench MOSFET 工艺兼容。因此, 本发明提供的功率 MOSFET 兼具了 CC-MOSFET 与 SJ-MOSFET 的优点。

[0032] 参照附图来阅读对于示例性实施例的以下描述, 本发明的其他特征和优点将变得清晰。

附图说明

[0033] 并入到说明书中并且构成说明书的一部分的附图示出了本发明的实施例，并且与描述一起用于解释本发明的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本发明的一些实施例，而不是全部实施例。对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

[0034] 图 1 示例性地示出了根据本发明的功率 MOSFET 的结构示意图；

[0035] 图 2 示例性地示出了根据本发明的功率 MOSFET 的等效模型。

具体实施方式

[0036] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互任意组合。

[0037] 在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的，其中为了清楚的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域 / 层。

[0038] 本发明提出的功率 MOSFET 通过在外延层漂移区内，多晶源电极下方加入了多个浮空电极、电容介质层以及侧壁介质层，从而形成一系列串联在源极与漏极间的电容，以实现阻断状态下的电荷平衡。该功率 MOSFET 包括：衬底；覆盖衬底的外延层；位于外延层内的源掺杂区；位于外延层内且位于源掺杂区下方的阱区；被外延层包围且位于芯片表面下方的多晶源极；被外延层包围且位于多晶源极下方的浮空电极；位于浮空电极之间、浮空电极与多晶源极之间，以及位于最下方的浮空电极与外延层之间的电容介质层；以及位于外延层与多晶源极之间、外延层与浮空电极之间的侧壁介质层。

[0039] 下面参照附图详细说明根据本发明的功率 MOSFET。

[0040] 图 1 示出了根据本发明的功率 MOSFET 的结构示意图。如图 1 所示，该功率 MOSFET 包括衬底 101；覆盖衬底 101 的外延层 102；位于外延层 102 内的源掺杂区 104；位于外延层 102 内且位于源掺杂区 104 下方的阱区 103；被外延层 102 包围且位于芯片表面下方的多晶源极 112；被外延层 102 包围且位于多晶源极 112 下方的浮空电极 115；位于浮空电极 115 之间、浮空电极 115 与多晶源极 112 之间，以及位于最下方的浮空电极 115 与外延层 102 之间的电容介质层 108；以及位于外延层 102 与多晶源极 112 之间、外延层 102 与浮空电极 115 之间的侧壁介质层 106。

[0041] 其中衬底 101 为第一导电类型，外延层 102 为第一导电类型，源掺杂区 104 为第一导电类型，阱区 103 为第二导电类型，多晶源极 112 为第一导电类型。浮空电极 115 一般为多晶的第一导电类型，但存在为第二导电类型的可能，甚至存在为金属电极的可能。

[0042] 在外延层 102 内、多晶源极 112 下方形成多个浮空电极 115；在最上方的浮空电极 115 与其上方的多晶源极 112 之间，相邻的浮空电极 115 之间以及最下方的浮空电极 115 与其下方的外延层 102 之间均形成电容介质层 108；并且在外延层 102 与多晶源极 112 之间，

在外延层 102 与每个浮空电极 115 之间均形成侧壁介质层 106。这些浮空电极 115、电容介质层 108 以及侧壁介质层 106 构成了一系列串联在源极与漏极之间的电容。通过这些电容的分压作用,形成了电势随纵向位置变化的场板。当器件处于阻断状态时,在不同纵向位置上,漂移区与场板间的电势差基本为均匀的,从而实现完全的电荷平衡。

[0043] 浮空电极 115 的长度一般为 $0.5\mu\text{m} \sim 8\mu\text{m}$,宽度与工艺水平有关,一般为 $0.5\mu\text{m} \sim 2\mu\text{m}$ 。多个浮空电极 115 的长度可以相同也可以不相同,图 1 中给出的即为各个浮空电极 115 的长度相同的示例。在各个浮空电极 115 的长度不相同的情况下,其长度也可以是渐变的。当浮空电极 115 的长度不相同,为了实现电荷平衡,就可以允许功率 MOSFET 在制造时有一定的工艺容差。可以根据设计需要以及工艺条件来设计各个浮空电极 115 的长度。另外,形成的浮空电极 115 的个数与器件的击穿电压有关,一般为 $1 \sim 20$ 个。形成的浮空电极 115 的个数越多,器件的击穿电压越高。

[0044] 电容介质层 108 可为 SiO_2 或 Si_3N_4 等多种材料构成,其厚度为 $10\text{nm} \sim 500\text{nm}$ 。侧壁介质层 106 可为 SiO_2 或 Si_3N_4 等多种材料构成,厚度为 $100\text{nm} \sim 800\text{nm}$ 。根据电容介质层 108 的厚度和侧壁介质层 106 的厚度可知,形成的侧壁介质层 106 的电容小于电容介质层 108 的电容。

[0045] 再次参照图 1 所示,该功率 MOSFET 还可以包括:穿过源掺杂区 104、并深入阱区 103 内部的源接触孔 109;被外延层 102 包围、位于芯片表面下方、多晶源极 112 上方的多晶栅极 113;位于外延层 102 与多晶栅极 113 之间的栅氧化层 105;位于多晶栅极 113 与多晶源极 112 之间的隔离介质层 107;位于多晶栅极 113 及源掺杂区 104 上方的表面氧化层 110;位于芯片表面的金属源电极 111;以及位于衬底 101 下面的金属漏电极 114。

[0046] 图 2 是根据本发明的功率 MOSFET 的等效模型。通过图 2 说明该功率 MOSFET 实现阻断状态下的电荷平衡的原理。在图 2 中,是以包括 5 个长度一致的浮空电极 115 为例的。其中,假设电容介质层 108 的电容为 C_1 ,侧壁介质层 106 的电容为 C_2 。当电容 C_1 远大于电容 C_2 时,可实现完全的电荷平衡。当器件承受较高的反向电压时,图 2 中 5 个浮空电极 115 的电势分别为: $V_d/6$ 、 $V_d/3$ 、 $V_d/2$ 、 $2V_d/3$ 、 $5V_d/6$ 。这些浮空电极 115 通过电容 C_2 的耦合作用,使它们对应的不同深度的外延层完全耗尽,在纵向形成了梯形的电场分布,从而实现了降低导通电阻的目的。

[0047] 当设计具有更高的击穿电压的器件时,本发明功率 MOSFET 的结构与 SJ-MOSFET 类似,只需增加外延层的厚度及浮空电极的个数即可,克服了 CC-MOSFET 设计高压结构的缺点。同时,本发明功率 MOSFET 对现有的 CC-MOSFET 的制造工艺改动不多,可与传统的 Trench MOSFET 工艺兼容。因此,本发明提供的功率 MOSFET 兼具了 CC-MOSFET 与 SJ-MOSFET 的优点。

[0048] 上面描述的内容可以单独地或者以各种方式组合起来实施,而这些变型方式都在本发明的保护范围之内。

[0049] 需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者任何其他变体意在涵盖非排他性的包含,从而使得包含一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备

所固有的要素。在没有更多限制的情况下,由语句“包括一个…”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0050] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过现有技术中的各种手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。以上参照本发明的实施例对本发明予以了说明。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替换和修改,这些替换和修改都应落在本发明的范围之内。

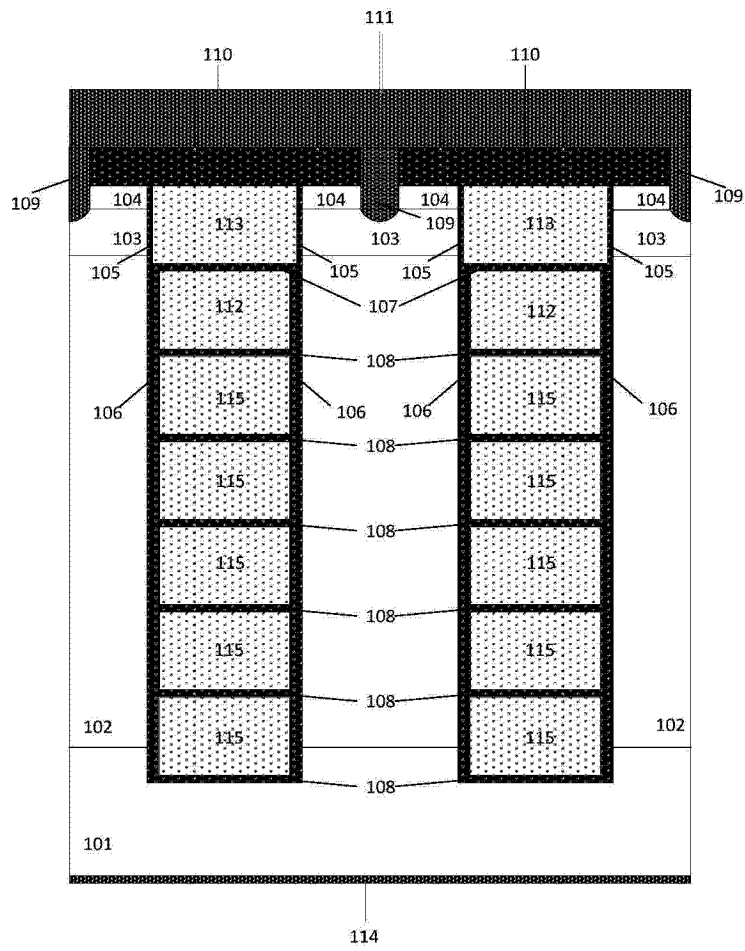


图 1

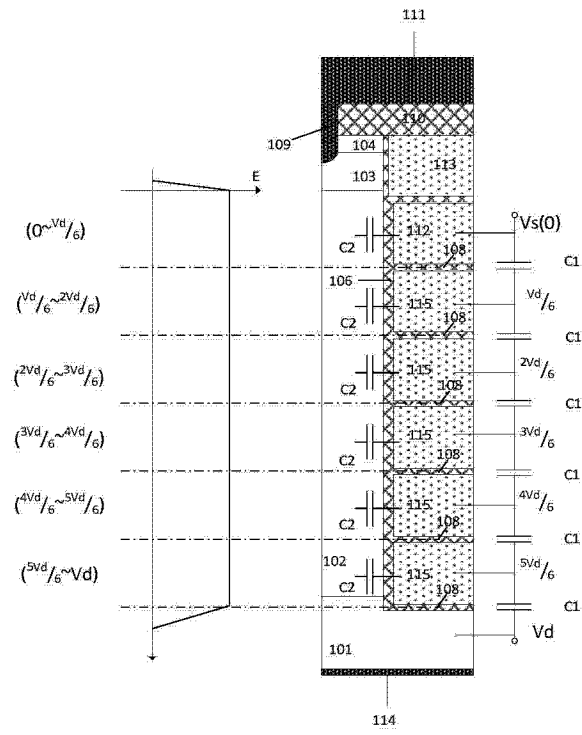


图 2