



(12) 发明专利

(10) 授权公告号 CN 109714058 B

(45) 授权公告日 2021.07.13

(21) 申请号 201910114408.4

(22) 申请日 2019.02.14

(65) 同一申请的已公布的文献号
申请公布号 CN 109714058 A

(43) 申请公布日 2019.05.03

(73) 专利权人 电子科技大学
地址 611731 四川省成都市高新区(西区)
西源大道2006号

(72) 发明人 王铨 何海迅 马敏 戴志坚

(74) 专利代理机构 成都行之专利代理事务所
(普通合伙) 51220

代理人 温利平 陈靓靓

(51) Int.Cl.

H03M 1/66 (2006.01)

(56) 对比文件

CN 108599771 A, 2018.09.28

CN 108768401 A, 2018.11.06

CN 107508600 A, 2017.12.22

US 8779963 B1, 2014.07.15

US 9906232 B1, 2018.02.27

李儒. 16位高速分段电流舵CMOS D/A转换器设计.《中国优秀硕士学位论文全文数据库 信息科技辑》.2011, 第I135-269页.

审查员 吴一帆

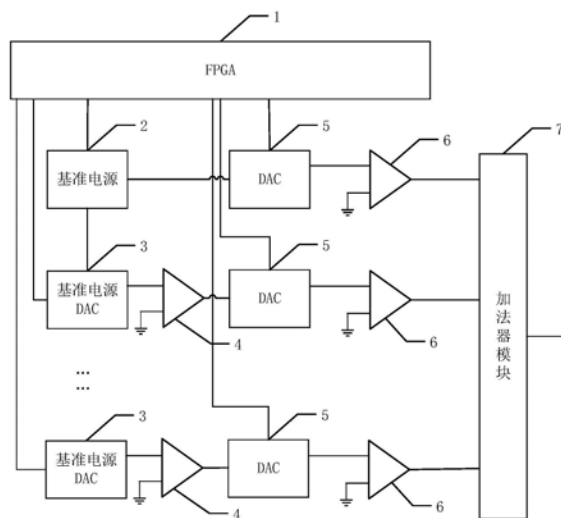
权利要求书1页 说明书6页 附图6页

(54) 发明名称

基于并联结构的数模转换器DAC

(57) 摘要

本发明公开了一种基于并联结构的数模转换器DAC,包括FPGA,基准电源,N-1个基准电源DAC,N-1个驱动运算放大器,N个子DAC,N个运算放大器和加法器模块,FPGA生成数字信号并划分成N个子数字信号分别发送给N个子DAC,并控制基准电源DAC的输出电压幅度,基准电源生成基准电压发送给第1个子DAC和基准电源DAC,基准电源DAC生成其他N-1个子DAC的基准电压并发送给驱动运算放大器,驱动运算放大器用于提升基准电压的驱动能力,将得到的信号作为其他N-1个子DAC的基准电压,N个子DAC分别对子数字信号进行数模转换,得到的模拟电流信号经运算放大器转换为模拟电压信号再由加法器模块相加进行输出.本发明通过子DAC并联并累加输出,以低分辨率的子DAC实现高分辨率DAC.



1. 一种基于并联结构的数模转换器DAC,其特征在于包括FPGA,基准电源,N-1个基准电源DAC,N-1个驱动运算放大器,N个子DAC,N个运算放大器和加法器模块,记数模转换器DAC的分辨率位数为K,第n个子DAC的分辨率位数为 k_n , $n=1,2,\dots,N$,则 $\sum_{n=1}^N k_n = K$,其中:

FPGA生成K位数字信号Data,将其连续划分为N个子数字信号 $Data_n$,第n个子数字信号的位数为 k_n ,将第n个子数字信号 $Data_n$ 发送给第n个子DAC;FPGA生成N-1个基准电源DAC的电压控制信号 C_m , $m=1,2,\dots,N-1$,第m个基准电源DAC的输出电压幅度为 V_m ,其计算公式如下:

$$V_m = \frac{REF_1}{2^{\sum_{i=1}^m k_i}}$$

其中, REF_1 表示基准电源的输出电压幅度;

基准电源用于生成基准电压 REF_1 ,分别发送给第1个子DAC和N-1个基准电源DAC;

N-1个基准电源DAC用于接收基准电压 REF_1 ,根据接收到的电压控制信号 C_m 生成幅度为 V_m 的输出电压信号 v_m ,将输出电压信号 v_m 发送给对应的驱动运算放大器;

N-1个驱动运算放大器接收对应的输出电压信号 v_m 并提升其驱动能力,将得到的信号作为第m+1个子DAC的基准电压 REF_{m+1} ;

N个子DAC分别接收对应的基准电压 REF_n 和子数字信号 $Data_n$,对子数字信号 $Data_n$ 进行数模转换得到模拟电流信号 $Signal_n$,分别输出至对应的运算放大器;

N个运算放大器用于分别将接收到的模拟电流信号 $Signal_n$ 转换为模拟电压信号 $Signal'_n$,输出至加法器模块;

加法器模块用于对接收到的N个模拟电压信号 $Signal'_n$ 进行累加,得到最终的模拟信号进行输出,该输出模拟信号即为K位数字信号Data所对应的模拟信号。

基于并联结构的数模转换器DAC

技术领域

[0001] 本发明属于数模转换器DAC技术领域,更为具体地讲,涉及一种基于并联结构的数模转换器DAC。

背景技术

[0002] 在模拟IC(Integrated Circuit,集成电路)测试或者混合IC测试中,对任意波形发生器产生信号的分辨率和精度都有较高的要求,随着芯片性能的提升,对任意波形发生器的指标要求也越来越高。而任意波形发生器的指标主要是受到DAC(Digital to Analog Converter)芯片或者DA(Digital to Analog)转换电路的指标限制。由于目前市场上的高位分辨率DAC的采样率都较低,不能满足IC测试中的要求,因此需要新的方法来提高IC测试仪中任意波形发生器产生信号的分辨率和采样率。

[0003] DAC作为数字信号转换为模拟信号的接口,输入数字信号,输出模拟信号。其DA转换电路兼有数字电路和模拟电路的部分。DAC按照结构功能单元特点分为电阻型、电流源型和电容型,具体包括权电阻网络、权电容网络、阶梯电阻网络、电压分段网络和电流源阵列等。DAC开发人员可直接根据需求选用各个公司已经上市能够满足要求的DAC芯片,然后配合芯片的外围电路、基准电压源电路、滤波器电路和放大器电路等来完成设计。

[0004] 图1是R-2R电阻型DAC结构图。R-2R梯形电阻网络型DAC有效地降低了传统电阻分压式DAC相同转换位数时电阻使用的总数量,更适合于高分辨率DAC的设计,但非同步开关状态会为R-2R电阻网络DAC产生比较严重的毛刺,以及引入谐波噪声与非线性失真,需要加入跟踪/保持电路来解决这个问题。

[0005] 图2是电容型DAC结构图。电容型DAC利用二进制加权电容进行电荷转移来完成模数转换过程,电容的匹配性、采样开关的导通电阻以及运放的有限带宽都会影响电容型DAC的转换精度。

[0006] 图3是电流源型DAC结构图。电流源型DAC所有的功率都作用到输出,所以它的电源效率非常高,但是时钟抖动、器件失配以及电流源输出阻抗的波动等都是电流源型DAC的敏感源。

[0007] DA转换电路一般由基准电压源、开关阵列、加权网络、滤波器和输出放大器组成。DA转换电路相比于DAC芯片来说,可能会存在以下缺点:1.DA转换电路的面积会大于DAC芯片所占用的面积;2.由于器件规格批次的原因,DA转换电路的稳定性会略差于DAC芯片;3.由于布局布线原因,DA转换电路的噪声可能会大于DAC芯片的噪声。

发明内容

[0008] 本发明的目的在于克服现有技术的不足,提供一种基于并联结构的数模转换器DAC,通过子DAC并联并累加输出,以低分辨率的子DAC实现高分辨率DAC。

[0009] 为了实现上述发明目的,本发明基于并联结构的数模转换器DAC包括FPGA,基准电源,N-1个基准电源DAC,N-1个驱动运算放大器,N个子DAC,N个运算放大器和加法器模块,记

数模转换器DAC的分辨率位数为K,第n个子DAC的分辨率位数为 k_n , $n=1,2,\dots,N$,则

$$\sum_{n=1}^N k_n = K, \text{其中:}$$

[0010] FPGA生成K位数字信号Data,将其连续划分为N个子数字信号 $Data_n$,第n个子数字信号的位数为 k_n ,将第n个子数字信号 $Data_n$ 发送给第n个子DAC;FPGA生成N-1个基准电源DAC的电压控制信号 C_m , $m=1,2,\dots,N-1$,第m个基准电源DAC的输出电压幅度为 V_m ,其计算公式如下:

$$[0011] \quad V_m = \frac{REF_1}{2^{\sum_{i=1}^m k_i}}$$

[0012] 其中, REF_1 表示基准电源的输出电压幅度;

[0013] 基准电源用于生成基准电压 REF_1 ,分别发送给第1个子DAC和N-1个基准电源DAC;

[0014] N-1个基准电源DAC用于接收基准电压 REF_1 ,根据接收到的电压控制信号 C_m 生成幅度为 V_m 的输出电压信号 v_m ,将输出电压信号 v_m 发送给对应的驱动运算放大器;

[0015] N-1个驱动运算放大器接收对应的输出电压信号 v_m 并提升其驱动能力,将得到的信号作为第m+1个子DAC的基准电压 REF_{m+1} ;

[0016] N个子DAC分别接收对应的基准电压 REF_n 和子数字信号 $Data_n$,对子数字信号 $Data_n$ 进行数模转换得到模拟电流信号 $Signal_n$,分别输出至对应的运算放大器;

[0017] N个运算放大器用于分别将接收到的模拟电流信号 $Signal_n$ 转换为模拟电压信号 $Signal'_n$,输出至加法器模块;

[0018] 加法器模块用于对接收到的N个模拟电压信号 $Signal'_n$ 进行累加,得到最终的模拟信号进行输出;该输出模拟信号即为K位数字信号Data所对应的模拟信号。

[0019] 本发明基于并联结构的数模转换器DAC,包括FPGA,基准电源,N-1个基准电源DAC,N-1个驱动运算放大器,N个子DAC,N个运算放大器和加法器模块,FPGA生成数字信号并划分成N个子数字信号分别发送给N个子DAC,并控制基准电源DAC的输出电压幅度,基准电源生成基准电压发送给第1个子DAC和基准电源DAC,基准电源DAC生成其他N-1个子DAC的基准电压并发送给驱动运算放大器,驱动运算放大器用于提升基准电压的驱动能力,将得到的信号作为其他N-1个子DAC的基准电压,N个子DAC分别对子数字信号进行数模转换,得到的模拟电流信号经运算放大器转换为模拟电压信号再由加法器模块相加进行输出。本发明通过子DAC并联并累加输出,以低分辨率的子DAC实现高分辨率DAC。

附图说明

[0020] 图1是R-2R电阻型DAC结构图;

[0021] 图2是电容型DAC结构图;

[0022] 图3是电流源型DAC结构图;

[0023] 图4是本发明基于并联结构的数模转换器DAC的具体实施方式结构图;

[0024] 图5是本实施例24位DAC的结构图;

[0025] 图6是本实施例中24位DAC的电路图;

[0026] 图7是本实施例中第1个子DAC的输出正弦波仿真图形;

[0027] 图8是第2个子DAC的输出正弦波仿真图形;

[0028] 图9是本实施例中DAC输出正弦波仿真图形；

[0029] 图10是本实施例实测得到的输出正弦波图形。

具体实施方式

[0030] 下面结合附图对本发明的具体实施方式进行描述,以便本领域的技术人员更好地理解本发明。需要特别提醒注意的是,在以下的描述中,当已知功能和设计的详细描述也许会淡化本发明的主要内容时,这些描述在这里将被忽略。

[0031] 实施例

[0032] 图4是本发明基于并联结构的数模转换器DAC的具体实施方式结构图。如图4所示,本发明基于并联结构的数模转换器DAC包括FPGA1,基准电源2,N-1个基准电源DAC3,N-1个驱动运算放大器4,N个子DAC5,N个运算放大器6和加法器模块7,记数模转换器DAC的分辨率位数为K,第n个子DAC的分辨率位数为 k_n , $n=1,2,\dots,N$,则 $\sum_{n=1}^N k_n = K$ 。下面分别对各个模块进行详细说明。

[0033] FPGA1生成K位数字信号Data,将其连续划分为N个子数字信号Data_n,第n个子数字信号的位数为 k_n ,将第n个子数字信号Data_n发送给第n个子DAC。此外,FPGA1还需要生成N-1个基准电源DAC3的电压控制信号C_m, $m=1,2,\dots,N-1$,第m个基准电源DAC3的输出电压幅度为V_m,其计算公式如下:

$$[0034] \quad V_m = \frac{REF_1}{2^{\sum_{i=1}^m k_i}}$$

[0035] 其中,REF₁表示基准电源2的输出电压幅度。

[0036] 基准电源2用于生成基准电压REF₁,分别发送给第1个子DAC4和N-1个基准电源DAC3。

[0037] N-1个基准电源DAC3用于接收基准电压REF₁,根据接收到的电压控制信号C_m生成幅度为V_m的输出电压信号v_m,将输出电压信号v_m发送给对应的驱动运算放大器4。

[0038] N-1个驱动运算放大器4接收对应的输出电压信号并提升其驱动能力,将得到的信号作为第m+1个子DAC的基准电压REF_{m+1}。

[0039] N个子DAC5分别接收对应的基准电压REF_n和子数字信号Data_n,对子数字信号Data_n进行数模转换得到模拟电流信号Signal_n,分别输出至对应的运算放大器6。

[0040] N个运算放大器6用于分别将接收到的模拟电流信号Signal_n转换为模拟电压信号Signal'_n,输出至加法器模块7。

[0041] 加法器模块7用于对接收到的N个模拟电压信号Signal'_n进行累加,得到最终的模拟信号进行输出,该输出模拟信号即为K位数字信号Data所对应的模拟信号。

[0042] 从以上描述可知,本发明采用并联结构,由N个子DAC构成N个数模转换通道,分别对由数字信号Data划分得到的子数字信号Data_n进行数模转换,从而以低分辨率的DAC来实现高分辨率的数模转换器DAC。

[0043] 本发明基于并联结构的数模转换器DAC属于乘法DAC,乘法DAC一般用于乘法计算和衰减器应用,本发明利用乘法DAC的特点来实现高分辨率DAC。虽然所有DAC都可提高与数字设置增益和所施加基准电压之积成比例的输出,但是乘法DAC与固定基准电压DAC有所不

同,因为乘法DAC的基准电压可以是一个变化的模拟电压,因此可以将一个较大基准电压作为乘法DAC参考电压和一个比较大基准电压小若干倍的模拟电压作为另一个乘法DAC的参考电压,并将其输出电流信号通过运放转换成电压信号后相加,来实现多片较低分辨率DAC输出较高分辨率的信号。

[0044] 为了更好地说明本发明采用一个具体实施例对本发明的实现过程进行详细说明。本实施例中实现24位分辨率的数模转换器DAC。图5是本实施例24位DAC的结构图。如图2所示,本实施例的24位DAC配置2个子DAC,其分辨率分别为10位和14位,其中10位子DAC用于处理24位数字信号的高10位,14位子DAC用于处理24位数字信号的低14位,即将24位数字信号Data,划分成高10位数字信号Data₁和低14位数字信号Data₂,那么有以下关系:

$$[0045] \quad Data = 2^{14}Data_1 + Data_2$$

[0046] 根据基准电源DAC输出电压幅度V_m的计算公式,可知第1个子DAC的基准电压REF₁和第2个子DAC的基准电压REF₂之间的关系如下:

$$[0047] \quad REF_2 = \frac{REF_1}{2^{10}}$$

[0048] 本实施例中设置REF₁ = 4.096V,则REF₂ = 4mV,据此对基准电源DAC进行设置。

[0049] 假设子DAC1的输出电压值为V_{OUT1},子DAC2的输出电压值为V_{OUT2},累加后的输出电压为V_{OUT},其关系为:

$$[0050] \quad V_{OUT1} = REF_1 \times \frac{Data_1}{2^{10}}$$

$$[0051] \quad V_{OUT2} = REF_2 \times \frac{Data_2}{2^{14}}$$

$$[0052] \quad V_{OUT} = V_{OUT1} + V_{OUT2}$$

[0053] 可进行以下变换:

$$\begin{aligned}
 [0054] \quad V_{OUT} &= V_{OUT1} + V_{OUT2} \\
 &= REF_1 \times \frac{Data_1}{2^{10}} + REF_2 \times \frac{Data_2}{2^{14}} \\
 &= REF_1 \times \frac{2^{14} Data_1}{2^{24}} + \frac{REF_1}{2^{10}} \times \frac{2^{10} Data_2}{2^{24}} \\
 &= REF_1 \times \frac{2^{14} Data_1 + Data_2}{2^{24}} \\
 &= REF_1 \times \frac{Data}{2^{24}}
 \end{aligned}$$

[0055] 根据以上推导可知,采用本发明可以实现基准电压为REF₁,分辨率为24位的DA转换过程。

[0056] 接下来对本实施例的具体实现进行说明。图6是本实施例中24位DAC的电路图。如图6所示,本实施例中的子DAC选用TI公司的DAC8822型号,其为16位并行输入双通道电流输出的乘法型DAC,其参数电压范围为-18V~+18V,建立时间为0.5us;运放选用TI公司的OPA189型号,其零点漂移为0.005uv/°C,共模抑制比为168dB,开环增益为170dB,增益带宽

为14MHz,压摆率为20V/us。

[0057] 使第1个DAC8822的通道1和通道2的基准电压都为+4.096V,此基准电压由ADR4520产生,并经过AD8031运放芯片驱动,其中通道1的16位中的高10位用于产生24位分辨率数字信号中的高10位数字信号的电流信号,并经过OPA189运放转换为电压信号,通道2用于产生第2个DAC8822通道1的基准电压,并经过OPA189运放的驱动;第2个DAC8822的通道1的16位中的高14位用于产生24位分辨率数字信号中的低14位数字信号的电流信号,并经过OPA189运放转换为电压信号,然后通过OPA189运放的加法电路将高10位和低14位的电压信号进行累加输出。

[0058] 可以通过分别控制两个DAC8822来使其输出直流或交流信号,在输出直流信号的时候,第1个DAC8822用于产生大于4mV的信号,第2个DAC8822用于产生小于4mV的信号,将两个信号叠加可以得到-4.1V~+4.1V内的任意24位分辨率的信号。同样的道理,输出交流信号时,也是由第1个DAC8822产生大于4mV的交流信号,第2个DAC8822产生小于4mV的交流信号,将两个信号通过加法电路叠加输出。

[0059] 表1是基准电压REF₁实测值为+4.0952V的第1个子DAC测试直流信号得到的数据。

[0060]

数字信号	输出实测值	理论输出值	误差值
0xffff	4.0953V	4.0952V	0.1mV
0x8000	2.0477V	2.0476V	0.1mV
0x4000	1.0239V	1.0238V	0.1mV
0x2000	0.51193V	0.5119V	0.03mV
0x1000	0.25597V	0.25595V	0.02mV
0x0800	0.12799V	0.127975V	0.015mV
0x0400	64.006mV	63.9875mV	0.0185mV
0x0200	32.0067mV	31.99375mV	0.01295mV
0x0100	16.0067mV	15.996875mV	0.009825mV
0x0080	8.0108mV	7.9984375mV	0.0123625mV
0x0070	7.0106mV	6.9986328125mV	0.0119671875mV
0x0060	6.0106mV	5.998828125mV	0.011771875mV
0x0050	5.0136mV	4.9990234375mV	0.0145765625mV
0x0040	4.0108mV	3.99921875mV	0.01158125mV
0x0030	3.0116mV	2.9994140625mV	0.0121859375mV
0x0020	2.0105mV	1.999609375mV	0.010890625mV
0x0010	1.0116mV	0.9998046875mV	0.0117953125mV
0x0000	0.008mV	0mV	0.008mV

[0061] 表1

[0062] 表2是基准电压REF₂实测值为+4.0156mV的第2个DAC测试直流信号得到的数据。

	数字增益量	输出实测值	理论输出值	误差值
[0063]	0xffff	4.0146 mV	4.0156mV	-1uV
	0x8000	2.0075 mV	2.0078 mV	-0.3uV
	0x4000	1.0036 mV	1.0039 mV	-0.3uV
	0x2000	0.5026 mV	0.50195 mV	0.65uV
	0x1000	0.2514 mV	0.250975 mV	0.425uV
		0x0800	0.1256 mV	0.1254875 mV
[0064]	0x0400	0.0626 mV	0.06274375mV	-0.14375uV
	0x0200	0.0316 mV	0.031371875 mV	0.228125uV
	0x0100	0.0167 mV	0.0156829375 mV	1.0170625uV
	0x00f0	0.0148 mV	0.0147055664 mV	0.0944336uV
	0x00c0	0.0119 mV	0.011764453124 mV	0.1355469uV
	0x0080	0.0084 mV	0.0078429687496mV	0.55703125uV
	0x0040	0.0048 mV	0.003921484375 mV	0.878515625uV
	0x0030	0.0034 mV	0.00294111328 mV	0.45888672uV
	0x0020	0.0025 mV	0.001960742 mV	0.539258uV
	0x0010	0.0014 mV	0.000980371 mV	0.419629uV
	0x0000	0.0008mV	0mV	0.8uV

[0065] 表2

[0066] 如表1和表2所示,本发明可以实现对直流信号的数模转换,其误差在工程应用的允许范围之内。

[0067] 接下来对交流信号进行验证,FPGA1控制数字信号完成频率为10kHz,振幅为1V的正弦波参数设置。图7是本实施例中第1个子DAC的输出正弦波仿真图形。图8是第2个子DAC的输出正弦波仿真图形。图9是本实施例中DAC输出正弦波仿真图形。图10是本实施例实测得到的输出正弦波图形。图10中上部正弦波为第2个子DAC的输出正弦波,图10中下部正弦波为DAC输出正弦波,由于本实施例中加法器模块采用OPA189运放实现,第2个子DAC的输出正弦波经过反向后输入OPA189运放的反向输入端,而图10所示上部正弦波自OPA189运放的反向输入端,因此为实际波形的反向波形。比较图8、图9和图10可知,本实施例实测得到的波形与仿真波形无明显相位差,波形保持一致,可见本发明对于高分辨率的交流信号的数模转换,也是可以实现的。

[0068] 尽管上面对本发明说明性的具体实施方式进行了描述,以便于本技术领域的技术人员理解本发明,但应该清楚,本发明不限于具体实施方式的范围,对本技术领域的普通技术人员来讲,只要各种变化在所附的权利要求限定和确定的本发明的精神和范围内,这些变化是显而易见的,一切利用本发明构思的发明创造均在保护之列。

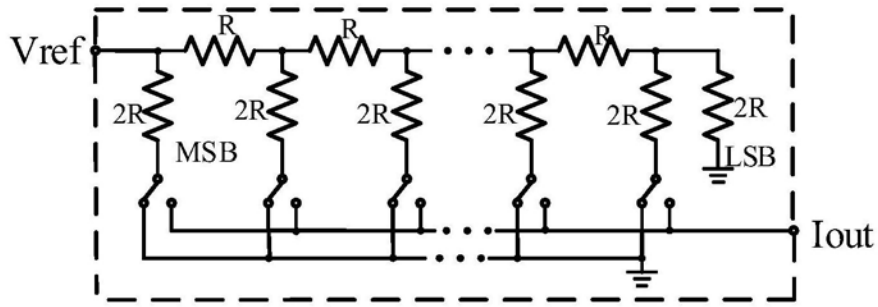


图1

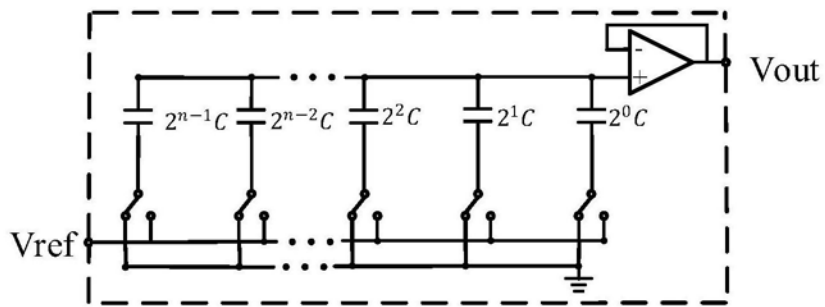


图2

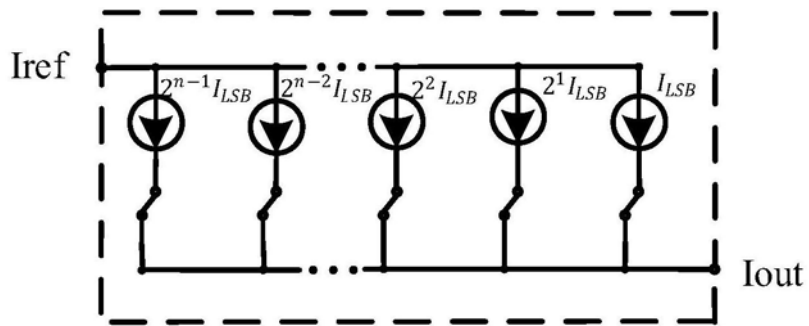


图3

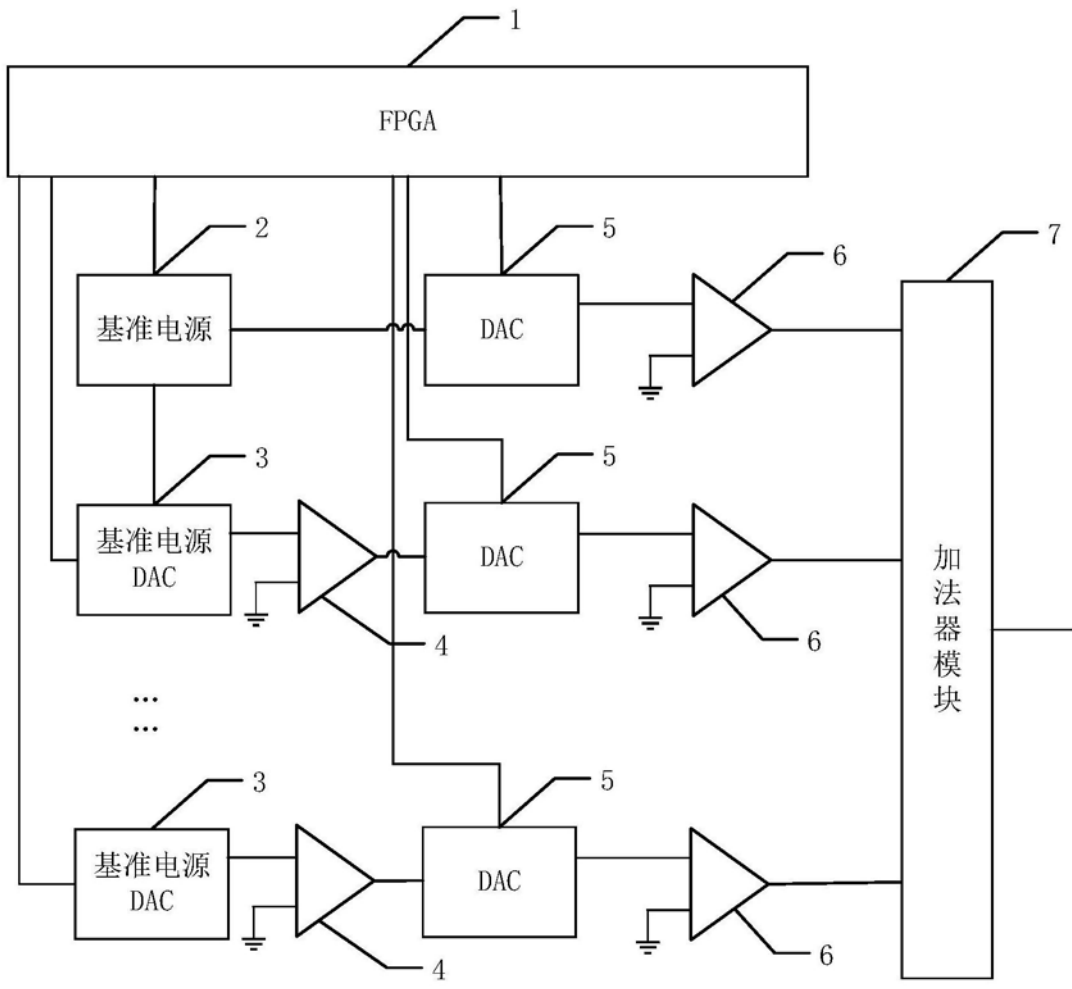


图4

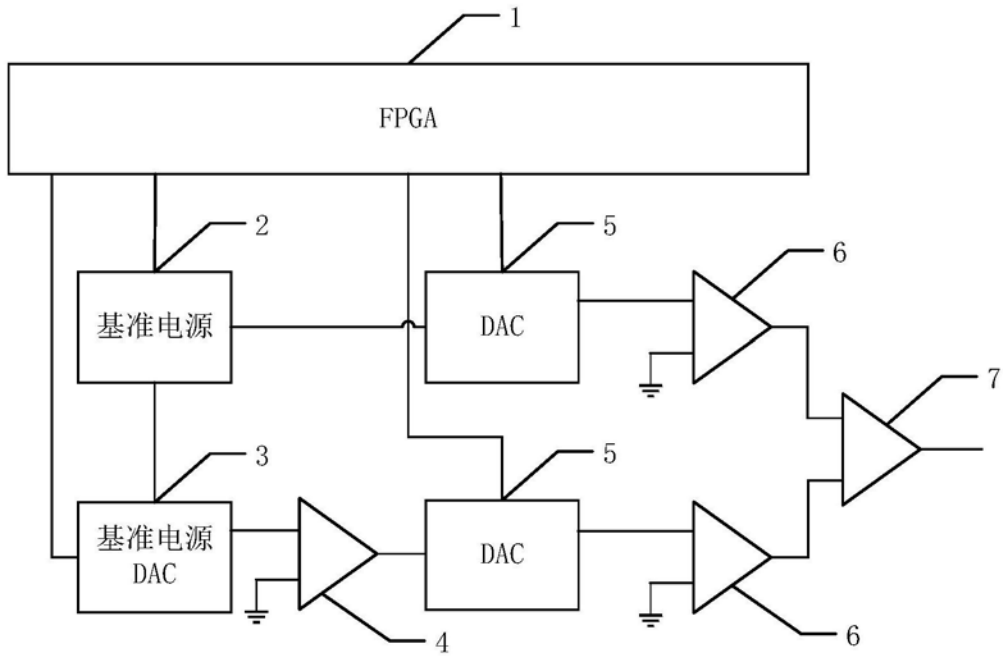


图5

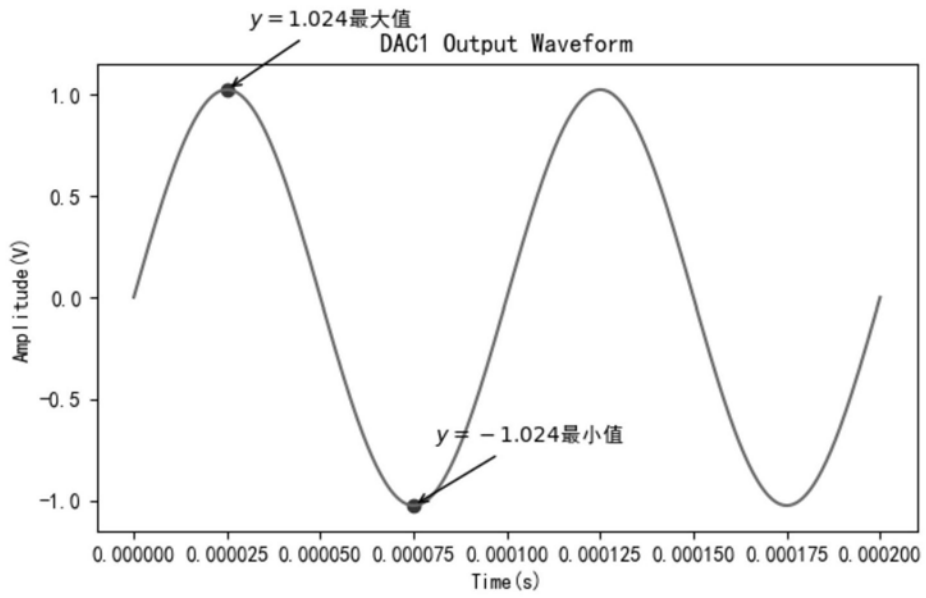


图7

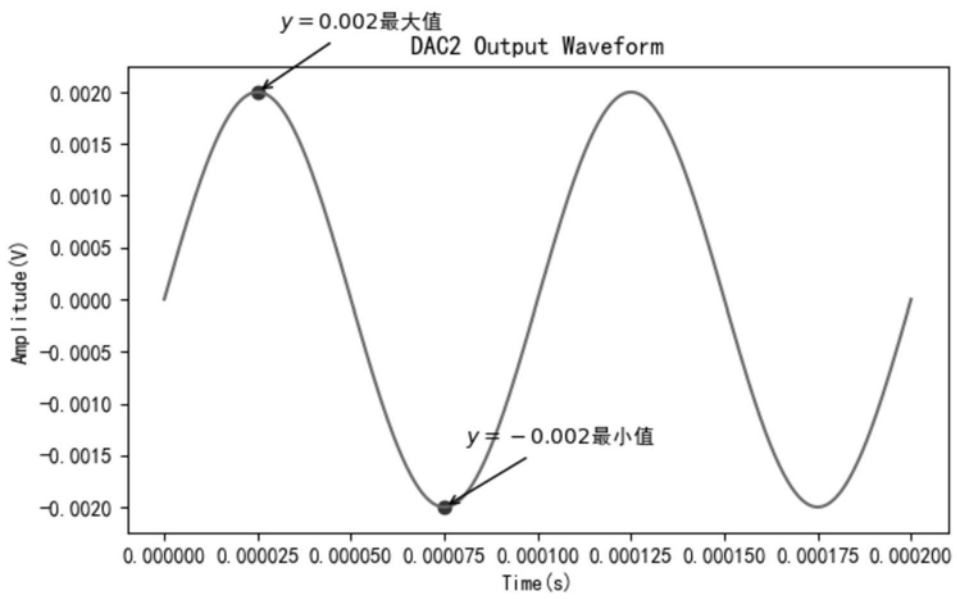


图8

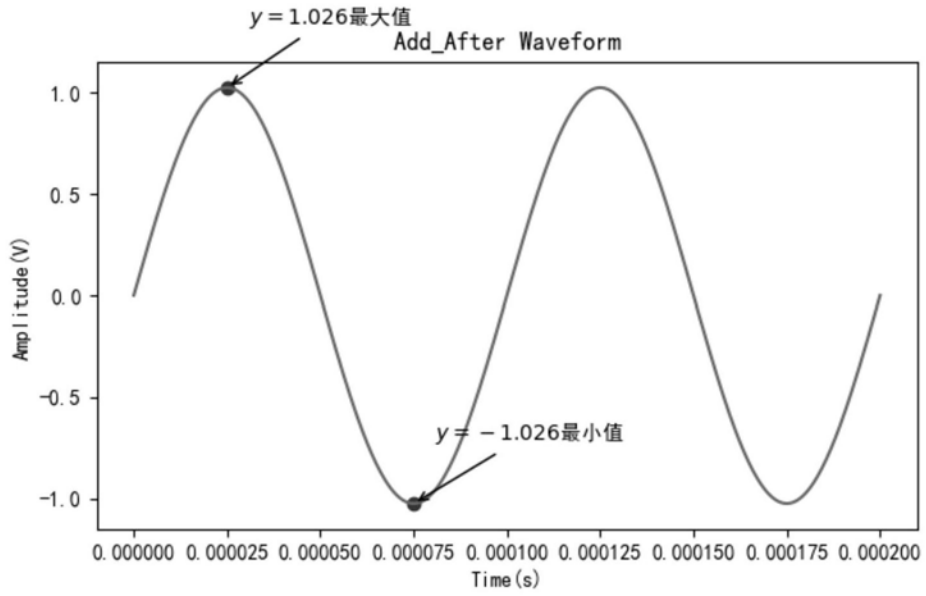


图9

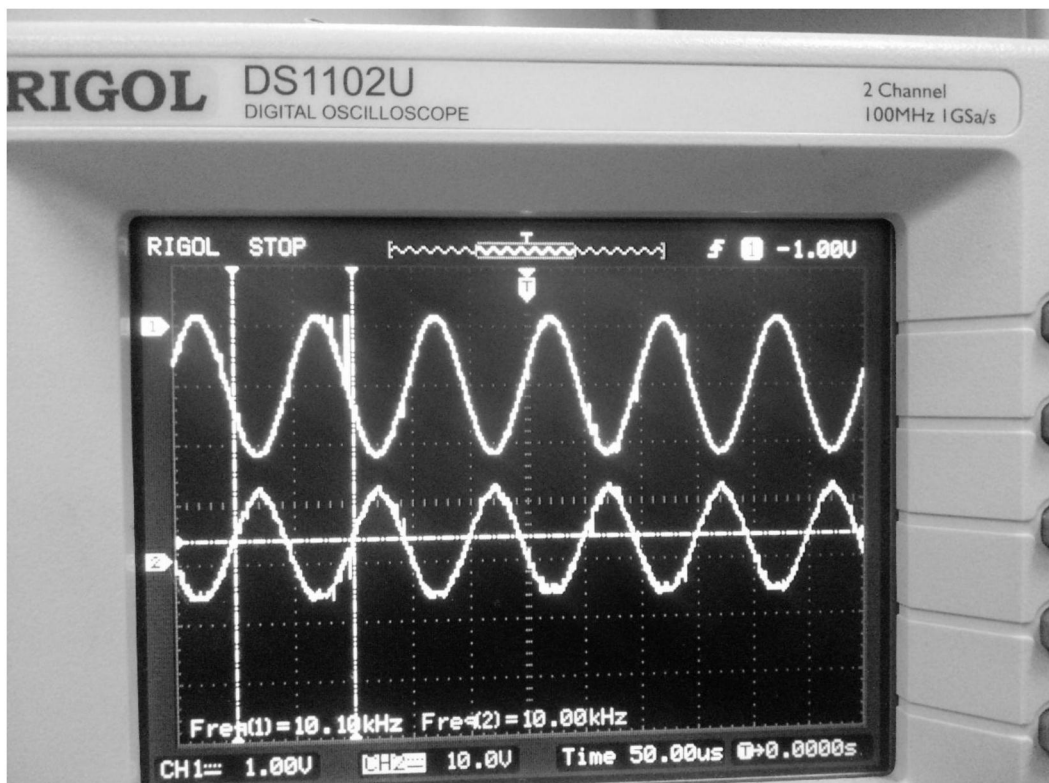


图10