



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201725437 A

(43) 公開日：中華民國 106 (2017) 年 07 月 16 日

(21) 申請案號：105143443

(22) 申請日：中華民國 105 (2016) 年 12 月 27 日

(51) Int. Cl. : G02F1/1362 (2006.01)

G02F1/1343 (2006.01)

(30) 優先權：2015/12/31 南韓

10-2015-0191139

(71) 申請人：樂金顯示科技股份有限公司 (南韓) LG DISPLAY CO.,LTD. (KR)
南韓

(72) 發明人：許承郁 HEO, SEOUNGUK (KR)；田商益 JUN, SAHNGIK (KR)；尹奎相 YOON, KYEUSANG (KR)

(74) 代理人：許世正

申請實體審查：有 申請專利範圍項數：20 項 圖式數：8 共 32 頁

(54) 名稱

陣列基板以及包含其之顯示裝置

ARRAY SUBSTRATE AND DISPLAY DEVICE INCLUDING THE SAME

(57) 摘要

一種陣列基板包含於主動區之第一區域、第二區域、第三區域及畫素、於非主動區之第一閘極驅動電路單元、第一、第二連接線組與第一補償單元。第一區域有圓角部。第二區域鄰近於第一區域。第三區域鄰近於第一區域且與第二區域分離。畫素設於閘極線與資料線交錯處。第一閘極驅動電路單元有第一電路方塊組以依序提供掃瞄訊號給閘極線、對應第一區域之曲線形狀及設置於第二區域之第二電路方塊組。第一連接線組連接資料線且對應第一區域。第二連接線組設置於第三區域。第一補償單元設於閘極線與資料線交錯處以提供第一寄生電容給閘極線及資料線。

An array substrate comprises a first, second, and third areas and a plurality of pixels disposed in an active area, a first gate driving circuit unit disposed in a non-active area. The first area has curved corner portions. The second area is adjacent to the first area. The third area is adjacent to the first area and spaced apart from the second area. The pixels are disposed where a plurality of gate lines and a plurality of data lines intersect each other. The first gate driving circuit unit has a first circuit block group configured to sequentially supply a scan signal to the gate lines and having a curve shape corresponding to the first area and a second circuit block group disposed corresponding to the second area. The first and second link line groups are connected to the data lines and corresponding to the first area. The second link line group is disposed corresponding to the third area. The first compensation unit is disposed at intersections between gate lines and data lines to supply a first parasitic capacitance to the gate lines and the data lines.

指定代表圖：

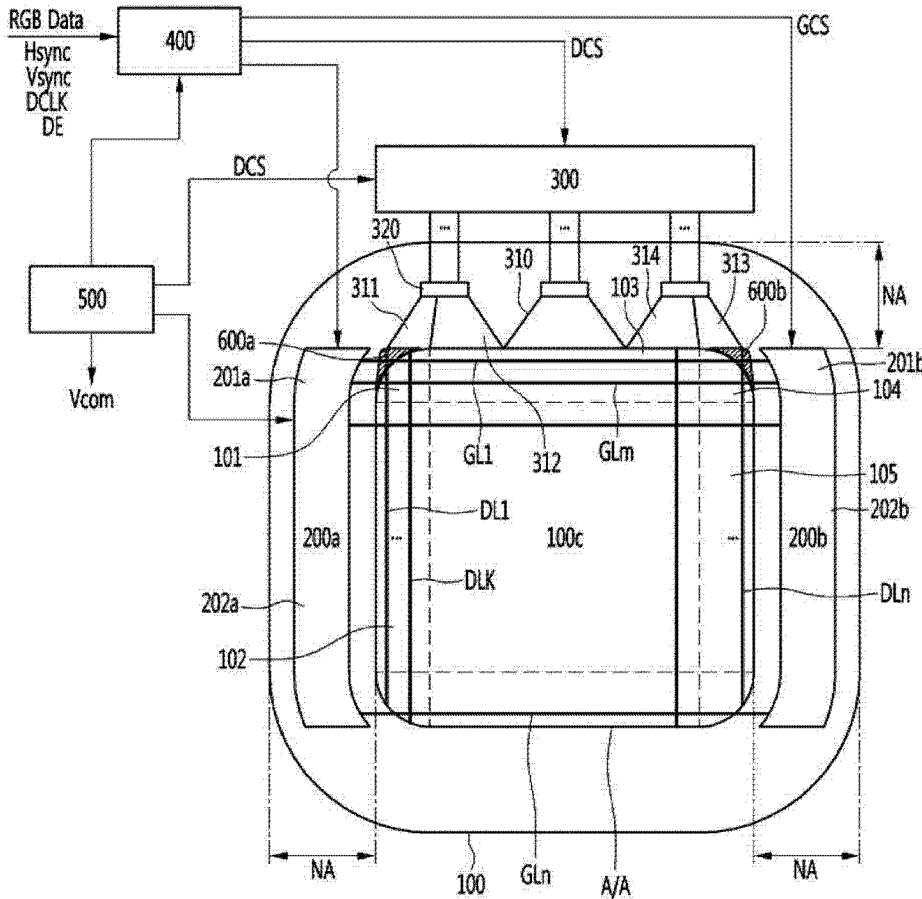


圖 2

符號簡單說明：

- 100 . . . 陣列基板
- 100c . . . 中央區域
- 101 . . . 第一區域
- 102 . . . 第二區域
- 103 . . . 第三區域
- 104 . . . 共用電極
- 105 . . . 共用電壓線
- 200a . . . 第一閘極
驅動電路
- 200b . . . 第二閘極
驅動電路
- 201a . . . 電路方塊
- 201b . . . 第三電路
方塊組
- 202a . . . 電路方塊
- 202b . . . 第四電路
方塊組
- 300 . . . 資料驅動電
路單元
- 310 . . . 資料連接線
- 311 . . . 第一連接線
組
- 312 . . . 第二連接線
組
- 313 . . . 第三連接線
組
- 314 . . . 第四連接線
組
- 320 . . . 資料墊
- 400 . . . 時序控制器
- 500 . . . 電力供應單
元
- 600a . . . 第一補償
單元
- 600b . . . 第二補償
單元
- A/A . . . 主動區

DL1~DLK . . . 資料
線
DCLK . . . 計時訊
號
DCS . . . 控制訊號
DE . . . 資料致能訊
號
GL1~GLm . . . 閘極
線
GCS . . . 控制訊號
Hsync . . . 水平同步
訊號
NA . . . 非主動區
RGB Data . . . 圖像
資料
Vcom . . . 共用電壓
Vsync . . . 垂直同步
訊號



201725437

申請日: 105/12/27

【發明摘要】

IPC分類: G02F 1/1362 (2006.01)
G02F 1/1343 (2006.01)

【中文發明名稱】 陣列基板以及包含其之顯示裝置

【英文發明名稱】 ARRAY SUBSTRATE AND DISPLAY DEVICE
INCLUDING THE SAME

【中文】

一種陣列基板包含於主動區之第一區域、第二區域、第三區域及畫素、於非主動區之第一閘極驅動電路單元、第一、第二連接線組與第一補償單元。第一區域有圓角部。第二區域鄰近於第一區域。第三區域鄰近於第一區域且與第二區域分離。畫素設於閘極線與資料線交錯處。第一閘極驅動電路單元有第一電路方塊組以依序提供掃描訊號給閘極線、對應第一區域之曲線形狀及設置於第二區域之第二電路方塊組。第一連接線組連接資料線且對應第一區域。第二連接線組設置於第三區域。第一補償單元設於閘極線與資料線交錯處以提供第一寄生電容給閘極線及資料線。

【英文】

An array substrate comprises a first, second, and third areas and a plurality of pixels disposed in an active area, a first gate driving circuit unit disposed in a non-active area. The first area has curved corner portions. The second area is adjacent to the first area. The third area is adjacent to the first area and spaced apart from the second area. The pixels are disposed where a plurality of gate lines and a plurality of data lines intersect each other. The first gate driving circuit unit has a first circuit

block group configured to sequentially supply a scan signal to the gate lines and having a curve shape corresponding to the first area and a second circuit block group disposed corresponding to the second area. The first and second link line groups are connected to the data lines and corresponding to the first area. The second link line group is disposed corresponding to the third area. The first compensation unit is disposed at intersections between gate lines and data lines to supply a first parasitic capacitance to the gate lines and the data lines.

【指定代表圖】：圖 2。

【代表圖之符號簡單說明】

- 100 陣列基板
- 100c 中央區域
- 101 第一區域
- 102 第二區域
- 103 第三區域
- 104 共用電極
- 105 共用電壓線
- 200a 第一閘極驅動電路
- 200b 第二閘極驅動電路
- 201a 電路方塊

- 201b 第三電路方塊組
- 202a 電路方塊
- 202b 第四電路方塊組
- 300 資料驅動電路單元
- 310 資料連接線
- 311 第一連接線組
- 312 第二連接線組
- 313 第三連接線組
- 314 第四連接線組
- 320 資料墊
- 400 時序控制器
- 500 電力供應單元
- 600a 第一補償單元
- 600b 第二補償單元
- A/A 主動區
- DL1~DLK 資料線
- DCLK 計時訊號
- DCS 控制訊號
- DE 資料致能訊號
- GL1~GLm 閘極線
- GCS 控制訊號
- Hsync 水平同步訊號

NA 非主動區

RGB Data 圖像資料

Vcom 共用電壓

Vsync 垂直同步訊號

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 陣列基板以及包含其之顯示裝置

【英文發明名稱】 ARRAY SUBSTRATE AND DISPLAY DEVICE
INCLUDING THE SAME

【技術領域】

【0001】 本發明係關於一種顯示裝置，特別是一種陣列基板以及包含其之顯示裝置。本發明可被廣泛應用，特別是可用於補償閘極線與資料線之間的寄生電容以及資料線的電阻，而得以提升具有曲線形角部的顯示裝置的影像品質。

【先前技術】

【0002】 隨著如行動電話和筆記型電腦等各種便攜式電子裝置的進步，對於可應用於便攜式電子裝置的平板顯示器(flat panel display，FPD)的要求也越來越高。

【0003】 液晶顯示(liquid crystal display，LCD)裝置、電漿顯示面板(Plasma Display Panel，PDP)、場效發射顯示器(field emission display FED)、以及有機發光二極體顯示器(organic light emitting diode display，OLED)等被積極研究以作為平板顯示器。

【0004】 顯示裝置，例如像是液晶顯示裝置或有機發光二極體裝置，包含一個以薄層電晶體(Thin Film Transistors，TFT)為必要元件的陣列基板。明確來說，該液晶顯示裝置包含一陣列基板、面對該陣列基板的一彩色濾光片(color filter substrate)，以及位於陣列基板與彩色濾光片之間的一液晶層(液晶層)。該有機發光二極體裝置包含一陣列基板，以及形成於該陣列基板上的一發光層(emission layer)。

【0005】 陣列基板包含複數條線(line)以及複數個連結(link)。這些連結用以將這些線連接一驅動電路(driving circuit)。而陣列基板將配合圖式說明描述於後。

【0006】 圖 1 係為關於陣列基板的平面示意圖。

【0007】 於一陣列基板 1 上，複數個閘極線(gate line)GL 與複數個資料線(data line)DL 彼此交錯而定義出複數個畫素(pixel)2。每一畫素 2 上設置有一畫素電極(pixel electrode)3 與一共用電極(common electrode)4。陣列基板 1 包含一電力供應單元(power supply unit)(未繪示)以及一共用電壓線 5。電力供應單元用來轉換由外輸入的電壓並輸出複數個供應電壓(supply voltage)，而共用電壓線 5 可提供電力供應單元的一個共用電壓(common voltage)Vcom 給共用電極 4。進一步的，陣列基板 1 包含一主動區 AA 與一非主動區 NA。主動區 AA 用以顯示影像，非主動區 NA 中設置有閘極驅動電路單元(gate driving circuit unit)11 及資料墊(data pad)13。

【0008】 一資料驅動電路單元(data driving circuit unit)(未繪示)可設置於一印刷電路板(PCB)或一覆晶薄膜(Chip on Film, COF)上，且經由一軟性印刷電路板(Flexible Printed Circuit, FPC)連接於資料墊 13。資料墊 13 可經由資料連接線 14 連接至資料線 DL。資料驅動電路單元經由資料墊 13 與資料連接線 14 提供一資料電壓(data voltage)給資料線 DL。

【0009】 閘極驅動電路單元(即 gate-in-panel)11 依序提供用以開啓各畫素上的薄層電晶體(TFT)的掃描訊號(閘極驅動訊號)給各閘極線。因此，陣列基板 1 上的畫素可依序被驅動。為此，閘極驅動電路單元 11 包含複數個電路方塊(circuit block)12，各電路方塊 12 包含一移位暫存器(shift register)與一位準移位器(level shifter)，位準移位器用以將移位暫存器的輸出訊號轉換成適於驅動 TFT 的擺幅寬(swing width)。於此，一種面板內建閘極(gate-in-panel, GIP)型的顯示裝置，其使用非晶矽(a-Si)的薄層電晶體 (TFT)設置於陣列基板 1 的一下基板(或陣列基板)，且閘極驅動電路單元 11 整合至一顯示面板，即閘極驅動電路單元 11 是嵌設於顯示面板。於此情況下，閘極驅動電路單元 11 可設置成 GIP 的方式在陣列基板之非

主動區 NA 的左右側。

【0010】 為求設計差異化，開始研究一種不像圖 1 中具有矩形螢幕而是具有圓角部之螢幕的顯示裝置。特別是 GIP 型的顯示裝置，其包含具有圓角部之螢幕的顯示裝置而有別於具有矩形螢幕的顯示裝置，且閘極驅動電路單元的電路方塊設置對應於陣列基板的各角部的曲線形狀。因此，分別設置於具有圓角部之螢幕的顯示裝置的閘極線上的畫素在數量上有改變，且會產生寄生電容(parasitic capacitance)。另外，在這種有別於具有矩形螢幕而是具有圓角部之螢幕的顯示裝置中，設置於陣列基板的各角部的資料線的長度相異。

【0011】 因此，各閘極線 GL 或各資料線 DL 產生的寄生電容以及各資料線 DL 產生的線電阻(line resistance)均相異。也就是說，經由閘極線 GL 傳遞給畫素 2 的訊號在各閘極線 GL 的延遲程度相異，使得顯示畫面出現缺陷。另外，經由資料線 DL 傳遞給畫素 2 的資料訊號(data signal)在資料線 DL 的延遲程度相異，使得顯示畫面出現缺陷。

【發明內容】

【0012】 有鑑於此，本發明提供一種陣列基板與包含其之顯示裝置，可消除如前所述的限制與缺陷。

【0013】 根據本發明目的是提出一種 GIP 型液晶顯示裝置，其包含具圓角部之螢幕，且其影像品質經由降低各閘極線或各資料線之間的寄生電容差異以及資料線的電阻差異而獲得提升。

【0014】 本發明之一實施例提出一種陣列基板，具有一主動區與一非主動區。陣列基板包含一第一區域、一第二區域、一第三區域、複數個畫素、一第一閘極驅動電路單元、一第一連接線組、一第二連接線組以及一第一補償單元。第一區域具有圓角部。第二區域鄰近於第一區域。第三區域鄰近於第一區域且與第二區域相分離。畫素設置於複數個閘極線與複數個資料線交錯處。第一閘極驅動電路單元設置於非主動區，且具有一曲線

形狀與複數個電路方塊包含一第一電路方塊組與一第二電路方塊組。第一電路方塊組用於依序提供一掃瞄訊號給該些閘極線，曲線形狀對應第一區域。第二電路方塊組對應設置於第二區域。複數個資料連接線設置於非主動區且包含一第一連接線組與一第二連接線組。第一連接線組設置連接於資料線且對應第一區域。第二連接線組對應設置於第三區域。第一補償單元設置於非主動區且設置於自第一電路方塊組延伸的閘極線與自第一連接線組延伸的資料線交錯處，以提供一第一寄生電容給自第一電路方塊組延伸的閘極線及自第一連接線組延伸的資料線。因此，可降低疊設於具有圓角部螢幕之顯示裝置的主動驅的角部的各閘極線或資料線之間寄生電容的差異。

【0015】 依據本發明之另一實施例的陣列基板，自第一連接線組延伸的資料線的寬度大於自第二連接線組延伸的資料線的寬度。因此，相較於設置於內測的資料線，降低了疊設於主動區的圓角部的資料線的電阻差。

【0016】 依據本發明，可降低疊設於具有圓角部螢幕之顯示裝置的主動驅的角部的各閘極線或資料線之間寄生電容的差異。

【0017】 進一步，依據本發明，相較於設置於內測的資料線，降低了疊設於主動區的圓角部的資料線的電阻差。

【0018】 再進一步，依據本發明，通過各閘極線或資料線的訊號的延遲相似，故顯示畫面不會發生缺陷。

【0019】 以上之關於本揭露內容之說明及以下之實施方式之說明，係用以示範與解釋本發明之精神與原理，並且提供本發明之專利申請範圍更進一步之解釋。

【圖式簡單說明】

【0020】

圖 1 係習知的陣列基板的平面示意圖。

圖 2 係根據本發明之一實施例之顯示裝置的示意圖。

圖 3 係根據本發明之一實施例之陣列基板的平面圖。

圖 4 繪示了本發明之一實施例之閘極線的寄生電容。

圖 5 繪示了本發明之一實施例之資料線的寄生電容。

圖 6 繪示了本發明之另一實施例之資料線的線寬。

圖 7 繪示了應用了陣列基板的液晶顯示裝置的示意圖。

圖 8 繪示了應用了陣列基板的 OLED 顯示裝置。

【實施方式】

【0021】 以下實施例為示例，以向本領域具有通常技藝者表達其精神。因此，本發明並非以以下實施例為限，且可以以不同的形式體現。在本說明書中，相同的附圖標記通常表示相同的元件。

【0022】 本發明的優點與特徵以及實現其之方法，將可從以下說明並參考附圖更清楚地理解。然而，本發明並非以後述實施例為限，而是可以以各種不同的形式實現。這些實施例僅是為了實現本發明且充分提供本領域具有通常技藝者與本發明相關之範疇。此外，本發明可被隨附申請專利範圍定義。在本說明書中，相同的附圖標記通常表示相同的元件。且為了清楚表達之目的，圖式可含有尺寸較為誇大的層與區域。

【0023】 當一元件或層是在另一元件或層”上”時，是可直接地設置於另一元件或層上，或存在有中間元件或層。同時，當元件或層是”直接在”另一元件上時，可以不存在任何中間元件。

【0024】 在本文中使用的空間相對用語例如“下”、“之下”、“低於”、“之上”以及“之上”是為了便於描述圖式中一元件或多個元件與另一個元件或多個元件之間的關係。可理解的是這些空間相對用語旨在涵蓋除了特別在圖式中描繪的方向之外使用或操作中元件的不同方向。舉例來說，若圖式中的元件被翻轉，原先該元件形容為在其他元件”下”或”之下”的描述則會成為”之上”。因此，示例性的用語“下”可涵蓋上與下的方向。

【0025】 這裡所使用的用語僅用於說明示例性實施例而不旨在限制本發明。於此，除非有明確指示，否則單數的用語是可包含複數的情況。該用語”包含”及/或”包括”是用以描述元件、步驟、操作及/或元素的存在，並不排除包含或包括一個或多個其他元件、步驟、操作及/或元素。

【0026】 圖 2 係根據本發明之一實施例之顯示裝置的示意圖，而圖 3 係根據本發明之一實施例之陣列基板的平面圖。

【0027】 爲了便於說明，雖然顯示裝置的顯示面板包含一上基板(upper substrate)與一下基板(lower substrate)，圖 2 僅繪示包含一薄層電晶體(TFT)的一陣列基板作爲下基板。

【0028】 圖 2 中之陣列基板 100 具有圓角部，但本發明並非以此爲限。依據本發明之陣列基板 100 可具有各種形狀，例如可爲一半圓形或圓形，都屬於本發明之範疇。

【0029】 本發明之一顯示裝置包含該陣列基板 100，其上排列有矩陣型的畫素以及一個用於驅動該陣列基板 100 的驅動單元。

【0030】 陣列基板 100 包含一主動區 A/A 與一非主動區 NA。主動區 A/A 顯示影像，而非主動區 NA 設置有一個包含一第一閘極驅動電路單元(gate driving circuit unit)200a、一第二閘極驅動電路單元 200b、一資料墊 320 以及一資料連接線(data link line)310 的閘極驅動電路單元。此外，陣列基板 100 包含一電力供應單元 500，用以轉換自外部輸入的電壓並輸出複數個供應電壓(supply voltage)。在陣列基板 100 上，閘極線 GL1~GLn 與資料線 DL1~DLm 交錯形成一矩陣型，以在交錯圍繞的區域定義出複數個畫素(P，如圖 3 所示)。所有的畫素 P 構成一個主動區 A/A。主動區 A/A 爲一具有圓角部的長方形。此外，主動區 A/A 包含一中央區域 100c，以及作爲中央區域 100c 外圍區域的一第一區域 101、一第二區域 102、一第三區域 103、一第四區域 104 以及一第五區域 105。中央區域 100c 位於主動區 A/A 的中央，中央區域 100c 爲一長方形且具有直角部。第一區域 101 呈一

扇形，且鄰近於中央區域 100c 的一角。也就是說，第一區域 101 具有一圓角部且鄰近於第二區域 102。第二區域 102 位於中央區域 100c 外側並鄰近於第一閘極驅動電路 200a，且第二區域 102 為一具有直角部的長方形。此外，第二區域 102 鄰近於第一區域 101 且與第三區域 103 相分離。第三區域 103 位於中央區域 100c 外側並鄰近於資料連接線 310，且第三區域 103 為一具有直角部的長方形。此外，第三區域 103 鄰近於第一區域 101 且與第二區域 102 相分離。第四區域 104 呈一扇形，且鄰近於中央區域 100c 的另一角。也就是說，第四區域 104 鄰近於第三區域 103 且具有圓角部。第五區域 105 位於中央區域 100c 外側並鄰近於第二閘極驅動電路 200b，第五區域 105 為一具有直角部的長方形。此外，第五區域 105 鄰近於第四區域 104 且與第三區域相分離。此外，陣列基板 100 可包含第一補償單元 600a 與第二補償單元 600b，用以降低閘極線與資料線之間寄生電容的差異。

【0031】 驅動單元包含一時序控制器(timing controller)400、一資料驅動電路單元(data driving circuit unit)300 以及一閘極驅動電路單元。時序控制器 400 可用以接收自外部系統(external system)的時序訊號(timing signal)以產生多種控制訊號。資料驅動電路單元 300 與閘極驅動電路單元可依據控制訊號控制陣列基板 100。

【0032】 時序控制器 40 自外部系統接收時序訊號(例如為一影像訊號(RGB)、一計時訊號(clock signal, DCLK)、一水平同步訊號(horizontal synchronization signal, Hsync)、一垂直同步訊號(vertical synchronization signal, Vsync)以及一資料致能訊號(data enable signal, DE))以產生控制訊號給資料驅動電路單元 300 與閘極驅動電路單元。

【0033】 於此，水平同步信號 Hsync 為一種用以指示螢幕上顯示一水平線所需的時間的訊號，而垂直同步訊號 Vsync 為一種用以指示螢幕上顯示一幀(frame)所需的時間的訊號。此外，資料致能訊號 DE 為一種用以

向指示提供資料電壓給陣列基板 100 上的畫素 P 的周期的訊號。

【0034】 另外，同時，時序控制器 400 經由一預設介面(predetermined interface)連接到外部系統，且以高速且無噪音(noise)的方式接收與影像有關的訊號以及從外部系統的時序訊號。該介面可包含一低電壓差動訊號(low-voltage differential signal, LVDS)介面、或一電晶體-電晶體邏輯(transistor-transistor logic, TTL)介面。

【0035】 此外，時序訊號輸入時序控制器 400 以產生一控制訊號 DCS 給資料驅動電路單元 300 以及一控制訊號 GCS 給閘極驅動電路單元。

【0036】 此外，時序控制器 400 產生複數個計時訊號(clock signal, DCLK)以決定各閘極驅動電路單元的驅動時機，並提供該些計時訊號給閘極驅動電路單元。另外，時序控制器 400 對齊並調製輸入的圖像資料(image data)RGB 而成可被資料驅動電路單元 300 處理的格式並輸出所調製的圖像資料。於此，對齊的圖像資料應用了顏色座標校正演算法(color coordinate correction algorithm)。再者，給閘極驅動電路單元的控制訊號 GCS 可包含一閘極起動脈衝(Gate Start Pulse)、一閘極切換時序(Gate Shift Clock)、一閘極輸出致能(Gate Output Enable)等。

【0037】 接著，資料驅動電路單元 300 可形成於一印刷電路板(PCB)或一覆晶薄膜 COF 上，且經由一軟性印刷電路板(FPC)連接陣列基板 100 上的資料墊 320。依據源極切換時序(Source Shift Clock, SSC)，資料驅動電路單元 300 經由切換來自時序控制器 400 輸入的源極啟動脈衝(Source Start Pulse, SSP)產生一抽樣訊號(sampling signal)。接著，依據該抽樣訊號，資料驅動電路單元 300 鎖定圖像資料輸入(image data input)以將源極切換時序 SSC 轉換成一資料訊號(data signal)。接著，響應於源極輸出致能(Source Output Enable, SOE)訊號，資料驅動電路單元 300 經由資料墊 320 與資料連接線 310 提供資料訊號給各水平線的資料線 DL。為此，資料驅動電路單元 300 可包含一資料抽樣單元(data sampling unit)、一鎖定單

元(latch unit)、一數位 - 類比轉換器(digital-analog converter)以及一輸出緩衝器(output buffer)。

【0038】 複數個資料連接線 310 設置於非主動區 NA 以連接資料線 DL1~DLm 以及資料墊 320。另外，資料連接線 310 包含對應設置於第一區域 101 的一第一連接線組(link line group)311 以及鄰近於第一區域 101 且對應設置於第三區域 103 的一第二連接線組 312。也就是說，第一連接線組 311 連接設置於主動區 A/A 中具有圓角部之第一區域 101 中的資料線 DL1~DLK。第二連接線組 312 連接設置於主動區 A/A 之中央區域的資料線 DLK+1 等。再者，資料連接線 310 還包含對應設置於第四區域 104 的一第三連接線組 313 以及鄰近於第四區域 104 且對應設置於第三區域 103 的一第四連接線組 314。也就是說，第三連接線組 313 連接設置於主動區 A/A 中具有圓角部之第四區域 104 中的資料線 DLn 等。第四連接線組 314 連接設置於主動區 A/A 之中央區域的資料線。

【0039】 閘極驅動電路單元依序提供一掃瞄訊號(gate driving signal)給各閘極線 GL 以開啓各畫素 P 的薄層電晶體 115。因此，陣列基板 100 上的畫素 P 依序被驅動。爲此，閘極驅動電路單元包含複數個電路方塊(circuit block)201a 與 202a(如圖 3)，各電路方塊包含一移位暫存器(shift register)與一位準移位器(level shifter)用以將移位暫存器的輸出訊號轉換成適於驅動的薄層電晶體 115 的擺幅寬(swing width)。使用一種非晶矽(a-Si)之薄層電晶體 115 的面板內建閘極(gate-in-panel, GIP)型的顯示裝置設置於陣列基板 100，且閘極驅動電路單元被整合於顯示面板，即閘極驅動電路單元被嵌設於顯示面板。於此，閘極驅動電路單元可在陣列基板之非主動區 NA 的左側及右側呈 GIP 型。也就是說，閘極驅動電路單元可包含設置於非主動區 NA 之一側的第一閘極驅動電路 200a 以及設置於非主動區 NA 另一側的第二閘極驅動電路 200b。

【0040】 第一 閘極驅動電路 200a 包含設置於對應於第一區域 101 的

一曲線形狀的一第一電路方塊組(circuit block group)201a以及設置於對應於第二區域 102 的一直線形狀的一第二電路方塊組 202a。也就是說，第一電路方塊組 201a 可設置於對應主動區 A/A 中具有圓角部之第一區域 101 的曲線形狀。第二電路方塊組 202a 可如一般顯示裝置設置於直線形狀。此外，第二閘極驅動電路單元 200b 可包含設置於對應第四區域 104 之曲線形狀的一第三電路方塊組 201b 以及設置於對應第五區域 105 之直線形狀的一第四電路方塊組 202b。

【0041】 圖 3 是陣列基板 100 的平面放大視圖用以解釋第一補償單元 600a。以下關於第一補償單元 600a 的敘述也可適用於第二補償單元 600b(於此未繪示)。

【0042】 第一補償單元 600a 設置於非主動區 NA。第一補償單元 600a 設置於自第一電路方塊組 201a 延伸的複數個閘極線 GL1~GLm 與自第一連接線組 311 延伸的複數個資料線 DL1~DLK 的交錯處。更進一步來說，第一補償單元 600a 可設置對應於第一區域 101 的曲線形狀。也就是說，第一補償單元 600a 設置於第一電路方塊組 201 與主動區 A/A 之第一區域 101 之間的非主動區。此外，第一補償單元 600a 可設置於第一連接線組 311 與主動區 A/A 之第一區域 101 之間的非主動區。第一補償單元 600a 可提供寄生電容給自第一電路方塊組 201a 延伸的閘極線 GL1~GLm 與自第一連接線組 311 延伸的資料線 DL1~DLK。因此，依據本發明，可降低疊設於具有圓角部螢幕之顯示裝置之主動區的角部上的各個閘極線或資料線之寄生電容的差異。

【0043】 後續將描述藉由第一補償單元 600a 提供寄生電容給自第一電路方塊組 201a 延伸的閘極線 GL1~GLm 與自第一連接線組 311 延伸的資料線 DL1~DLK。

【0044】 各畫素 P 有一畫素電極 113 與一共用電極 104a。共用電極 104a 與畫素電極 113 交替設置。

【0045】 分支於共用電壓線 105 的一共用線(common line)105a 提供一共用電壓 V_{com} 給共用電極 104a。共用電壓線 105 沿著陣列基板 100 的邊緣設置以與閘極線 GL 或資料線 DL 之一端重疊。於此，從共用電壓端 (common voltage terminal)110 提供共用電壓 V_{com} 給共用電壓線 105，且從電力供應單元 500 提供共用電壓 V_{com} 給共用電壓端 110。

【0046】 至於自第一電路方塊組 201a 延伸的閘極線 $GL_1 \sim GL_m$ ，不像矩形顯示裝置，各閘極線的畫素 P 的數量減少。因此，在自第一電路方塊組 201a 延伸的各閘極線 $GL_1 \sim GL_m$ 中，不同設置的共用電極 104a 等之間產生一電壓差，從而使寄生電容產生差異。為了解決此問題，於本發明中，可將一補償電極(compensation electrode)104b 設置於與自第一電路方塊組 201a 延伸之閘極線 $GL_1 \sim GL_m$ 重疊之第一補償單元 600a。因此，共用電壓線 105 分支而來的共用線 105a 可提供共用電壓 V_{com} 。因而，第一補償單元 600a 可提供寄生電容給具有相對小寄生電容的閘極線 $GL_1 \sim GL_m$ ，且可減少閘極線之間的寄生電容的差異。

【0047】 至於自第一連接線組 311 延伸的資料線 $DL_1 \sim DL_K$ ，不像矩形顯示裝置，各資料線上的畫素 P 的數量減少，且各資料線的長度不同。此外，若自第一連接線組 311 延伸的資料線 $DL_1 \sim DL_K$ 對應設置於具圓角的第一區域 101，資料線 $DL_1 \sim DL_K$ 之間可存有小的間隙。自第一連接線組 311 延伸的資料線 $DL_1 \sim DL_K$ 中設置於內側的資料線 DL_1 、 DL_2 等資料線之長度可大於其他的資料線。因此，資料線 DL_1 、 DL_2 等可具有較大的寄生電容。相較於其他資料線，自第一連接線組 311 延伸的資料線 $DL_1 \sim DL_K$ 中設置於內測的資料線(例如 DL_{K-1} 與 DL_K)中，較少數量的共用電極 104a 等會產生電壓差。因此，資料線(例如 DL_{K-1} 與 DL_K)可具有較小的寄生電容。為了解決這個問題，於本發明中，補償電極 104b 被設置於與自第一連接線組 311 延伸之資料線 $DL_1 \sim DL_K$ 重疊的第一補償單元 600a 中。因此，共用電壓線 105 分支而來的共用線 105a 可提供共用電壓

Vcom。因此，第一補償單元 600a 可提供寄生電容給具有相對小寄生電容的資料線 DL1~DLK，且可減少資料線之間的寄生電容的差異。

【0048】 同樣的，第二補償單元 600b 可設置於非主動區 NA。第二補償單元 600b 可設置於自第三電路方塊組 201b 延伸的複數條閘極線 GL1~GLm 與自第三連接線組 313 延伸的複數條資料線 DLn 等的交錯處。更進一步來說，第二補償單元 600b 可提供一寄生電容給自第三電路方塊組 201b 延伸之閘極線 GL1~GLm 與自第三連接線組 313 延伸之資料線 DLn 等。因此，根據本發明可降低疊設於具有圓角部之螢幕的顯示裝置的主動區 A/A 的角部的各閘極線或資料線的寄生電容的差異。

【0049】 進一步來看，補償電極 104b 的材料與形狀可與設置於各畫素 P 上的可共用電極 104b 相同。也就是說，補償電極 104b 與共用電極 104b 可經由相同的流程而設置。因此，依據本發明，無需額外的流程或材料而可降低閘極線與資料線間的寄生電容的差異。

【0050】 因此，依據本發明，各閘極線或各資料線傳遞的訊號的延遲程度相似，因而顯示的影像不會出現缺陷。

【0051】 圖 4 繪示了本發明之一實施例之閘極線的寄生電容，而圖 5 繪示了本發明之一實施例之資料線的寄生電容。

【0052】 圖 4 繪示了閘極線之間的寄生電容的差異減少。虛線表示傳統之具圓角之顯示裝置的閘極線的寄生電容。實線表示本發明之具圓角之顯示裝置的閘極線的寄生電容。

【0053】 在傳統的具圓角之顯示裝置中，較少數量之可產生電壓差的元件，例如共用電極，設置於疊置於主動區之圓角部的閘極線 GL1~GLm 上。因此，傳統的具圓角之顯示裝置中疊置的閘極線比其他沒有疊置的閘極線具有較小的寄生電容。

【0054】 於本發明之顯示裝置中，第一補償單元 600a 的補償電極 104b 提供寄生電容給疊置於主動區之圓角部的閘極線 GL1~GLm。因此，

於本發明之顯示裝置中，可降低疊置於主動區之圓角部的閘極線 $GL1 \sim GLm$ 與其他的閘極線 $GLm+1$ 等之間的寄生電容的差異。

【0055】 因此，依據本發明，各閘極線或各資料線傳遞的訊號的延遲程度相似，因而顯示的影像不會出現缺陷。

【0056】 圖 5 繪示了資料線之間的寄生電容的差異減少。虛線表示傳統之具圓角之顯示裝置的資料線的寄生電容。實線表示本發明之具圓角之顯示裝置的資料線的寄生電容。

【0057】 在傳統的具圓角之顯示裝置中，較少數量之可產生電壓差的元件，例如共用電極，設置於疊置於主動區之圓角部的資料線上。因此，傳統的具圓角之顯示裝置中疊置的資料線比其他設置於內側的資料線具有較小的寄生電容。進一步的，疊置於主動區之圓角部的資料線中，設置於外側的資料線(例如 $DL1$ 與 $DL2$)之長度大於其他資料線。因此，由於相鄰線之間的電壓差，它們可具有較大的寄生電容。

【0058】 於本發明之顯示裝置中，第一補償單元 600a 的補償電極 104b 提供寄生電容給疊置於主動區之圓角部的資料線 $DL1 \sim DLK$ 。尤其在疊置於圓角部的資料線中，最後一條資料線 DLK 可被補償最多的寄生電容。也就是說，最後一條資料線 DLK 與第一補償單元 600 重疊的面積最大因而可被補償最多的寄生電容。因此，於本發明之顯示裝置中，可降低疊置於主動區之圓角部的資料線 $DL1 \sim DLK$ 與其他的資料線 $DLK+1$ 等之間的寄生電容的差異。

【0059】 因此，依據本發明，各閘極線或各資料線傳遞的訊號的延遲程度相似，因而顯示的影像不會出現缺陷。

【0060】 圖 6 繪示了本發明之另一實施例之資料線的線寬。

【0061】 於傳統具圓角之顯示裝置中，疊置於主動區之圓角部的資料線相較於其他未疊置的資料線具有較長的長度，因而可具有較大電阻。

【0062】 如圖 6 所示，於本發明之一實施例中，自第一連接線組 311

延伸的資料線 DL1~DLK 的寬度 W1 可大於自第二連接線組 312 延伸的資料線 DLK+1 等的寬度 W2。因此，疊置於主動區之圓角部的資料線的長度與寬度大於設置於內側的資料線，因而可減少電阻差。

【0063】 此外，於本發明之另一實施例中，自第一連接線組 311 延伸的各資料線 DL1~DLK 具有不同的長度。因此，自第一連接線組 311 延伸的資料線 DL1~DLK 之間具有不同的線寬(line width)，藉以得到與自第二連接線組 312 延伸之資料線 DLK+1 等有相同的電阻。因此，自第一連接線組 311 延伸的資料線 DL1~DLK 可具有與自第二連接線組 312 延伸之資料線 DLK+1 等相同的電阻。

【0064】 因此，依據本發明，各閘極線或各資料線傳遞的訊號的延遲程度相似，因而顯示的影像不會出現缺陷。

【0065】 圖 7 繪示了應用了陣列基板的液晶顯示裝置的示意圖。

【0066】 如圖 7 所示，一個依據本發明之一實施例的液晶顯示裝置可包含如前述的多種形狀的陣列基板 100、朝向陣列基板 100 的一反基板(counter substrate)700、以及形成於基板 100 與 700 之間的一液晶層(liquid crystal layer)800。反基板 700 結構是可修改成本領域已知的各種形式。

【0067】 圖 8 繪示了應用了陣列基板的 OLED 顯示裝置。

【0068】 如圖 8 所示，一個根據本發明之一實施例的 OLED 顯示裝置可包含如前述的多種形狀的陣列基板 100、形成於陣列基板 100 上的一堤層(bank layer)900 以定義出一發射區(emission area)、在堤層 900 之發射區中依序形成的一第一電極 1000 與一有機發光層 1100、以及一第二電極 1200。堤層 900、第一電極 1000、有機發光層 1100、第二電極 1200 等的結構是可修改成本領域已知的各種形式。

【0069】 本發明之一實施例可如下所描述：

【0070】 根據本發明之一實施例提出一種陣列基板，該陣列基板包含具有圓角部之第一區域的一主動區、鄰近於第一區域的一第二區域，以及

鄰近於第一區域且與第二區域相分離且的一第三區域，畫素設置於複數個閘極線與複數個資料線交錯處，一第一閘極驅動電路單元設置於一非主動區且包含複數個電路方塊，電路方塊包含第一電路方塊組以及一第二電路方塊組。第一電路方塊組用於依序提供一掃瞄訊號給主動區之閘極線且設置於對應第一區域的曲線形狀。第二電路方塊組對應設置於第二區域。複數個資料連接線設置於非主動區且包含一第一連接線組與一第二連接線組。第一連接線組設置連接於資料線且對應第一區域。第二連接線組對應設置於第三區域。第一補償單元設置於非主動區且設置於自第一電路方塊組延伸的閘極線與自第一連接線組延伸的資料線交錯處，以提供一寄生電容給自第一電路方塊組延伸的閘極線及自第一連接線組延伸的資料線。

【0071】 根據本發明之另一實施例，第一補償單元可設置對應於第一區域的曲線形狀。

【0072】 根據本發明之又另一實施例，第一補償單元的材料與形狀可與設置於各畫素上的共用電極相同。

【0073】 根據本發明之再另一實施例，主動區包含鄰近於第三區域且具有圓角部的一第四區域以及鄰近於第四區域且與第三區域相分離的一第五區域，且資料連接線包含對應設置於第四區域的一第三連接線組 313 以及對應設置於第三區域的一第四連接線組。陣列基板更包含設置於非主動區的一第二閘極驅動電路單元，且包含複數個電路方塊，電路方塊包含一第三電路方塊組與一第四電路方塊組。第三電路方塊組用以依序提供一掃瞄訊號給主動區之閘極線且設置於對應第四區域的一曲線形狀。第四電路方塊組對應設置於第五區域，且一第二補償單元設置於非主動區且設置於自第三電路方塊組延伸的複數個閘極線與自第三連接線組延伸的複數個資料線的交錯處以提供一寄生電容給自第三電路方塊組延伸之閘極線與自第三連接線組延伸之資料線。

【0074】 根據本發明之又再另一實施例，自第一連接線組延伸的資料

線可與自第二連接線組延伸的資料線有相同的電阻。

【0075】 根據本發明之又再另一實施例，自第一連接線組延伸的資料線的寬度可大於自第二連接線組延伸的資料線的寬度。

【0076】 根據本發明之另一實施例提出一種顯示裝置，包含一陣列基板、一資料驅動電路單元以提供一資料電壓給複數個資料連接線、一時序控制器以提供控制訊號閘極驅動電路單元與資料驅動電路單元、以及一電力供應單元以提供一共用電壓給陣列基板。

【0077】 本發明之範疇是由以下申請權利範圍而非由前述實施例之描述所界定。且可理解的是，申請權利範圍以及其等同物的涵義和範圍所能思及的修改等各方面都在本發明的涵蓋範圍內。

【符號說明】

【0078】

- 1 陣列基板
- 2 畫素
- 3 畫素電極
- 4 共用電極
- 5 共用電壓線
- 11 閘極驅動電路單元
- 12 電路方塊
- 13 資料墊
- 14 資料連接線
- 100 陣列基板
- 100c 中央區域
- 101 第一區域
- 102 第二區域
- 103 第三區域

- 104 共用電極
- 104a 共用電極
- 104b 補償電極
- 105 共用電壓線
- 105a 共用線
- 110 共用電壓端
- 113 畫素電極
- 115 薄層電晶體
- 200a 第一閘極驅動電路
- 200b 第二閘極驅動電路
- 201a 電路方塊
- 201b 第三電路方塊組
- 202a 電路方塊
- 202b 第四電路方塊組
- 300 資料驅動電路單元
- 310 資料連接線
- 311 第一連接線組
- 312 第二連接線組
- 313 第三連接線組
- 314 第四連接線組
- 320 資料墊
- 400 時序控制器
- 500 電力供應單元
- 600a 第一補償單元
- 600b 第二補償單元
- 700 反基板

800 液晶層
900 堤層
1000 第一電極
1100 有機發光層
1200 第二電極
A/A 主動區
DL 資料線
DL1~DLK 資料線
DCLK 計時訊號
DCS 控制訊號
DE 資料致能訊號
GL 閘極線
GL1~GLm 閘極線
GCS 控制訊號
Hsync 水平同步訊號
NA 非主動區
RGB Data 圖像資料
TFT 薄層電晶體
Vcom 共用電壓
Vsync 垂直同步訊號
W1、W2 寬度

【發明申請專利範圍】

【第1項】 一種陣列基板，具有一主動區以及一非主動區，該陣列基板包含：

一第一區域、一第二區域、一第三區域以及複數個畫素均設置於該主動區，該第一區域具有複數個圓角部，該第二區域鄰近於該第一區域，該第三區域鄰近於該第一區域且與該第二區域相分離，該些畫素分別設置於複數個閘極線與複數個資料線交錯處；

一第一閘極驅動電路單元設置於該非主動區，該第一閘極驅動電路單元具有一第一電路方塊組、一曲線形狀以及一第二電路方塊組，該第一電路方塊組用以依序提供一掃瞄訊號給該些閘極線，該曲線形狀對應該第一區域，該第二電路方塊組對應設置於該第二區域；

一第一連接線組與一第二連接線組設置於該非主動區，該第一連接線組連接於該些資料線且對應該第一區域，該第二連接線組對應設置於該第三區域；以及

一第一補償單元設置於該非主動區，且設置於自該第一電路方塊組延伸的該些閘極線與自該第一連接線組延伸的該些資料線交錯處，以提供一第一寄生電容給自該第一電路方塊組延伸的該些閘極線及自該第一連接線組延伸的該些資料線。

【第2項】 如請求項 1 所述之陣列基板，其中該第一補償單元具有對應該第一區域的一曲線形狀。

【第3項】 如請求項 1 所述之陣列基板，其中該第一補償單元具有一補償電極，該補償電極的材質與形狀與各該畫素上的該共用電極相同。

【第4項】如請求項 1 所述之陣列基板，更包含一第四區域與一第五區域，該第四區域鄰近於該第三區域且具有一圓角部，該第五區域鄰近於該第四區域且與該第三區域相分離。

【第5項】如請求項 4 所述之陣列基板，更包含一第三連接線組與一第四連接線組，該第三連接線組對應設置於該第四區域，該第四連接線組對應設置於該第三區域。

【第6項】如請求項 4 所述之陣列基板，更包含一第二閘極驅動電路單元設置於該非主動區且具有一第三電路方塊組與一第四電路方塊組，該第三電路方塊組用以依序提供該掃描訊號給該些閘極線，且設置於對應該第四區域的一曲線形狀，該第四電路方塊組對應設置於該第五區域。

【第7項】如請求項 6 所述之陣列基板，更包含一第二補償單元設置於該非主動區且設置於自該第三電路方塊組延伸的該些閘極線與自該第三連接線組延伸的該些資料線交錯處，以提供一第二寄生電容給自該第三電路方塊組延伸的該些閘極線與自該第三連接線組延伸的該些資料線。

【第8項】如請求項 1 所述之陣列基板，其中自該第一連接線組延伸的該些資料線與自該第二連接線組延伸的該些資料線具有相同的電阻。

【第9項】如請求項 1 所述之陣列基板，其中自該第一連接線組延伸的該些資料線具有一寬度大於自該第二連接線組延伸的該些資料線的一寬度。

【第10項】 如請求項 1 所述之陣列基板，其中該主動區具有複數個圓角部。

【第11項】 一種顯示裝置，包含：

一第一閘極驅動電路單元設置於一非主動區，該第一閘極驅動電路單元具有一第一電路方塊組與一第二電路方塊組，該第一電路方塊組用以依序提供一掃瞄訊號給位於一主動區的複數個閘極線，該第一電路方塊組具有一曲線形狀；

一第一連接線組、一第二連接線組與一第三連接線組均設置於該非主動區；

一資料驅動電路單元用以提供一資料電壓給該第一資料連接線組與該第二資料連接線組；

一時序控制器用以提供複數個控制訊號給該第一閘極驅動電路單元與該資料驅動電路單元；

一電力供應單元用以提供一共用電壓給一共用電壓端；以及

一第一補償單元設置於該非主動區，且設置於自該第一電路方塊組延伸的該些閘極線與自該第一連接線組延伸的該些資料線交錯處，以提供一第一寄生電容給自該第一電路方塊組延伸的該些閘極線與自該第一連接線組延伸的該些資料線，進而補償於該些閘極線與該些資料線之間的一寄生電容以及位於該主動區的複數個圓角部的該些資料線的一電阻。

【第12項】 如請求項 11 所述之顯示裝置，更包含一第二閘極驅動電路單元設置於該非主動區，該第二閘極驅動電路單元具有一第三電路方

塊組與一第四電路方塊組，該第三電路方塊組用以依序提供該掃描訊號給該些閘極線，且該第三電路方塊組具有一曲線形狀。

【第13項】如請求項 12 所述之顯示裝置，更包含一第二補償單元設置於該非主動區，且設置於自該第三電路方塊組延伸的該些閘極線與自該第三連接線組延伸的該些資料線交錯處，以提供一第二寄生電容給自該第三電路方塊組延伸的該些閘極線與自該第三連接線組延伸的該些資料線，進而補償該些閘極線與該些資料線之間的該寄生電容以及位於該主動區的該些圓角部的該些資料線的該電阻。

【第14項】如請求項 11 所述之顯示裝置，其中自該第一連接線組延伸的該些資料線與自該第二連接線組延伸的該些資料線具有相同的電阻。

【第15項】如請求項 11 所述之顯示裝置，其中自該第一連接線組延伸的該些資料線具有一寬度大於自該第二連接線組延伸的複數個資料線的一寬度。

【第16項】一種陣列基板，用於一顯示裝置，該陣列基板具有一主動區與一非主動區，該陣列基板包含：

一第一閘極驅動電路單元設置於該非主動區，該第一閘極驅動電路單元具有一第一電路方塊組與一第二電路方塊組，該第一電路方塊組用以依序提供一掃描訊號給在該主動區的複數個閘極線，該第一電路方塊組具有一曲線形狀；以及

一第一補償單元設置於該非主動區，且設置於自該第一電路方塊組延伸的該些閘極線與自一第一連接線組延伸的複數個資料線交錯

處，以提供一第一寄生電容給自該第一電路方塊組延伸的該些閘極線以及自該第一連接線組延伸的該些資料線，以進而補償該些閘極線與該些資料線之間的一寄生電容以及位於該主動區的複數個圓角部的該些資料線的一電阻。

【第17項】 如請求項 16 所述之陣列基板，更包含一第二閘極驅動電路單元設置於該非主動區，該第二閘極驅動電路單元具有一第三電路方塊組與一第四電路方塊組，其中該第三電路方塊組用以依序提供該掃描訊號給該些閘極線，且設置於一曲線形狀。

【第18項】 如請求項 17 所述之陣列基板，更包含一第二補償單元設置於該非主動區，且設置於自該第三電路方塊組延伸的複數個閘極線以及自一第三連接線組延伸的複數個資料線交錯處，該第二補償單元提供一第二寄生電容給自該第三電路方塊組延伸的該些閘極線以及自該第三連接線組延伸的該些資料線，以補償該些閘極線與該些資料線之間的該寄生電容以及該主動區的該些圓角部的該些資料線的該電阻。

【第19項】 如請求項 16 所述之陣列基板，其中自該第一連接線組延伸的該些資料線與自該第二連接線組延伸的該些資料線具有相同的電阻。

【第20項】 如請求項 16 所述之陣列基板，其中自該第一連接線組延伸的該些資料線具有一寬度大於自該第二連接線組延伸的複數個資料線的一寬度。

【發明圖式】

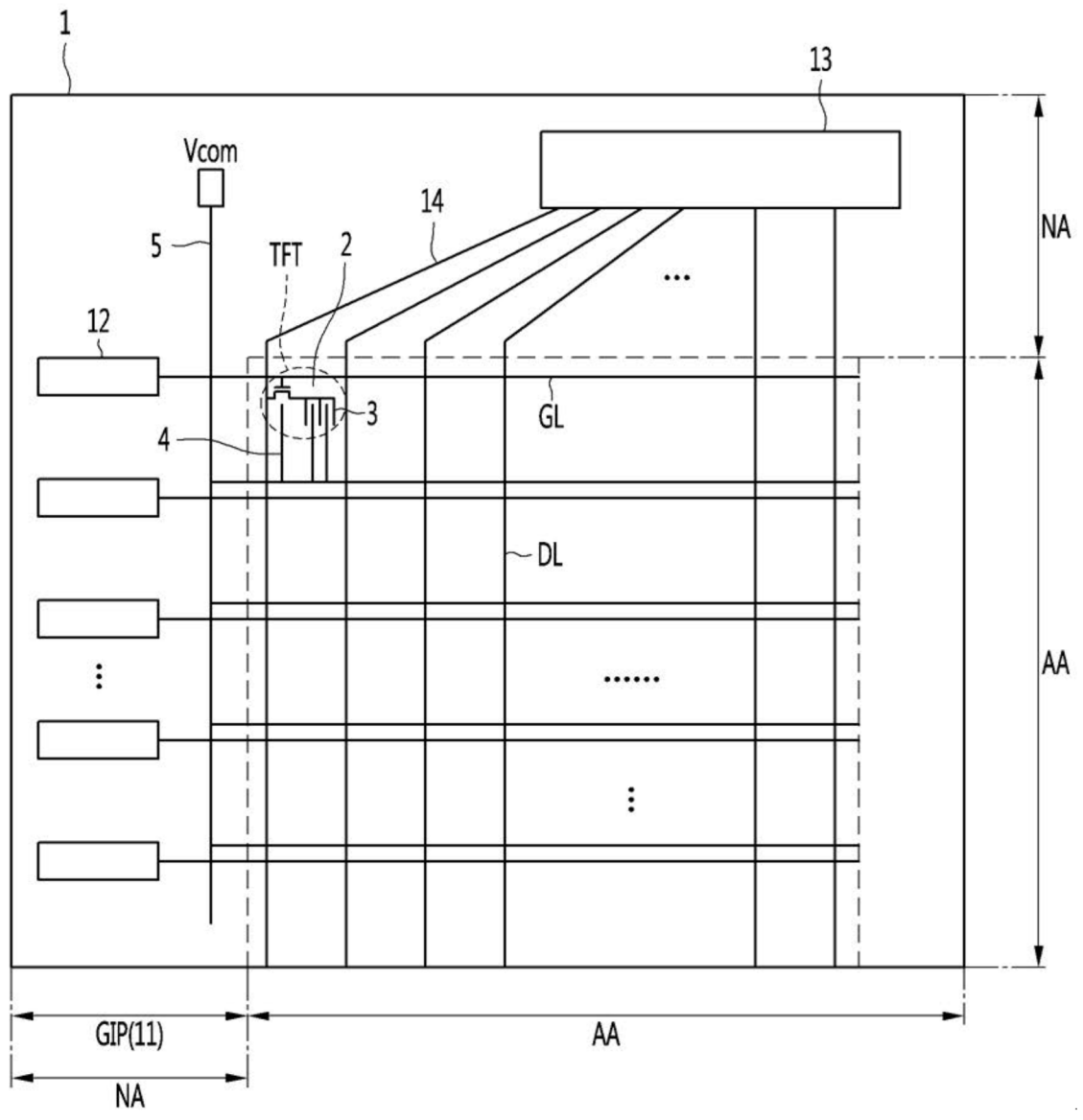


圖 1

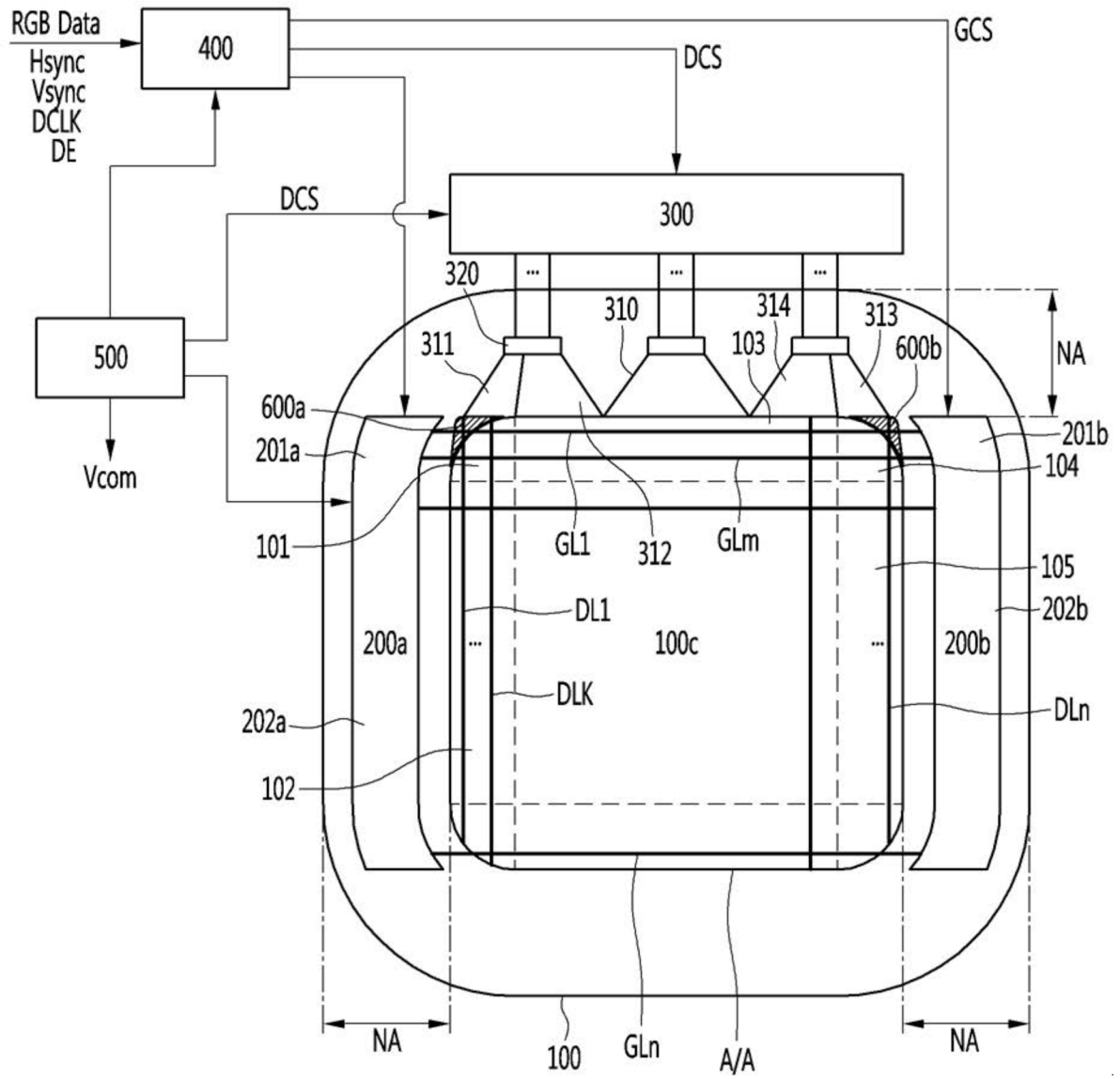


圖 2

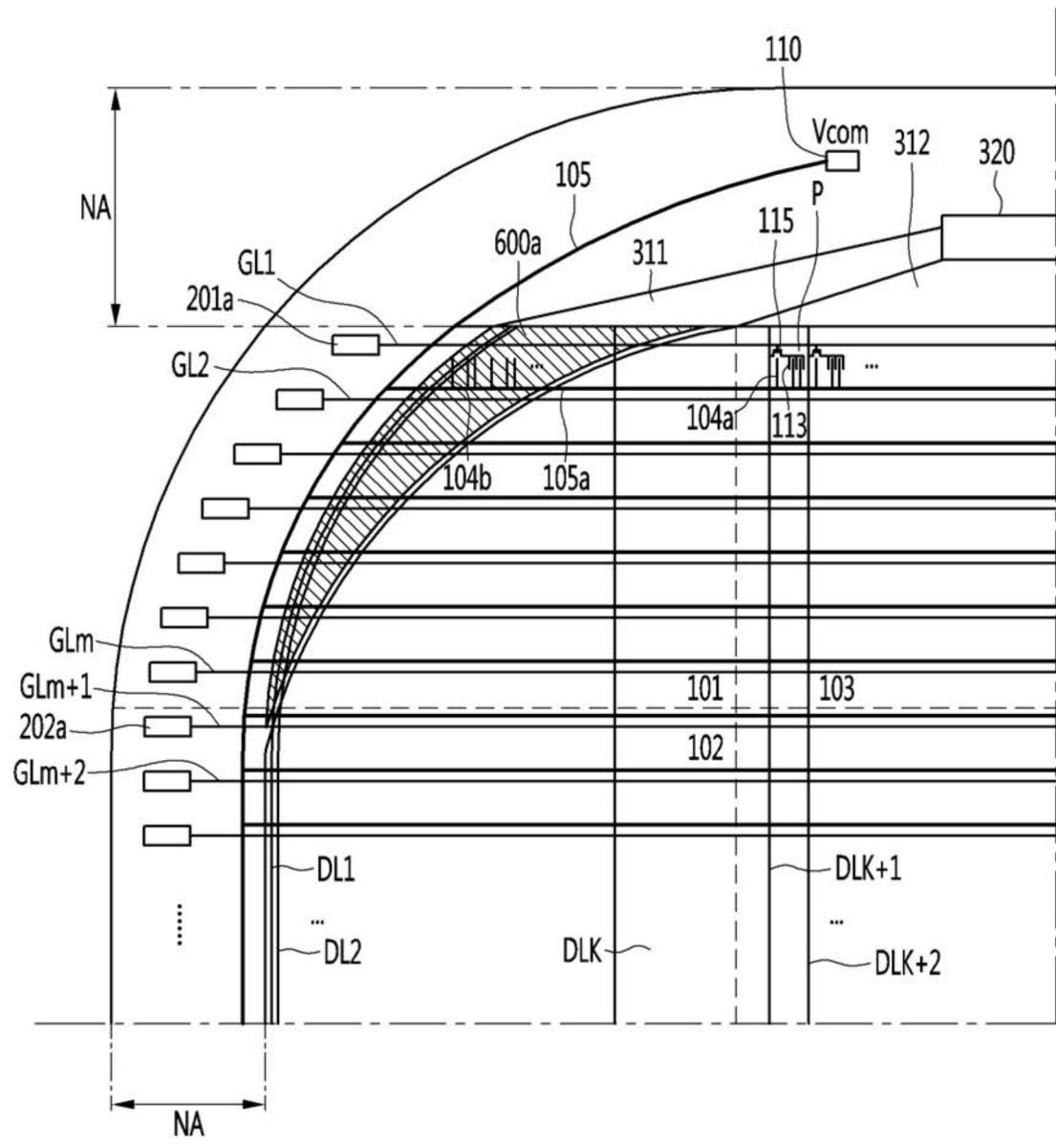


圖 3

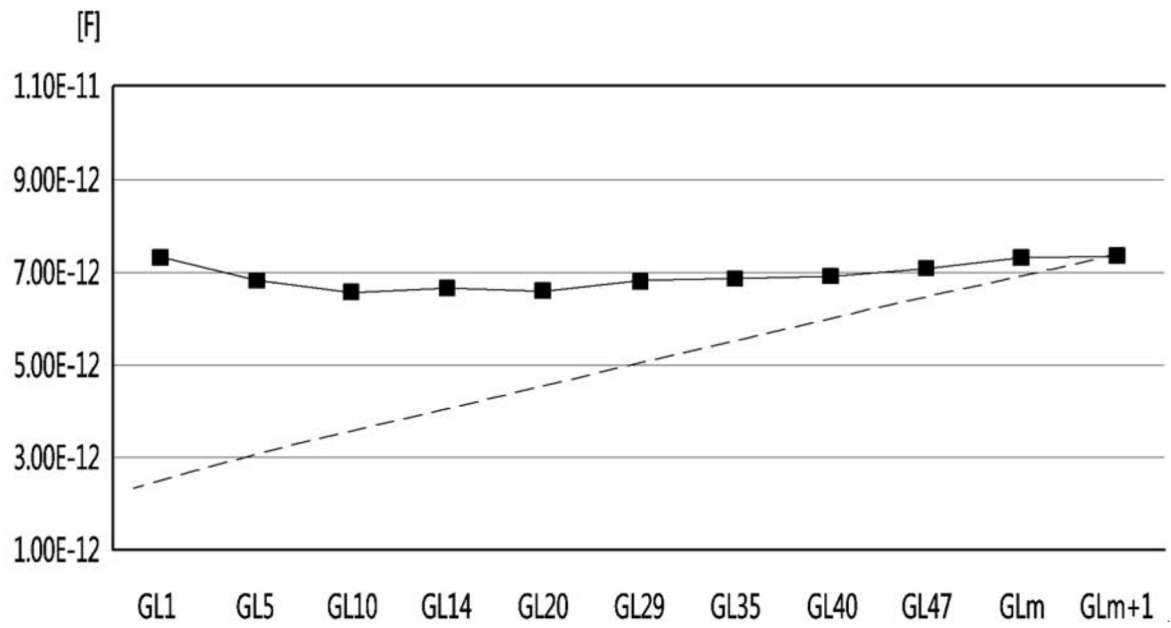


圖 4

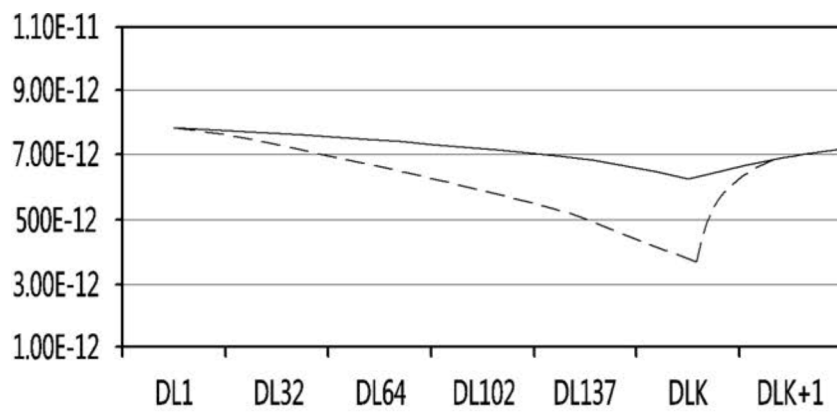


圖 5

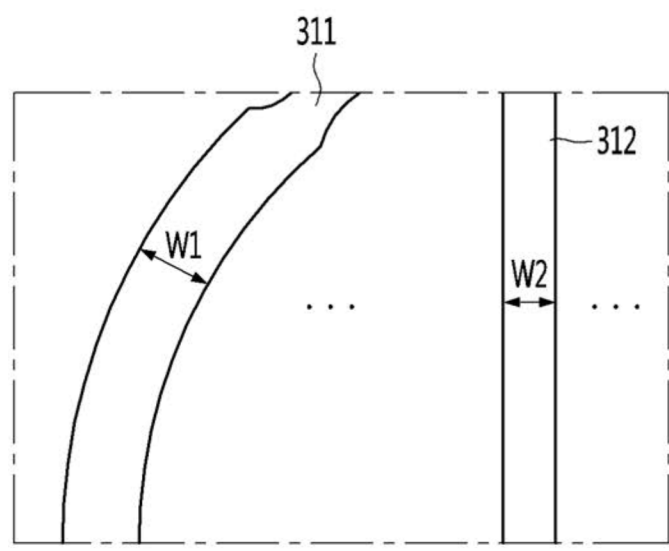


圖 6

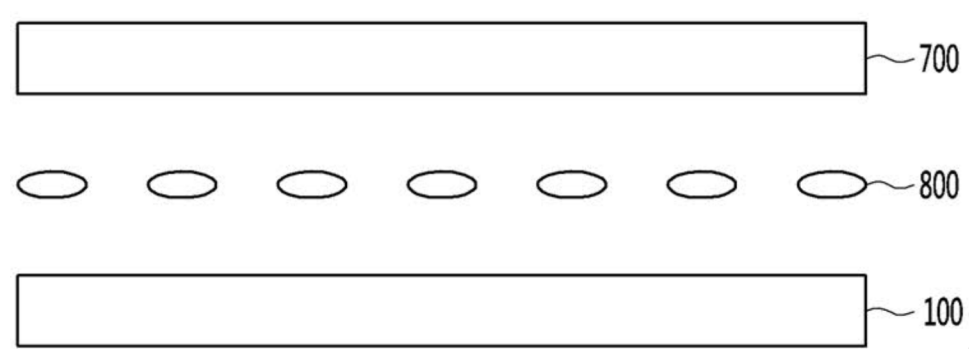


圖 7

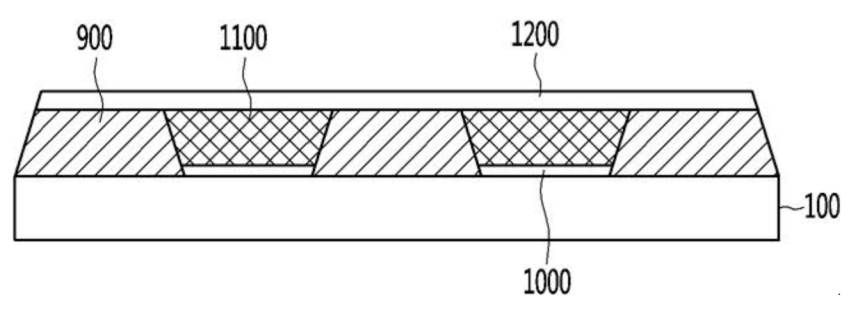


圖 8