

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6293229号
(P6293229)

(45) 発行日 平成30年3月14日(2018.3.14)

(24) 登録日 平成30年2月23日(2018.2.23)

(51) Int. Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 7 M		
HO 1 L 21/8234 (2006.01)	HO 1 L	29/78	6 1 6 V		
HO 1 L 27/06 (2006.01)	HO 1 L	29/78	6 2 6 C		
HO 1 L 27/088 (2006.01)	HO 1 L	27/06	1 0 2 A		
請求項の数 2 (全 48 頁) 最終頁に続く					

(21) 出願番号	特願2016-196358 (P2016-196358)	(73) 特許権者	000153878
(22) 出願日	平成28年10月4日(2016.10.4)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-239516 (P2012-239516) の分割		神奈川県厚木市長谷398番地
原出願日	平成24年10月30日(2012.10.30)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2017-22410 (P2017-22410A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成29年1月26日(2017.1.26)	(72) 発明者	須澤 英臣
審査請求日	平成28年10月5日(2016.10.5)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2012-230362 (P2012-230362)	(72) 発明者	笹川 慎也
(32) 優先日	平成24年10月17日(2012.10.17)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	田中 哲弘
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

酸化物絶縁膜と、
前記酸化物絶縁膜上方の、酸化物半導体層と、
前記酸化物半導体層上方の、第1の膜と、
前記酸化物半導体層上方の、第2の膜と、
前記酸化物半導体層上方、前記第1の膜上方、及び前記第2の膜上方の、ゲート絶縁膜と、
前記ゲート絶縁膜上方の、第3の膜と、
を有し、
前記酸化物半導体層は、チャネル形成領域を有し、
前記第1の膜は、前記酸化物半導体層の上面に接する領域を有し、
前記第2の膜は、前記酸化物半導体層の上面に接する領域を有し、
前記第3の膜は、前記ゲート絶縁膜の上面に接する領域を有し、
前記第1の膜は、ソース電極としての機能を有し、
前記第2の膜は、ドレイン電極としての機能を有し、
前記第3の膜は、ゲート電極としての機能を有し、
前記第1の膜は、Al、Cr、Cu、Ta、Ti、Mo、W、又はこれらを主成分とする合金材料を有する第1の導電膜と、前記第1の導電膜上の導電性窒化物を有する第2の導電膜と、を有し、

前記第2の膜は、Al、Cr、Cu、Ta、Ti、Mo、W、又はこれらを主成分とする合金材料を有する第3の導電膜と、前記第1の導電膜上の導電性窒化物を有する第4の導電膜と、を有し、

前記第3の膜は、導電性窒化物を有し、

前記チャンネル形成領域のチャンネル長方向において、前記第3の膜の幅を L_0 とし、前記第1の導電膜と前記第3の導電膜との間の幅を L_1 とし、前記第2の導電膜と前記第4の導電膜との間の幅を L_2 とした時に、前記 L_1 は、 L_2 以上 L_0 以下であることを特徴とする半導体装置。

【請求項2】

酸化物絶縁膜と、

前記酸化物絶縁膜上方の、酸化物半導体層と、

前記酸化物半導体層上方の、第1の膜と、

前記酸化物半導体層上方の、第2の膜と、

前記酸化物半導体層上方、前記第1の膜上方、及び前記第2の膜上方の、ゲート絶縁膜と、

前記ゲート絶縁膜上方の、第3の膜と、

前記第3の膜上方の、第4の膜と、

前記第4の膜上方の、保護絶縁膜と、

を有し、

前記酸化物半導体層は、チャンネル形成領域を有し、

前記第1の膜は、前記酸化物半導体層の上面に接する領域を有し、

前記第2の膜は、前記酸化物半導体層の上面に接する領域を有し、

前記第3の膜は、前記ゲート絶縁膜の上面に接する領域を有し、

前記第4の膜は、前記第3の膜の上面に接する領域を有し、

前記第1の膜は、ソース電極としての機能を有し、

前記第2の膜は、ドレイン電極としての機能を有し、

前記第3の膜は、ゲート電極としての機能を有し、

前記第4の膜は、ゲート電極としての機能を有し、

前記第1の膜は、Al、Cr、Cu、Ta、Ti、Mo、W、又はこれらを主成分とする合金材料を有する第1の導電膜と、前記第1の導電膜上の導電性窒化物を有する第2の導電膜と、を有し、

前記第2の膜は、Al、Cr、Cu、Ta、Ti、Mo、W、又はこれらを主成分とする合金材料を有する第3の導電膜と、前記第1の導電膜上の導電性窒化物を有する第4の導電膜と、を有し、

前記第3の膜は、導電性窒化物を有し、

前記チャンネル形成領域のチャンネル長方向において、前記第3の膜の幅を L_0 とし、前記第1の導電膜と前記第3の導電膜との間の幅を L_1 とし、前記第2の導電膜と前記第4の導電膜との間の幅を L_2 とした時に、前記 L_1 は、 L_2 以上 L_0 以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は酸化物半導体を有する半導体装置、および該半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電気機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFET）ともいう）を構成する技術が注目されている。該トランジスタは集積回路

10

20

30

40

50

(IC)や画像表示装置(表示装置)のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、トランジスタの活性層として、インジウム(In)、ガリウム(Ga)、および亜鉛(Zn)を含む非晶質酸化物半導体を用いたトランジスタが特許文献1に開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

酸化物半導体における酸素欠損はドナーとなることが知られており、トランジスタのチャネル形成領域に酸化物半導体を用いる場合は、酸素欠損の極力少ない酸化物半導体層を用いることが好ましい。

【0007】

しかしながら、初期の酸化物半導体層の酸素欠損が少ない場合でも、様々な要因によって酸素欠損は増加しうる。酸化物半導体層中の酸素欠損が増加すると、例えば、トランジスタのノーマリーオン化、リーク電流の増大、ストレス印加によるしきい値電圧のシフトなど、電気特性の不良を引き起こす場合がある。

【0008】

したがって、本発明の一態様は、酸化物半導体層中の酸素欠損の増加を抑制することができる半導体装置を提供することを目的の一つとする。また、電気特性が良好な半導体装置を提供することを目的の一つとする。また、信頼性の高い半導体装置を提供することを目的の一つとする。

【課題を解決するための手段】

【0009】

本発明の一態様は、酸化物半導体層をチャネル形成領域に含む半導体装置において、酸化物半導体層の下側に接して設けられた酸化物絶縁膜と、酸化物半導体層の上側に接して設けられたゲート絶縁膜と、を用いて該酸化物絶縁膜または該ゲート絶縁膜中の酸素を酸化物半導体層中に供給する。また、ソース電極層、ドレイン電極層、およびゲート電極層に用いる金属膜に導電性の窒化物を用いることで、該金属膜への酸素の拡散または移動を抑制する。より詳細には以下の通りである。

【0010】

本発明の一態様は、酸化物絶縁膜と、酸化物絶縁膜上に形成された酸化物半導体層と、酸化物半導体層に接する第1のソース電極層および第1のドレイン電極層と、第1のソース電極層および第1のドレイン電極層をそれぞれ覆い、且つ酸化物半導体層に接する第2のソース電極層および第2のドレイン電極層と、酸化物絶縁膜、酸化物半導体層、第2のソース電極層、および第2のドレイン電極層上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成され、酸化物半導体層と重畳する位置に形成された第1のゲート電極層と、第1のゲート電極層上に形成された第2のゲート電極層と、ゲート絶縁膜および第2のゲート電極層上に形成された保護絶縁膜と、を有し、ゲート絶縁膜が、酸化物絶縁膜と第2のソース電極層および第2のドレイン電極層の外周で一部が接している半導体装置である。

【0011】

また、本発明の他の一態様は、酸化物絶縁膜と、酸化物絶縁膜上に形成された酸化物半導体層と、酸化物半導体層に接する第1のソース電極層および第1のドレイン電極層と、第1のソース電極層および第1のドレイン電極層にそれぞれに接し、且つ酸化物半導体層に接する第2のソース電極層および第2のドレイン電極層と、酸化物絶縁膜、酸化物半導

10

20

30

40

50

体層、第1のソース電極層、第1のドレイン電極層、第2のソース電極層、および第2のドレイン電極層上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成され、酸化物半導体層と重畳する位置に形成された第1のゲート電極層と、第1のゲート電極層上に形成された第2のゲート電極層と、ゲート絶縁膜および第2のゲート電極層上に形成された保護絶縁膜と、を有し、ゲート絶縁膜が、酸化物絶縁膜と第1のソース電極層および第1のドレイン電極層の外周で一部が接している半導体装置である。

【0012】

上記各構成において、第1のゲート電極層は、窒化タンタル、窒化チタン、ルテニウムの中から選ばれた少なくとも一つの材料またはこれらを主成分とする合金材料であると好ましい。

10

【0013】

また、上記各構成において、第2のゲート電極層は、Al、Cr、Cu、Ta、Ti、Mo、Wの中から選ばれた少なくとも一つの材料またはこれらを主成分とする合金材料であると好ましい。

【0014】

また、上記各構成において、第1のソース電極層および第1のドレイン電極層は、Al、Cr、Cu、Ta、Ti、Mo、Wの中から選ばれた少なくとも一つの材料またはこれらを主成分とする合金材料であると好ましい。

【0015】

また、上記各構成において、第1のソース電極層および第1のドレイン電極層の端部は、階段状の形状を有していると好ましい。

20

【0016】

また、上記各構成において、第2のソース電極層および第2のドレイン電極層は、窒化タンタル、窒化チタン、ルテニウムの中から選ばれた少なくとも一つの材料またはこれらを主成分とする合金材料であると好ましい。

【0017】

また、上記各構成において、保護絶縁膜は、窒化シリコン膜であると好ましい。

【0018】

また、上記各構成において、酸化物半導体層は結晶質を含み、結晶質のc軸は、酸化物半導体層の表面の法線ベクトルに平行であると好ましい。

30

【発明の効果】

【0019】

本発明の一態様によって、酸化物半導体層中の酸素欠損の増加を抑制した半導体装置を提供することができる。また、電気特性が良好な半導体装置を提供することができる。また、信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【0020】

【図1】半導体装置を説明する断面図および上面図。

【図2】半導体装置の作製方法を説明する図。

【図3】半導体装置の作製方法を説明する図。

40

【図4】半導体装置の作製方法を説明する図。

【図5】半導体装置を説明する断面図および上面図。

【図6】半導体装置の作製方法を説明する図。

【図7】半導体装置を説明する断面図および上面図。

【図8】半導体装置の作製方法を説明する図。

【図9】半導体装置を説明する断面図および上面図。

【図10】半導体装置を説明する断面図および上面図。

【図11】半導体装置の断面図および回路図。

【図12】半導体装置の回路図および斜視図。

【図13】半導体装置のブロック図。

50

【図14】半導体装置の断面図。

【図15】半導体装置のブロック図。

【図16】半導体装置を適用することができる電子機器を説明する図。

【図17】IGZO膜およびタングステン膜の積層をSIMS分析した結果を示す図。

【図18】IGZO膜および窒化タンタル膜の積層をSIMS分析した結果を示す図。

【図19】IGZO膜および窒化チタン膜の積層をSIMS分析した結果を示す図。

【図20】IGZO膜と窒化タンタル膜の積層、およびIGZO膜と窒化チタン膜の積層をSIMS分析した結果を示す図。

【図21】IGZO膜と窒化タンタル膜の積層、およびIGZO膜と窒化チタン膜の積層をSIMS分析した結果を示す図。

【図22】IGZO膜をエッチングした深さに対するシート抵抗値を測定した結果を示す図。

【図23】IGZO膜をエッチングした深さに対するシート抵抗値を測定した結果を示す図。

【図24】半導体装置の走査型透過電子顕微鏡による断面観察写真を示す図。

【発明を実施するための形態】

【0021】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。

【0022】

また、本実施の形態において、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0023】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置について図面を用いて説明する。

【0024】

図1(A)、(B)、(C)、(D)、(E)は、本発明の一態様のトランジスタの上面図および断面図である。図1(A)はトランジスタの上面図を示し、図1(B)は、図1(A)に示す一点鎖線X1-Y1の断面に相当する。また、図1(C)は、図1(A)に示す一点鎖線V1-W1の断面に相当する。また、図1(D)は、図1(B)に示すトランジスタの各構成の幅を示す図である。また、図1(E)は、図1(B)に示す領域105の拡大図である。なお、図1(A)の上面図では、図の明瞭化のために一部の要素を透過、または省いて図示している。

【0025】

図1(A)、(B)、(C)、(D)、(E)に示すトランジスタ150は、基板102上に形成された酸化物絶縁膜104と、酸化物絶縁膜104上に形成された酸化物半導体層106と、酸化物半導体層106上に形成された第1のソース電極層108aおよび第1のドレイン電極層108bと、第1のソース電極層108aおよび第1のドレイン電極層108bのそれぞれの上に形成された第2のソース電極層110aおよび第2のドレイン電極層110bと、酸化物絶縁膜104、酸化物半導体層106、第2のソース電極層110a、および第2のドレイン電極層110b上に形成されたゲート絶縁膜112と、ゲート絶縁膜112上に形成され、酸化物半導体層106と重畳する位置に形成された第1のゲート電極層114aと、第1のゲート電極層114a上に形成された第2のゲート電極層114bと、ゲート絶縁膜112、および第2のゲート電極層114b上に形成

10

20

30

40

50

された保護絶縁膜 116 と、を有する。なお、保護絶縁膜 116 の上方に他の絶縁層または配線等を形成してもよい。

【0026】

また、第1のゲート電極層 114 a および第2のゲート電極層 114 b により、ゲート電極層 114 が構成されている。

【0027】

基板 102 は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ 150 のゲート電極層 114、第1のソース電極層 108 a、第1のドレイン電極層 108 b、第2のソース電極層 110 a および第2のドレイン電極層 110 b の少なくとも一つは、上記の他のデバイスと電氣的に接

10

【0028】

酸化物絶縁膜 104 は、基板 102 からの不純物の拡散を防止する役割を有するほか、酸化物半導体層 106 に酸素を供給する役割を担うことができるため、酸素を含む絶縁膜とする。とくに酸化物絶縁膜 104 は、過剰な酸素を含む絶縁膜がより好ましい。過剰酸素を含む酸化物絶縁膜とは、加熱処理などによって酸素を放出することができる酸化物絶縁膜をいう。好ましくは、昇温脱離ガス分光法分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である膜とする。また、過剰な酸素とは、加熱処理により酸化物半導体層中、または酸化シリコン中、または酸化窒化シリコン中を移動可能な酸素、または、本来の化学量論的組成にある酸素より過剰に存在する酸素、

20

【0029】

また、酸化物絶縁膜 104 は、酸化物半導体層 106 に接して設けられているため、酸化物半導体層 106 に酸素を下側から直接拡散させることができるとともに、ゲート絶縁膜 112 と接して設けられているため、ゲート絶縁膜 112 を介して酸化物半導体層 106 に酸素を上側から拡散させることができる。より具体的には、酸化物絶縁膜 104 から

30

【0030】

したがって、ゲート絶縁膜 112 は、酸化物絶縁膜 104 から放出される酸素が酸化物半導体層 106 のチャンネルに拡散できるように、第2のソース電極層 110 a および第2のドレイン電極層 110 b、ならびに保護絶縁膜 116 で挟持されている。よって、第2のソース電極層 110 a および第2のドレイン電極層 110 b、ならびに保護絶縁膜 11

40

【0031】

また、ゲート電極層 114 が、第1のゲート電極層 114 a および第2のゲート電極層 114 b の積層構造であり、上述した第2のソース電極層 110 a および第2のドレイン電極層 110 b と同様に酸素の拡散または移動が少ない材料を用いる。

【0032】

したがって、ソース電極層およびドレイン電極層、ならびにゲート電極層のゲート絶縁膜と接する領域において、酸素の拡散または移動が少ない材料を用いる構造となる。よって、ゲート絶縁膜を介して酸化物半導体層中に酸素を拡散させる際に、ソース電極層およびドレイン電極層、ならびにゲート電極層に酸素が拡散または移動するのを抑制すること

50

ができる。

【0033】

このような構造のトランジスタとすることによって、酸化物半導体層106のチャネル形成領域に酸化物絶縁膜104およびゲート絶縁膜112から過剰酸素を供給することができるため、酸化物半導体層106を用いたトランジスタのしきい値電圧をノーマリオフとすることができる。したがって、酸化物半導体層106中の酸素欠損の増加を抑制した半導体装置を提供することができる。また、信頼性の高い半導体装置を提供することができる。

【0034】

なお、基板102が他のデバイスが形成された基板である場合、酸化物絶縁膜104は、層間絶縁膜としての機能も有する。その場合は、酸化物絶縁膜104の表面が平坦になるようにCMP (Chemical Mechanical Polishing) 法等で平坦化処理を行うことが好ましい。

10

【0035】

酸化物半導体層106として用いることのできる酸化物半導体は、少なくともインジウム (In) もしくは亜鉛 (Zn) を含むことが好ましい。または、InとZnの双方を含むことが好ましい。酸化物半導体層106に用いることのできる材料、および形成方法については、トランジスタの作製方法について詳細を説明する。

【0036】

なお、酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性にするのが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

20

【0037】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素は、ドナー準位を形成し、キャリア密度を増大させてしまう。また、シリコンは、酸化物半導体層中で不純物準位を形成する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。

【0038】

酸化物半導体層を真性または実質的に真性とするためには、SIMSにおける分析において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする。また、水素濃度は、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、窒素濃度は、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

30

【0039】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。また、炭素濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とすればよい。

40

【0040】

また、上述のように高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さく、トランジスタのチャネル幅で規格化したオフ電流は、

50

数 $y \text{ A} / \mu\text{m} \sim$ 数 $z \text{ A} / \mu\text{m}$ にまで低減することが可能となる。

【0041】

また、酸化物半導体層106として用いることのできる酸化物半導体は、膜中の局在準位を低減することで、酸化物半導体層106を用いたトランジスタに安定した電気特性を付与することができる。なお、トランジスタに安定した電気特性を付与するためには、酸化物半導体層106中のCPM測定(CPM: Constant Photocurrent Method)で得られる局在準位による吸収係数は、 $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $3 \times 10^{-4} / \text{cm}$ 未満とすればよい。

【0042】

第1のソース電極層108aおよび第1のドレイン電極層108bには、酸素と結合し易い導電材料を用いることができる。例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどを用いることができる。後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることが特に好ましい。なお、酸素と結合し易い導電材料には、酸素が拡散または移動し易い材料も含まれる。

10

【0043】

酸素と結合し易い導電材料と酸化物半導体層を接触させると、酸化物半導体層中の酸素が、酸素と結合し易い導電材料側に拡散または移動する現象が起こる。トランジスタの作製工程には、いくつかの加熱工程があることから、上記現象により、酸化物半導体層のソース電極およびドレイン電極と接触した近傍の領域に酸素欠損が発生し、当該領域はn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

20

【0044】

しかしながら、チャネル長が極短いトランジスタを形成する場合、上記酸素欠損の発生によってn型化した領域がトランジスタのチャネル長方向に延在してしまうことがある。この場合、トランジスタの電気特性には、しきい値電圧のシフトやゲート電圧でオンオフの制御ができない状態(導通状態)が現れる。そのため、チャネル長が極短いトランジスタを形成する場合は、ソース電極およびドレイン電極に酸素と結合し易い導電材料を用いることは好ましくない。

【0045】

したがって、本発明の一態様では、ソース電極およびドレイン電極を積層とし、チャネル長を定める第2のソース電極層110aおよび第2のドレイン電極層110bには、酸素と結合しにくい導電材料を用いる。当該導電材料としては、例えば、窒化タンタル、窒化チタンなどの導電性窒化物、またはルテニウムなどを用いることが好ましい。なお、酸素と結合しにくい導電材料には、酸素が拡散または移動しにくい材料も含まれる。

30

【0046】

なお、図1の構造のトランジスタにおいて、チャネル長とは、第2のソース電極層110aと第2のドレイン電極層110bの間隔のことをいう。

【0047】

上記酸素と結合しにくい導電材料を第2のソース電極層110aおよび第2のドレイン電極層110bに用いることによって、酸化物半導体層106に形成されるチャネル形成領域に酸素欠損が形成されることを抑制することができ、チャネルのn型化を抑えることができる。したがって、チャネル長が極短いトランジスタであっても良好な電気特性を得ることができる。

40

【0048】

なお、上記酸素と結合しにくい導電材料のみでソース電極およびドレイン電極を形成すると、酸化物半導体層106とのコンタクト抵抗が高くなりすぎることから、図1に示すように、第1のソース電極層108aおよび第1のドレイン電極層108bを酸化物半導体層106上に形成し、第1のソース電極層108aおよび第1のドレイン電極層108bを覆うように第2のソース電極層110aおよび第2のドレイン電極層110bを形成することが好ましい。

50

【0049】

このとき、第1のソース電極層108aおよび第1のドレイン電極層108bと酸化物半導体層106との接触面積を大として酸素欠損生成によってn型化した領域によりコンタクト抵抗を下げ、第2のソース電極層110aおよび第2のドレイン電極層110bと酸化物半導体層106との接触面積は小とすることが好ましい。第2のソース電極層110aおよび第2のドレイン電極層110bと酸化物半導体層106とのコンタクト抵抗が大きいとトランジスタの電気特性を低下させる場合がある。

【0050】

ここで、上述したn型化した領域について、図1(E)を用いて説明を行う。図1(E)は、図1(B)に示す領域105の拡大図を表しており、酸化物半導体層106と、第1のソース電極層108aが接触した領域において、酸化物半導体層106中の酸素が第1のソース電極層108a側に引き抜かれn型化領域106aが形成されている。なお、n型化領域106aは、酸化物半導体層106の酸素欠損が多い領域であり、且つ第1のソース電極層108aの成分、例えば第1のソース電極層108aとして、タングステン膜を用いた場合、n型化領域106a中にタングステンの元素が混入する。また、図示していないが、第1のソース電極層108a側の酸化物半導体層106と接する領域に、酸化物半導体層106中の酸素が入り込み、混合層が形成されうる。

10

【0051】

なお、領域105は、主として酸化物半導体層106と第1のソース電極層108aとの拡大図について説明したが、酸化物半導体層106と第1のドレイン電極層108b側

20

【0052】

なお、n型化領域106aは、酸化物半導体層106中において、ソース領域またはドレイン領域として用いてもよい。

【0053】

また、第2のソース電極層110aおよび第2のドレイン電極層110bに酸素と結合しにくい導電材料を用いることによって、酸化物絶縁膜104からゲート絶縁膜112を介して、酸化物半導体層106の上側から酸素を供給する際に、第2のソース電極層110aおよび第2のドレイン電極層110bに酸素が拡散または移動することが少ないため、好適に酸化物半導体層106に酸素を供給することができる。

30

【0054】

ゲート絶縁膜112には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、ゲート絶縁膜112は上記材料の積層であってもよい。

【0055】

第1のゲート電極層114aは、第2のソース電極層110aおよび第2のドレイン電極層110bと同様の導電材料を用いることができる。すなわち、酸素と結合しにくい導電材料を用いる。当該導電材料としては、例えば、窒化タンタル、窒化チタンなどの導電性窒化物、またはルテニウムなどを用いることが好ましい。なお、酸素と結合しにくい導電材料には、酸素が拡散または移動しにくい材料も含まれる。

40

【0056】

第1のゲート電極層114aは、ゲート絶縁膜112と接するため、上述した酸素と結合しにくい導電材料を用いることによって、ゲート絶縁膜112中の酸素と結合しにくい、あるいは酸素が拡散または移動しにくい。したがって、加熱処理等によって、酸化物絶縁膜104およびゲート絶縁膜112から酸化物半導体層106中に酸素を拡散させる際に、第1のゲート電極層114aが形成されていることにより、酸化物半導体層106中に好適に酸素を供給させることができる。

【0057】

50

第2のゲート電極層114bは、Al、Cr、Cu、Ta、Ti、Mo、およびWなどの導電膜を用いることができる。また、第2のゲート電極層114bは、上記材料の積層であってもよい。

【0058】

保護絶縁膜116には、酸素の拡散または移動が少ない材料を用いると良い。また、保護絶縁膜116は、膜中に水素の含有量が少ない材料を用いると良い。保護絶縁膜116中の水素の含有量としては、好ましくは $5 \times 10^{19} / \text{cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} / \text{cm}^3$ 未満とする。保護絶縁膜116中の水素の含有量を上記数値とすることによって、トランジスタのオフ電流を低くすることができる。例えば、保護絶縁膜116としては、窒化シリコン膜、窒化酸化シリコン膜を用いるとよい。

10

【0059】

ここで、図1(D)に示す断面図を用いて、各構成の間隔について説明を行う。

【0060】

第1のソース電極層108aと第1のドレイン電極層108bとの間隔(L1)は、 $0.8 \mu\text{m}$ 以上、好ましくは $1.0 \mu\text{m}$ 以上とする。L1が $0.8 \mu\text{m}$ より小さいとチャネル形成領域において発生する酸素欠損の影響を排除できなくなり、トランジスタの電気特性が低下する可能性がある。

【0061】

一方、第2のソース電極層110aと第2のドレイン電極層110bとの間隔(L2)は、L1より小さい値とすることができ、例えば、 30nm 以下としても良好なトランジスタの電気特性を得ることができる。

20

【0062】

また、ゲート電極層114の幅をL0とするとき、図1(D)に示すようにL0 L1 L2(L1はL2以上L0以下)とすることで、ゲート電極層114が、ゲート絶縁膜112を介してソース電極層(第1のソース電極層108aおよび第2のソース電極層110a)ならびにドレイン電極層(第1のドレイン電極層108bおよび第2のドレイン電極層110b)と重畳する領域を設けることができる。このような構成とすることで、微細化されたトランジスタのオン特性(例えば、オン電流や電界効果移動度)を向上させることができる。

【0063】

また、酸化物半導体層106の幅をL3とし、トランジスタ150の幅をL4とするとき、L3は $1 \mu\text{m}$ 未満、L4は $1 \mu\text{m}$ 以上 $2.5 \mu\text{m}$ 以下とすることが好ましい。L3およびL4を上記数値とすることによって、トランジスタの微細化を図ることができる。

30

【0064】

ここで、実際にトランジスタを作製し、図1(D)に示すL2に相当する断面の観察を行った。断面の観察結果を図24に示す。

【0065】

なお、断面の観察には、走査型透過電子顕微鏡(STEM: Scanning Transmission Electron Microscopy)を用いて行い、断面の写真を取得した。

40

【0066】

図24(A)に示す断面観察写真は、図1(D)に示すL2相当の断面観察写真であり、図24(B)に示す断面観察写真は、図24(A)に示す断面観察写真を、さらに拡大した断面観察写真である。

【0067】

本実施の形態のトランジスタとしては、Siウェハー上に酸化物絶縁膜104として、厚さ 300nm の酸化シリコン膜をスパッタリング法により形成した。次に、酸化物半導体層106として、In:Ga:Zn=1:1:1の金属酸化物ターゲットを用い、厚さ 15nm のIGZO膜をスパッタリング法により形成した。次に、窒素雰囲気中で 450 1時間の熱処理を行い、続けて酸素雰囲気中で 450 1時間の熱処理を行った。

50

その後、第1のソース電極層108a及び第1のドレイン電極層108bとして、厚さ20nmのタングステン膜をスパッタリング法により形成した。なお、図24において、第1のソース電極層108a及び第1のドレイン電極層108bは、図示されていない。次に、第2のソース電極層110a及び第2のドレイン電極層110bとして、厚さ10nmの窒化チタン膜をスパッタリング法により形成した。その後、ゲート絶縁膜112として、厚さ15nmの酸化窒化シリコン膜をPE-CVD法により形成した。次に、ゲート電極層114としては、厚さ10nmの窒化チタン膜と、厚さ10nmのタングステン膜と、の積層膜をスパッタリング法により形成した。

【0068】

なお、酸化物半導体層106の成膜条件の詳細としては、基板温度 = 400、Ar/O₂ = 30/15 sccm、圧力 = 0.4 Pa、成膜電力(DC) = 0.5 kWとした。

10

【0069】

また、第2のソース電極層110a及び第2のドレイン電極層110bの加工には、電子ビーム露光によってレジストマスク加工を行い、その後エッチング処理を行った。

【0070】

なお、第1のソース電極層108a、第1のドレイン電極層108b、第2のソース電極層110a、及び第2のドレイン電極層110bのエッチングは、高密度プラズマ源であるICP(Inductive Coupled Plasma)を用いたドライエッチング装置を用いた。なお、第1のソース電極層108a及び第1のドレイン電極層108bのエッチング条件としては、ICP = 2000W、Bias = 50W、圧力 = 0.67 Pa、CF₄/O₂ = 60/40 sccm、基板温度 = 40、エッチング時間 = 17 secとした。また、第2のソース電極層110a及び第2のドレイン電極層110bのエッチング条件としては、ICP = 2000W、Bias = 50W、圧力 = 0.67 Pa、CF₄ = 100 sccm、基板温度 = 40°、エッチング時 = 17 secとした。

20

【0071】

第2のソース電極層110aと第2のドレイン電極層110bは、酸化物半導体層106上において、チャンネルが形成される領域を挟むように設けられている。図24の断面観察写真からも観察されるように、酸化物半導体層106上における第2のソース電極層110aと第2のドレイン電極層110bの端部は垂直に切り立った断面形状とするよりは、側壁が傾斜しており、前端部が先細るようにして終端させることが好ましい。また、第2のソース電極層110aと第2のドレイン電極層110bの側壁部から上面部分にかけても、曲面上に形成することが好ましい。

30

【0072】

すなわち、図24の断面観察写真からわかるように、第2のソース電極層110aと第2のドレイン電極層110bの断面構造は、酸化物半導体層106と接する下端部と、下端部よりも外側に設けられた上端部と、を有し、下端部及び上端部のいずれか一方または双方が、曲率を持って形成される構造である。また、第2のソース電極層110aの下端部と、第2のドレイン電極層110bの下端部と、の間の長さは、チャンネル長(L2)に相当する。図24の断面観察写真からわかるように、チャンネル長(L2)は、36.5 nmであることが確認される。

40

【0073】

第2のソース電極層110a及び第2のドレイン電極層110bの側面を上述した構造とすることで、ゲート絶縁膜112の被覆性を向上させることができる。これにより、ゲート絶縁膜112の絶縁耐圧を向上させることができる。

【0074】

また、酸化物半導体層106は、図24の断面観察写真より、完全な非晶質ではなく、結晶性を有していることが確認される。この結晶は、後述するc軸に配向した結晶、すなわちCAAC-OSである。

【0075】

以上のように、チャンネル長となるL2が36.5 nmと微細なトランジスタを形成でき

50

ることが確認できる。また、酸化物半導体層106がCAAC-OSであることが確認できる。また、第2のソース電極層110a及び第2のドレイン電極層110bの側面形状が特徴的な構造であることが確認できる。

【0076】

以上が本発明の一態様におけるトランジスタであり、当該トランジスタの構成は、酸化物半導体層中の酸素欠損の増加を抑制することができる。とくに、当該トランジスタは、酸化物半導体層に接する酸化物絶縁膜、およびゲート絶縁膜から酸化物半導体層中に酸素を供給することができる。したがって、良好な電気特性を示すとともに長期信頼性の高い半導体装置を提供することができる。

【0077】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【0078】

(実施の形態2)

本実施の形態では、実施の形態1で説明した図1に示すトランジスタ150の作製方法について図2乃至図4を用いて説明する。

【0079】

基板102には、ガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを用いることも可能であり、これらの基板上に半導体素子が設けられたものを用いてもよい。

【0080】

酸化物絶縁膜104は、プラズマCVD(Chemical Vapor Deposition)法またはスパッタリング法等により、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、またはこれらの混合材料を用いて形成することができる。また、上記材料の積層であってもよく、少なくとも酸化物半導体層106と接する上層は酸化物半導体層106への酸素の供給源となりえる酸素を含む材料で形成する。

【0081】

また、酸化物絶縁膜104に、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、酸化物絶縁膜104にさらに過剰な酸素を含有させることができる。

【0082】

次に、酸化物絶縁膜104上に酸化物半導体層をスパッタリング法、CVD法、MBE(Molecular Beam Epitaxy)法、ALD(Atomic Layer Deposition)法またはPLD(Pulse Laser Deposition)法を用いて成膜し、選択的にエッチングを行うことで酸化物半導体層106を形成する(図2(A)参照)。なお、エッチングの前に加熱工程を行ってもよい。

【0083】

酸化物半導体層106として用いることのできる酸化物半導体は、少なくともインジウム(In)もしくは亜鉛(Zn)を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0084】

スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、またはジルコニウム(Zr)等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(

10

20

30

40

50

Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)等がある。

【0085】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

10

【0086】

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

20

【0087】

また、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、MnおよびCoから選ばれた一つの金属元素または複数の金属元素を示す。また、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0088】

なお、酸化物半導体膜の成膜には、スパッタリング法を用いることが好ましい。スパッタリング法としては、RFスパッタリング法、DCスパッタリング法、ACスパッタリング法等を用いることができる。特に、成膜時に発生するゴミを低減でき、かつ膜厚分布も均一とすることからDCスパッタリング法を用いることが好ましい。

30

【0089】

また、酸化物半導体膜として、単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態を有する膜を用いることができる。好ましくは、酸化物半導体膜は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

【0090】

CAAC-OS膜で構成された酸化物半導体膜は、スパッタリング法によっても作製することができる。スパッタリング法によってCAAC-OS膜を得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、ターゲットと基板の距離を広くとり(例えば、150mm~200mm程度)、基板加熱温度を100~500、好適には200~400、さらに好適には250~300にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

40

【0091】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜

50

である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0092】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

10

【0093】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

20

【0094】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0095】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

30

【0096】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタ用ターゲットを用い、スパッタ法によって成膜することができる。当該スパッタ用ターゲットにイオンが衝突すると、スパッタ用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタ粒子として剥離することがある。この場合、当該平板状のスパッタ粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

【0097】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0098】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物(水素、水、二酸化炭素および窒素など)を低減すればよい。また、成膜ガス中の不純物を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

40

【0099】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタ粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタ粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタ粒子の平らな面が基板に付着する。

50

【0100】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0101】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0102】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のモル数で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、粉末の種類、およびその混合するモル数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

10

【0103】

次に、第1の加熱処理を行うことが好ましい。第1の加熱処理は、250以上650以下、好ましくは300以上500以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、酸化物半導体層106の結晶性を高め、さらに酸化物絶縁膜104、および酸化物半導体層106から水素や水などの不純物を除去することができる。なお、酸化物半導体層106を形成するエッチングの前に第1の加熱工程を行ってもよい。

20

【0104】

次に、酸化物半導体層106上に第1のソース電極層108aおよび第1のドレイン電極層108bとなる第1の導電膜108を形成する(図2(B)参照)。第1の導電膜108としては、Al、Cr、Cu、Ta、Ti、Mo、W、またはこれらを主成分とする合金材料を用いることができる。例えば、スパッタリング法などにより100nmのタングステン膜を形成する。

【0105】

次に、第1の導電膜108上にレジストマスク190a、190bを形成する(図2(C)参照)。

30

【0106】

次に、レジストマスク190a、190bをマスクとして、第1の導電膜108を酸化物半導体層106上で分断するようにエッチングし、第1のソース電極層108aおよび第1のドレイン電極層108bを形成した後、レジストマスク190a、190bを除去する(図2(D)参照)。

【0107】

このとき、第1の導電膜108のオーバーエッチングによって、図2(D)に示すように酸化物半導体層106の一部がエッチングされた形状となる。ただし、第1の導電膜108と酸化物半導体層106のエッチングの選択比が大きい場合は、酸化物半導体層106がほとんどエッチングされない形状となる。

40

【0108】

また、第1の導電膜108のオーバーエッチングによって、図2(D)に示すように酸化物絶縁膜104の一部、より具体的には第1のソース電極層108aおよび第1のドレイン電極層108b外周がエッチングされた形状となる。

【0109】

次に、酸化物半導体層106、第1のソース電極層108aおよび第1のドレイン電極層108b上に、第2のソース電極層110aおよび第2のドレイン電極層110bとなる第2の導電膜110を形成する(図3(A)参照)。第2の導電膜としては、窒化タンタル、窒化チタンなどの導電性窒化物、またはルテニウム、あるいはこれらを主成分とす

50

る合金材料を用いることができる。例えば、スパッタリング法などにより20nmの窒化タンタル膜を形成する。

【0110】

次に、第2の導電膜110を酸化物半導体層106上で分断するようにエッチングし、第2のソース電極層110aおよび第2のドレイン電極層110bを形成する(図3(B)参照)。このとき、図3(B)に示す形状のように、酸化物半導体層106の一部がエッチングされた形状としてもよい。また、図示しないが、第2のソース電極層110aおよび第2のドレイン電極層110bのエッチングの際に、酸化物絶縁膜104の一部、より具体的には第2のソース電極層110aおよび第2のドレイン電極層110bの外周がエッチングされた形状としてもよい。

10

【0111】

なお、チャンネル長(第2のソース電極層110aと第2のドレイン電極層110bとの間)が極短いトランジスタを形成する場合は、まず、第1のソース電極層108aおよび第1のドレイン電極層108bを覆うような形状に第2の導電膜110をエッチングし、その後、電子ビーム露光などの細線加工に適した方法を用いてレジストマスク加工を行い、エッチングすることによって、第2のソース電極層110aおよび第2のドレイン電極層110bを形成することができる。なお、当該レジストマスクとしては、ポジ型レジストを用いれば、露光領域を最小限にすることができ、スループットを向上させることができる。このような方法を用いれば、チャンネル長を30nm以下とするトランジスタを形成することができる。

20

【0112】

次に、第2の加熱処理を行うことが好ましい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、酸化物半導体層106から、さらに水素や水などの不純物を除去することができる。

【0113】

次に、酸化物絶縁膜104、酸化物半導体層106、第2のソース電極層110aおよび第2のドレイン電極層110b上にゲート絶縁膜112を形成する(図3(C)参照)。ゲート絶縁膜112には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。なお、ゲート絶縁膜112は、上記材料の積層であってもよい。ゲート絶縁膜112は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法などを用いて形成することができる。

30

【0114】

また、ゲート絶縁膜112は、形成後に連続して加熱処理を行うと好ましい。例えば、ゲート絶縁膜112をPE-CVD装置で成膜し、真空中で連続して加熱処理を行う。該加熱処理は、ゲート絶縁膜112膜中から、水素、水分等を除去することができる。該加熱処理を行うことによって、脱水または脱水素化された緻密なゲート絶縁膜112を形成することができる。

【0115】

次に、ゲート絶縁膜112上に第1のゲート電極層114aおよび第2のゲート電極層114bとなる第3の導電膜113aおよび第4の導電膜113bを形成し、その後所望の領域にレジストマスク192を形成する(図3(D)参照)。

40

【0116】

第3の導電膜113aとしては、窒化タンタル、窒化チタンなどの導電性窒化物、またはルテニウム、あるいはこれらを主成分とする合金材料を用いることができる。例えば、スパッタリング法などにより20nmの窒化タンタル膜を形成する。

【0117】

第4の導電膜113bとしては、Al、Cr、Cu、Ta、Ti、Mo、W、またはこれらを主成分とする合金材料を用いることができる。例えば、スパッタリング法などによ

50

り400nmのタンゲステン膜を形成する。

【0118】

次に、第3の導電膜113aおよび第4の導電膜113bをエッチングし、第1のゲート電極層114aおよび第2のゲート電極層114bを含むゲート電極層114を形成した後、レジストマスク192を除去する(図4(A)参照)。

【0119】

次に、ゲート絶縁膜112、および第2のゲート電極層114b上に保護絶縁膜116を形成する(図4(B)参照)。保護絶縁膜116としては、酸素の拡散または移動が少ない材料を用いると良い。また、保護絶縁膜116は、膜中に水素の含有量が少ない材料を用いると良い。保護絶縁膜116中の水素の含有量としては、好ましくは $5 \times 10^{19} / \text{cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} / \text{cm}^3$ 未満とする。保護絶縁膜116中の水素の含有量を上記数値とすることによって、トランジスタのオフ電流を低くすることができる。

10

【0120】

例えば、保護絶縁膜116としては、窒化シリコン膜、窒化酸化シリコン膜を用いるとよい。また、保護絶縁膜116は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて形成することができる。とくに、保護絶縁膜116は、スパッタリング法を用いて窒化シリコン膜を形成すると、膜中の水、水素の含有量が少ないため、好ましい。

【0121】

20

次に、第3の加熱処理を行うことが好ましい。第3の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第3の加熱処理により、酸化物絶縁膜104、ゲート絶縁膜112から酸素が放出されやすくなり、酸化物半導体層106の酸素欠損を低減することができる。

【0122】

以上の工程で、図1に示すトランジスタ150を作製することができる。

【0123】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【0124】

30

(実施の形態3)

本実施の形態では、実施の形態1で説明したトランジスタとは異なる構造のトランジスタについて図5および図6を用いて説明する。

【0125】

図5(A)、(B)、(C)は、本発明の一態様のトランジスタの上面図および断面図である。図5(A)はトランジスタの上面図を示し、図5(B)は、図5(A)に示す一点鎖線X2-Y2の断面に相当する。また、図5(C)は、図5(A)に示す一点鎖線V2-W2の断面に相当する。なお、図5(A)の上面図では、図の明瞭化のために一部の要素を透過、または省いて図示している。また、実施の形態1で示すトランジスタと、同一部分または同様の機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

40

【0126】

図5(A)、(B)、(C)に示すトランジスタ152は、基板102上に形成された酸化物絶縁膜104と、酸化物絶縁膜104上に形成された酸化物半導体層106と、酸化物半導体層106上に形成された第1のソース電極層168aおよび第1のドレイン電極層168bと、第1のソース電極層168aおよび第1のドレイン電極層168bのそれぞれの上に形成された第2のソース電極層110aおよび第2のドレイン電極層110bと、酸化物絶縁膜104、酸化物半導体層106、第2のソース電極層110a、および第2のドレイン電極層110b上に形成されたゲート絶縁膜112と、ゲート絶縁膜112上に形成され、酸化物半導体層106と重畳する位置に形成された第1のゲート電極

50

層 1 1 4 a と、第 1 のゲート電極層 1 1 4 a 上に形成された第 2 のゲート電極層 1 1 4 b と、ゲート絶縁膜 1 1 2、および第 2 のゲート電極層 1 1 4 b 上に形成された保護絶縁膜 1 1 6 と、を有する。なお、保護絶縁膜 1 1 6 の上方に他の絶縁層または配線等を形成してもよい。

【 0 1 2 7 】

また、第 1 のゲート電極層 1 1 4 a および第 2 のゲート電極層 1 1 4 b により、ゲート電極層 1 1 4 が構成されている。

【 0 1 2 8 】

本実施の形態に示すトランジスタ 1 5 2 は、実施の形態 1 に示すトランジスタ 1 5 0 と異なる点として、第 1 のソース電極層 1 6 8 a、および第 1 のドレイン電極層 1 6 8 b の形状が異なる。なお第 1 のソース電極層 1 6 8 a、および第 1 のドレイン電極層 1 6 8 b の上方に形成される第 2 のソース電極層 1 1 0 a、第 2 のドレイン電極層 1 1 0 b、ゲート絶縁膜 1 1 2、ゲート電極層 1 1 4、保護絶縁膜 1 1 6 も第 1 のソース電極層 1 6 8 a、および第 1 のドレイン電極層 1 6 8 b の形状に合わせた形状となる。

10

【 0 1 2 9 】

第 1 のソース電極層 1 6 8 a、および第 1 のドレイン電極層 1 6 8 b を図 5 に示すような階段状の形状とすることで、第 2 のソース電極層 1 1 0 a、第 2 のドレイン電極層 1 1 0 b、およびゲート絶縁膜 1 1 2 の被覆性を良好にすることができる。また、ゲート絶縁膜 1 1 2 の被覆性が良好となることで、酸化物絶縁膜 1 0 4 から放出される酸素が、ゲート絶縁膜 1 1 2 を介して酸化物半導体層 1 0 6 のチャンネルとなる上側へ拡散しやすい構造となる。

20

【 0 1 3 0 】

ここで、図 6 を用いてトランジスタ 1 5 2 の作製方法について説明を行う。

【 0 1 3 1 】

図 2 (C) に示すトランジスタ 1 5 0 の作製方法と同様の作製方法にて、図 6 (A) に示す工程まで形成する (図 6 (A) 参照) 。なお、図 6 (A) と図 2 (C) に示す断面構造は同一である。

【 0 1 3 2 】

次に、レジストマスク 1 9 0 a、1 9 0 b を用いて、第 1 の導電膜 1 0 8 をエッチングし第 1 のソース電極層 1 0 8 a、および第 1 のドレイン電極層 1 0 8 b を形成する (図 6 (B) 参照) 。

30

【 0 1 3 3 】

次に、レジストマスク 1 9 0 a、1 9 0 b をアッシングによって、レジストマスクを後退または縮小させることによって、レジストマスク 1 9 4 a、1 9 4 b を形成する (図 6 (C) 参照) 。

【 0 1 3 4 】

次に、レジストマスク 1 9 4 a、1 9 4 b を用いて、第 1 のソース電極層 1 0 8 a、および第 1 のドレイン電極層 1 0 8 b をエッチングし、その後、レジストマスク 1 9 4 a、1 9 4 b を除去することによって、第 1 のソース電極層 1 6 8 a、および第 1 のドレイン電極層 1 6 8 b を形成する (図 6 (D) 参照) 。

40

【 0 1 3 5 】

このように、アッシングによってレジストマスクを後退または縮小させる工程とエッチングの工程を交互に複数回行うことで、第 1 のソース電極層 1 6 8 a、および第 1 のドレイン電極層 1 6 8 b の端部の形状を階段状に形成することができる。

【 0 1 3 6 】

なお、これ以降の工程については、先の実施の形態に示すトランジスタ 1 5 0 と同様の作製工程を行うことで、本実施の形態に示すトランジスタ 1 5 2 を作製することができる。

【 0 1 3 7 】

以上が本発明の一態様におけるトランジスタであり、当該トランジスタの構成は、酸化

50

物半導体層中の酸素欠損の増加を抑制することができる。とくに、当該トランジスタは、酸化物半導体層に接する酸化物絶縁膜、およびゲート絶縁膜から酸化物半導体層中に酸素を供給することができる。したがって、良好な電気特性を示すとともに長期信頼性の高い半導体装置を提供することができる。

【0138】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【0139】

(実施の形態4)

本実施の形態では、実施の形態1で説明したトランジスタとは異なる構造のトランジスタについて図7および図8を用いて説明する。

【0140】

図7(A)、(B)、(C)、(D)は、本発明の一態様のトランジスタの上面図および断面図である。図7(A)はトランジスタの上面図を示し、図7(B)は、図7(A)に示す一点鎖線X3-Y3の断面に相当する。また、図7(C)は、図7(A)に示す一点鎖線V3-W3の断面に相当する。また、図7(D)は、図7(B)に示すトランジスタの各構成の幅を示す図である。なお、図7(A)の上面図では、図の明瞭化のために一部の要素を透過、または省いて図示している。また、実施の形態1で示すトランジスタと、同一部分または同様の機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【0141】

図7(A)、(B)、(C)、(D)に示すトランジスタ154は、基板102上に形成された酸化物絶縁膜104と、酸化物絶縁膜104上に形成された酸化物半導体層106と、酸化物半導体層106上に形成された第1のソース電極層108aおよび第1のドレイン電極層108bと、第1のソース電極層108aおよび第1のドレイン電極層108bのそれぞれの上に形成された第2のソース電極層110aおよび第2のドレイン電極層110bと、酸化物絶縁膜104、酸化物半導体層106、第2のソース電極層110a、および第2のドレイン電極層110b上に形成されたゲート絶縁膜112と、ゲート絶縁膜112上に形成され、酸化物半導体層106と重畳する位置に形成された第1のゲート電極層174aと、第1のゲート電極層174a上に形成された第2のゲート電極層174bと、ゲート絶縁膜112、および第2のゲート電極層174b上に形成された保護絶縁膜116と、を有する。なお、保護絶縁膜116の上方に他の絶縁層または配線等を形成してもよい。

【0142】

また、第1のゲート電極層174aおよび第2のゲート電極層174bにより、ゲート電極層174が構成されている。

【0143】

本実施の形態に示すトランジスタ154は、実施の形態1に示すトランジスタ150と異なる点として、ゲート電極層174の形状が異なる。トランジスタ150においては、ゲート電極層114は、第1のソース電極層108a、第1のドレイン電極層108b、第2のソース電極層110a、および第2のドレイン電極層110bと重畳する位置に設けられているが、本実施の形態に示すトランジスタ154においては、第2のソース電極層110a、および第2のドレイン電極層110bと重畳する位置に設けられた構造である。換言すると、第1のソース電極層108a、および第1のドレイン電極層108bと重畳する位置には、ゲート電極層174が設けられない構造である。

【0144】

ここで、図7(D)に示す断面図を用いて、各構成の間隔について説明を行う。

【0145】

第1のソース電極層108aと第1のドレイン電極層108bとの間隔(L1)は、0.8μm以上、好ましくは1.0μm以上とする。L1が0.8μmより小さいとチャネ

10

20

30

40

50

ル形成領域において発生する酸素欠損の影響を排除できなくなり、トランジスタの電気特性が低下する可能性がある。

【0146】

一方、第2のソース電極層110aと第2のドレイン電極層110bとの間隔(L2)は、L1より小さい値とすることができ、例えば、30nm以下としても良好なトランジスタの電気特性を得ることができる。

【0147】

ゲート電極層114の幅をL0とするとき、L1 < L0 < L2 (L0はL2以上L1以下)とすることで、ゲート-ドレイン間およびゲート-ソース間の寄生容量を極力小さくすることができ、トランジスタの周波数特性を向上することができる。例えば、L0を40nmとすることができ、なお、良好なトランジスタの電気特性を得るには、L0-L2を2nm以上20nm以下、L1-L2を20nm以上1μm以下とすることが好ましい。

10

【0148】

ただし、高い周波数特性を必要としないトランジスタにおいては、図1(B)に示すように、L0 < L1 < L2 (L1はL2以上L0以下)としてもよい。このような構造では、ゲート電極形成時の工程の難易度を低減させることができる。

【0149】

また、酸化物半導体層106の幅をL3とし、トランジスタ154の幅をL4とするとき、L3は1μm未満、L4は1μm以上2.5μm以下とすることが好ましい。L3およびL4を上記数値とすることによって、トランジスタの微細化を図ることができる。

20

【0150】

ここで、図8を用いてトランジスタ154の作製方法について説明を行う。

【0151】

図3(D)に示すトランジスタ150の作製方法と同様の作製方法にて、図8(A)に示す工程まで形成する(図8(A)参照)。なお、図3(D)に示す断面と、図8(A)に示す断面において、レジストマスク196の形状が異なる。

【0152】

なお、レジストマスク196は、フォトリソグラフィ法などによって形成されたマスクに、スリミング処理を行って、より微細なパターンを有するマスクとすることが好ましい。スリミング処理としては、例えば、ラジカル状態の酸素(酸素ラジカル)などを用いるアッシング処理を適用することができる。スリミング処理の結果、フォトリソグラフィ法などによって形成されたマスクを、露光装置の解像限界以下、好ましくは1/2以下、より好ましくは1/3以下の線幅まで微細化することが可能である。例えば、線幅は、20nm以上2000nm以下、好ましくは50nm以上350nm以下とすることができ

30

【0153】

次に、レジストマスク196を用いて、第3の導電膜113aおよび第4の導電膜113bをエッチングし第1のゲート電極層174aおよび第2のゲート電極層174bを含むゲート電極層174を形成し、その後、レジストマスク196を除去する(図8(B)参照)。

40

【0154】

なお、これ以降の工程については、先の実施の形態に示すトランジスタ150と同様の作製工程を行うことで、本実施の形態に示すトランジスタ154を作製することができる。

【0155】

以上が本発明の一態様におけるトランジスタであり、当該トランジスタの構成は、酸化物半導体層中の酸素欠損の増加を抑制することができる。とくに、当該トランジスタは、酸化物半導体層に接する酸化物絶縁膜、およびゲート絶縁膜から酸化物半導体層中に酸素を供給することができる。したがって、良好な電気特性を示すとともに長期信頼性の高い

50

半導体装置を提供することができる。

【0156】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【0157】

(実施の形態5)

本実施の形態では、実施の形態1で説明したトランジスタとは異なる構造のトランジスタについて図9および図10を用いて説明する。

【0158】

まず、図9に示すトランジスタ156について説明を行う。

10

【0159】

図9(A)、(B)、(C)は、本発明の一態様のトランジスタの上面図および断面図である。図9(A)はトランジスタの上面図を示し、図9(B)は、図9(A)に示す一点鎖線X4-Y4の断面に相当する。また、図9(C)は、図9(A)に示す一点鎖線V4-W4の断面に相当する。なお、図9(A)の上面図では、図の明瞭化のために一部の要素を透過、または省いて図示している。また、実施の形態1で示すトランジスタと、同一部分または同様の機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【0160】

図9(A)、(B)、(C)に示すトランジスタ156は、基板102上に形成された酸化物絶縁膜104と、酸化物絶縁膜104上に形成された酸化物半導体層106と、酸化物半導体層106上に形成された第1のソース電極層168aおよび第1のドレイン電極層168bと、第1のソース電極層168aおよび第1のドレイン電極層168bのそれぞれの上に形成された第2のソース電極層110aおよび第2のドレイン電極層110bと、酸化物絶縁膜104、酸化物半導体層106、第2のソース電極層110a、および第2のドレイン電極層110b上に形成されたゲート絶縁膜112と、ゲート絶縁膜112上に形成され、酸化物半導体層106と重畳する位置に形成された第1のゲート電極層174aと、第1のゲート電極層174a上に形成された第2のゲート電極層174bと、ゲート絶縁膜112、および第2のゲート電極層174b上に形成された保護絶縁膜116と、を有する。なお、保護絶縁膜116の上方に他の絶縁層または配線等を形成してもよい。

20

30

【0161】

また、第1のゲート電極層174aおよび第2のゲート電極層174bにより、ゲート電極層174が構成されている。

【0162】

本実施の形態に示すトランジスタ156は、実施の形態1に示すトランジスタ150と異なる点として、第1のソース電極層168a、および第1のドレイン電極層168bの形状、ならびにゲート電極層174の形状が異なる。なお第1のソース電極層168a、および第1のドレイン電極層168bの上方に形成される第2のソース電極層110a、第2のドレイン電極層110b、ゲート絶縁膜112、ゲート電極層174、保護絶縁膜116も第1のソース電極層168a、および第1のドレイン電極層168bの形状に合わせた形状となる。

40

【0163】

また、トランジスタ150においては、ゲート電極層114は、第1のソース電極層108a、第1のドレイン電極層108b、第2のソース電極層110a、および第2のドレイン電極層110bと重畳する位置に設けられているが、本実施の形態に示すトランジスタ156においては、第2のソース電極層110a、および第2のドレイン電極層110bと重畳する位置にゲート電極層174が設けられた構造である。換言すると、第1のソース電極層108a、および第1のドレイン電極層108bと重畳する位置には、ゲート電極層174が設けられない構造である。

50

【 0 1 6 4 】

その他の構成については、先の実施の形態に示すトランジスタ 1 5 2、およびトランジスタ 1 5 4 の作製方法を参考にすることで本実施の形態に示すトランジスタ 1 5 6 を形成することができる。

【 0 1 6 5 】

次に、図 1 0 に示すトランジスタ 1 5 8 について、説明を行う。

【 0 1 6 6 】

図 1 0 (A)、(B)、(C) に示すトランジスタ 1 5 8 は、基板 1 0 2 上に形成された酸化物絶縁膜 1 0 4 と、酸化物絶縁膜 1 0 4 上に形成された酸化物半導体層 1 0 6 と、酸化物半導体層 1 0 6 上に形成された第 1 のソース電極層 1 7 8 a および第 1 のドレイン電極層 1 7 8 b と、第 1 のソース電極層 1 7 8 a および第 1 のドレイン電極層 1 7 8 b のそれぞれの上に形成された第 2 のソース電極層 1 8 0 a および第 2 のドレイン電極層 1 8 0 b と、酸化物絶縁膜 1 0 4、酸化物半導体層 1 0 6、第 2 のソース電極層 1 8 0 a、および第 2 のドレイン電極層 1 8 0 b 上に形成されたゲート絶縁膜 1 1 2 と、ゲート絶縁膜 1 1 2 上に形成され、酸化物半導体層 1 0 6 と重畳する位置に形成された第 1 のゲート電極層 1 7 4 a と、第 1 のゲート電極層 1 7 4 a 上に形成された第 2 のゲート電極層 1 7 4 b と、ゲート絶縁膜 1 1 2、および第 2 のゲート電極層 1 7 4 b 上に形成された保護絶縁膜 1 1 6 と、を有する。なお、保護絶縁膜 1 1 6 の上方に他の絶縁層または配線等を形成してもよい。

【 0 1 6 7 】

また、第 1 のゲート電極層 1 1 4 a および第 2 のゲート電極層 1 1 4 b により、ゲート電極層 1 1 4 が構成されている。

【 0 1 6 8 】

本実施の形態に示すトランジスタ 1 5 8 は、実施の形態 1 に示すトランジスタ 1 5 0 と異なる点として、第 1 のソース電極層 1 7 8 a、第 1 のドレイン電極層 1 7 8 b、第 2 のソース電極層 1 8 0 a、および第 2 のドレイン電極層 1 8 0 b の形状、ならびにゲート電極層 1 7 4 の形状が異なる。なお第 1 のソース電極層 1 7 8 a、および第 1 のドレイン電極層 1 7 8 b の上方に形成される第 2 のソース電極層 1 8 0 a、第 2 のドレイン電極層 1 8 0 b、ゲート絶縁膜 1 1 2、ゲート電極層 1 7 4、保護絶縁膜 1 1 6 も第 1 のソース電極層 1 7 8 a、および第 1 のドレイン電極層 1 7 8 b の形状に合わせた形状となる。

【 0 1 6 9 】

第 1 のソース電極層 1 7 8 a、および第 1 のドレイン電極層 1 7 8 b を図 1 0 に示す形状とすることで、第 2 のソース電極層 1 8 0 a、第 2 のドレイン電極層 1 8 0 b、およびゲート絶縁膜 1 1 2 の被覆性を良好にすることができる。

【 0 1 7 0 】

また、第 2 のソース電極層 1 8 0 a、および第 2 のドレイン電極層 1 8 0 b は、チャネル長方向の断面(図 1 0 (B))において、第 1 のソース電極層 1 7 8 a、および第 1 のドレイン電極層 1 7 8 b よりも内側に設けられる。このように、第 2 のソース電極層 1 8 0 a、および第 2 のドレイン電極層 1 8 0 b は、少なくとも酸化物半導体層 1 0 6 のチャネル長となる領域に設けられればよく、第 1 のソース電極層 1 7 8 a、および第 1 のドレイン電極層 1 7 8 b を覆っていない構造としてもよい。ただし、先の実施の形態に示すトランジスタのように、第 1 のソース電極層および第 1 のドレイン電極層を第 2 のソース電極層および第 2 のドレイン電極層で覆うことによって、第 1 のソース電極層および第 2 のドレイン電極層の側面に酸素が拡散または移動する可能性が低減するため、酸化物絶縁膜からゲート絶縁膜を介して、酸化物半導体層に好適に酸素を供給することができる。

【 0 1 7 1 】

以上が本発明の一態様におけるトランジスタであり、当該トランジスタの構成は、酸化物半導体層中の酸素欠損の増加を抑制することができる。とくに、当該トランジスタは、酸化物半導体層に接する酸化物絶縁膜、およびゲート絶縁膜から酸化物半導体層中に酸素を供給することができる。したがって、良好な電気特性を示すとともに長期信頼性の高い

10

20

30

40

50

半導体装置を提供することができる。

【0172】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【0173】

(実施の形態6)

本実施の形態では、本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を、図面を用いて説明する。

【0174】

図11(A)に半導体装置の断面図、図11(B)に半導体装置の回路図をそれぞれ示す。

【0175】

図11(A)および図11(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ3200を有し、上部に第2の半導体材料を用いたトランジスタ3202および容量素子3204を有している。なお、トランジスタ3202としては、実施の形態1乃至5で説明したトランジスタを用いることができ、本実施の形態では、実施の形態1の図1に示すトランジスタ150を適用する例を示している。また、容量素子3204は、一方の電極をトランジスタ3202のゲート電極、他方の電極をトランジスタ3202のソース電極またはドレイン電極、誘電体をトランジスタ3202のゲート絶縁膜112と同じ材料を用いる構造とすることで、トランジスタ3202と同時に形成することができる。

【0176】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を実施の形態1で説明した酸化物半導体とすることができる。酸化物半導体以外の材料として、例えば結晶性シリコンを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い電気特性により長時間の電荷保持を可能とする。

【0177】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いた実施の形態1に示すようなトランジスタを用いる他は、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0178】

図11(A)におけるトランジスタ3200は、半導体材料(例えば、結晶性シリコンなど)を含む基板3000に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、不純物領域に接する金属間化合物領域と、チャネル形成領域上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極層と、を有する。なお、図において、明示的にはソース電極層やドレイン電極層を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。つまり、本明細書において、ソース電極層との記載には、ソース領域が含まれうる。

【0179】

基板3000上にはトランジスタ3200を囲むように素子分離絶縁層3106が設けられており、トランジスタ3200を覆うように酸化物絶縁膜3220が設けられている。なお、素子分離絶縁層3106は、LOCOS(Local Oxidation of Silicon)や、STI(Shallow Trench Isolation

10

20

30

40

50

)などの素子分離技術を用いて形成することができる。

【0180】

例えば、結晶性シリコン基板を用いたトランジスタ3200は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ3202および容量素子3204の形成前の処理として、トランジスタ3200を覆う酸化物絶縁膜3220にCMP処理を施して、酸化物絶縁膜3220を平坦化すると同時にトランジスタ3200のゲート電極層の上面を露出させる。

【0181】

酸化物絶縁膜3220上にはトランジスタ3202が設けられ、そのソース電極またはドレイン電極の一方は延在して、容量素子3204の一方の電極として作用する。

10

【0182】

図11(A)に示すトランジスタ3202は、酸化物半導体層にチャネルが形成されるトップゲート型トランジスタである。トランジスタ3202は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0183】

また、トランジスタ3202と重畳するように酸化物絶縁膜3220を介して電極3150が設けられている。当該電極に適切な電位を供給することで、トランジスタ3202のしきい値電圧を制御することができる。また、トランジスタ3202の長期信頼性を高めることができる。

20

【0184】

図11(A)に示すように、トランジスタ3200とトランジスタ3202は重畳するように形成することができるため、その占有面積を低減することができる。したがって、半導体装置の集積度を高めることができる。

【0185】

次に、図11(A)に対応する回路構成の一例を図11(B)に示す。

【0186】

図11(B)において、第1の配線(1st Line)とトランジスタ3200のソース電極層とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ3200のドレイン電極層とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ3202のソース電極層またはドレイン電極層の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ3202のゲート電極層とは、電氣的に接続されている。そして、トランジスタ3200のゲート電極層と、トランジスタ3202のソース電極層またはドレイン電極層の一方は、容量素子3204の電極の他方と電氣的に接続され、第5の配線(5th Line)と、容量素子3204の電極の他方は電氣的に接続されている。

30

【0187】

図11(B)に示す半導体装置では、トランジスタ3200のゲート電極層の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

40

【0188】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ3202がオン状態となる電位にして、トランジスタ3202をオン状態とする。これにより、第3の配線の電位が、トランジスタ3200のゲート電極層、および容量素子3204に与えられる。すなわち、トランジスタ3200のゲート電極層には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ3202がオフ状態となる電位にして、トランジス

50

タ3202をオフ状態とすることにより、トランジスタ3200のゲート電極層に与えられた電荷が保持される（保持）。

【0189】

トランジスタ3202のオフ電流は極めて小さいため、トランジスタ3200のゲート電極層の電荷は長時間にわたって保持される。

【0190】

次に情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ3200のゲート電極層に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ3200をnチャンネル型とすると、トランジスタ3200のゲート電極層にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極層にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ3200のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($> V_{th_H}$)となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($< V_{th_L}$)となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線の電位を判別することで、保持されている情報を読み出すことができる。

【0191】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0192】

本実施の形態に示す半導体装置では、チャンネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0193】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0194】

以上のように、微細化および高集積化を実現し、かつ高い電気的特性が付与された半導体装置、および該半導体装置を提供することができる。

【0195】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【0196】

10

20

30

40

50

(実施の形態 7)

本実施の形態では、本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態 6 に示した構成と異なる半導体装置の説明を行う。

【0197】

図 12 (A) は、半導体装置の回路構成の一例を示し、図 12 (B) は半導体装置の一例を示す概念図である。なお、当該半導体装置に含まれるトランジスタ 4162 としては、実施の形態 1 乃至 5 で説明したトランジスタを用いることができる。また、容量素子 4254 は、実施の形態 6 で説明した容量素子 3204 と同様に、トランジスタ 4162 の作製工程にて同時に作製することができる。

10

【0198】

図 12 (A) に示す半導体装置において、ビット線 BL とトランジスタ 4162 のソース電極とは電氣的に接続され、ワード線 WL とトランジスタ 4162 のゲート電極とは電氣的に接続され、トランジスタ 4162 のドレイン電極と容量素子 4254 の一方の端子とは電氣的に接続されている。

【0199】

次に、図 12 (A) に示す半導体装置 (メモリセル 4250) に、情報の書き込みおよび保持を行う場合について説明する。

【0200】

まず、ワード線 WL の電位を、トランジスタ 4162 がオン状態となる電位として、トランジスタ 4162 をオン状態とする。これにより、ビット線 BL の電位が、容量素子 4254 の一方の端子に与えられる (書き込み)。その後、ワード線 WL の電位を、トランジスタ 4162 がオフ状態となる電位として、トランジスタ 4162 をオフ状態とすることにより、容量素子 4254 の一方の端子の電位が保持される (保持)。

20

【0201】

酸化物半導体を用いたトランジスタ 4162 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 4162 をオフ状態とすることで、容量素子 4254 の第 1 の端子の電位 (あるいは、容量素子 4254 に蓄積された電荷) を極めて長時間にわたって保持することが可能である。

【0202】

次に、情報の読み出しについて説明する。トランジスタ 4162 がオン状態となると、浮遊状態であるビット線 BL と容量素子 4254 とが導通し、ビット線 BL と容量素子 4254 の間で電荷が再分配される。その結果、ビット線 BL の電位が変化する。ビット線 BL の電位の変化量は、容量素子 4254 の第 1 の端子の電位 (あるいは容量素子 4254 に蓄積された電荷) によって、異なる値をとる。

30

【0203】

例えば、容量素子 4254 の第 1 の端子の電位を V 、容量素子 4254 の容量を C 、ビット線 BL が有する容量成分 (以下、ビット線容量とも呼ぶ) を C_B 、電荷が再分配される前のビット線 BL の電位を V_{B0} とすると、電荷が再分配された後のビット線 BL の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセル 4250 の状態として、容量素子 4254 の第 1 の端子の電位が V_1 と V_0 ($V_1 > V_0$) の 2 状態をとるとすると、電位 V_1 を保持している場合のビット線 BL の電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合のビット線 BL の電位 ($= C_B \times V_{B0} + C \times V_0) / (C_B + C)$) よりも高くなるのがわかる。

40

【0204】

そして、ビット線 BL の電位を所定の電位と比較することで、情報を読み出すことができる。

【0205】

このように、図 12 (A) に示す半導体装置は、トランジスタ 4162 のオフ電流が極めて小さいという特徴から、容量素子 4254 に蓄積された電荷は長時間にわたって保持

50

することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0206】

次に、図12(B)に示す半導体装置について、説明を行う。

【0207】

図12(B)に示す半導体装置は、上部に記憶回路として図12(A)に示したメモリセル4250を複数有するメモリセルアレイ4251(メモリセルアレイ4251aおよび4251bを有し、下部に、メモリセルアレイ4251を動作させるために必要な周辺回路4253を有する。なお、周辺回路4253は、メモリセルアレイ4251と電氣的に接続されている。

10

【0208】

図12(B)に示した構成とすることにより、周辺回路4253をメモリセルアレイ4251a、4251bの直下に設けることができるため半導体装置の小型化を図ることができる。

【0209】

周辺回路4253に設けられるトランジスタは、トランジスタ4162とは異なる半導体材料を用いることが好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることがより好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路(論理回路、駆動回路など)を好適に実現することができる。

20

【0210】

なお、図12(B)に示した半導体装置では、メモリセルアレイ4251がメモリセルアレイ4251aとメモリセルアレイ4251bの積層である構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としても良いし、単層であってもよい。

【0211】

トランジスタ4162は、酸化物半導体を用いて形成されており、実施の形態1乃至5で説明したトランジスタを用いることができる。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

30

【0212】

また、酸化物半導体以外の材料を用いたトランジスタ(換言すると、十分な高速動作が可能でトランジスタ)を用いた周辺回路と、酸化物半導体を用いたトランジスタ(より広義には、十分にオフ電流が小さいトランジスタ)を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

40

【0213】

以上のように、微細化および高集積化を実現し、かつ高い電氣的特性を付与された半導体装置を提供することができる。

【0214】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせることができる。

【0215】

(実施の形態8)

本実施の形態では、実施の形態1乃至5で説明したトランジスタを用いることのできる

50

電子機器の例について説明する。

【0216】

実施の形態1乃至5で説明したトランジスタは、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビ、モニタ等の表示装置、照明装置、デスクトップ型またはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD（Digital Versatile Disc）などの記録媒体に記憶された静止画または動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、ICチップ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、放射線測定器、透析装置等の医療機器、などが挙げられる。また、煙感知器、ガス警報装置、防犯警報装置などの警報装置も挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型または大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。これらの電子機器の具体例を図13、図14、図15、および図16に示す。

10

20

【0217】

まず、警報装置の例として火災報知器の構成について図13を用いて説明する。なお、本明細書中において、火災報知器とは、火災の発生を急報する装置全般を示すものであり、例えば、住宅用火災警報器や、自動火災報知設備や、当該自動火災報知設備に用いられる火災感知器なども火災報知器に含むものとする。

【0218】

図13に示す警報装置は、マイクロコンピュータ500を少なくとも有する。ここで、マイクロコンピュータ500は、警報装置の内部に設けられている。マイクロコンピュータ500は、高電位電源線VDDと電氣的に接続されたパワーゲートコントローラ503と、高電位電源線VDDおよびパワーゲートコントローラ503と電氣的に接続されたパワーゲート504と、パワーゲート504と電氣的に接続されたCPU（Central Processing Unit）505と、パワーゲート504およびCPU505と電氣的に接続された検出部509と、が設けられる。また、CPU505には、揮発性記憶部506と不揮発性記憶部507と、が含まれる。

30

【0219】

また、CPU505は、インターフェース508を介してバスライン502と電氣的に接続されている。インターフェース508もCPU505と同様にパワーゲート504と電氣的に接続されている。インターフェース508のバス規格としては、例えば、I²Cバスなどを用いることができる。また、本実施の形態に示す警報装置には、インターフェース508を介してパワーゲート504と電氣的に接続される発光素子530が設けられる。

40

【0220】

発光素子530は指向性の強い光を放出するものが好ましく、例えば、有機EL素子、無機EL素子、LED（Light Emitting Diode）などを用いることができる。

【0221】

パワーゲートコントローラ503はタイマーを有し、当該タイマーに従ってパワーゲー

50

ト504を制御する。パワーゲート504は、パワーゲートコントローラ503の制御に従って、CPU505、検出部509およびインターフェース508に高電位電源線VDDから供給される電源を供給または遮断する。ここで、パワーゲート504としては、例えば、トランジスタなどのスイッチング素子を用いることができる。

【0222】

このようなパワーゲートコントローラ503およびパワーゲート504を用いることにより、光量を測定する期間に検出部509、CPU505およびインターフェース508への電源供給を行い、測定期間の合間には検出部509、CPU505およびインターフェース508への電源供給を遮断することができる。このように警報装置を動作させることにより、上記の各構成に常時電源供給を行う場合より消費電力の低減を図ることができる。

10

【0223】

また、パワーゲート504としてトランジスタを用いる場合、不揮発性記憶部507に用いられる、極めてオフ電流の低いトランジスタ、例えば、酸化物半導体を用いたトランジスタを用いることが好ましい。このようなトランジスタを用いることにより、パワーゲート504で電源を遮断する際にリーク電流を低減し、消費電力の低減を図ることができる。

【0224】

本実施の形態に示す警報装置に直流電源501を設け、直流電源501から高電位電源線VDDに電源を供給しても良い。直流電源501の高電位側の電極は、高電位電源線VDDと電氣的に接続され、直流電源501の低電位側の電極は、低電位電源線VSSと電氣的に接続される。低電位電源線VSSはマイクロコンピュータ500に電氣的に接続される。ここで、高電位電源線VDDは、高電位Hが与えられている。また、低電位電源線VSSは、例えば接地電位(GND)などの低電位Lが与えられている。

20

【0225】

直流電源501として電池を用いる場合は、例えば、高電位電源線VDDと電氣的に接続された電極と、低電位電源線VSSに電氣的に接続された電極と、当該電池を保持することができる筐体と、を有する電池ケースを筐体に設ける構成とすればよい。なお、本実施の形態に示す警報装置は、必ずしも直流電源501を設ける必要はなく、例えば、当該警報装置の外部に設けられた交流電源から配線を介して電源を供給する構成としても良い。

30

【0226】

また、上記電池として、二次電池、例えば、リチウムイオン二次電池(リチウムイオン蓄電池、リチウムイオン電池、またはリチウムイオンバッテリーとも呼ぶ。)を用いることもできる。また、当該二次電池を充電できるように太陽電池を設けることが好ましい。

【0227】

検出部509は、異常に係る物理量を計測して計測値をCPU505に送信する。異常に係る物理量は、警報装置の用途によって異なり、火災報知器として機能する警報装置では、火災に係る物理量を計測する。故に、検出部509には、火災に係る物理量として光量を計測し、煙の存在を感知する。

40

【0228】

検出部509は、パワーゲート504と電氣的に接続された光センサ511と、パワーゲート504と電氣的に接続されたアンプ512と、パワーゲート504およびCPU505と電氣的に接続されたADコンバータ513と、を有する。発光素子530、および検出部509に設けられた光センサ511、アンプ512並びにADコンバータ513は、パワーゲート504が検出部509に電源を供給したときに動作する。

【0229】

ここで、図13に示す警報装置の断面の一部を図14に示す。当該警報装置は、p型の半導体基板601に形成された素子分離領域603と、ゲート絶縁膜607、ゲート電極層609、n型の不純物領域611a、n型の不純物領域611b、絶縁膜615および

50

絶縁膜 6 1 7 を有する n 型のトランジスタ 7 1 9 とが形成されている。n 型のトランジスタ 7 1 9 は、単結晶シリコンなど、酸化物半導体とは異なる半導体を用いて形成されるため、十分な高速動作が可能となる。これにより、高速アクセスが可能な CPU の揮発性記憶部を形成することができる。

【 0 2 3 0 】

絶縁膜 6 1 5 および絶縁膜 6 1 7 の一部を選択的にエッチングした開口部には、コンタクトプラグ 6 1 9 a およびコンタクトプラグ 6 1 9 b が形成され、絶縁膜 6 1 7、コンタクトプラグ 6 1 9 a およびコンタクトプラグ 6 1 9 b 上に溝部を有する絶縁膜 6 2 1 が設けられている。

【 0 2 3 1 】

絶縁膜 6 2 1 の溝部に配線 6 2 3 a および配線 6 2 3 b が形成されており、絶縁膜 6 2 1、配線 6 2 3 a および配線 6 2 3 b 上には、スパッタリング法または C V D 法等によって形成された絶縁膜 6 2 0 が設けられている。また、当該絶縁膜上に溝部を有する絶縁膜 6 2 2 が形成されている。

【 0 2 3 2 】

絶縁膜 6 2 2 の溝部には、第 2 のトランジスタ 7 1 7 のバックゲート電極として機能する電極 6 2 4 が形成されている。このような電極 6 2 4 を設けることにより、第 2 のトランジスタ 7 1 7 のしきい値電圧の制御を行うことができる。

【 0 2 3 3 】

絶縁膜 6 2 2 および電極 6 2 4 上には、スパッタリング法または C V D 法等により形成された酸化物絶縁膜 6 2 5 が設けられており、酸化物絶縁膜 6 2 5 上には、第 2 のトランジスタ 7 1 7 と、光電変換素子 7 1 4 が設けられている。

【 0 2 3 4 】

第 2 のトランジスタ 7 1 7 は、酸化物半導体層 6 0 6 と、酸化物半導体層 6 0 6 に接する第 1 のソース電極層 6 1 6 a および第 1 のドレイン電極層 6 1 6 b と、第 1 のソース電極層 6 1 6 a および第 1 のドレイン電極層 6 1 6 b の上部に接する第 2 のソース電極層 6 2 6 a および第 2 のドレイン電極層 6 2 6 b と、ゲート絶縁膜 6 1 2 と、第 1 のゲート電極層 6 0 4 a と、第 2 のゲート電極層 6 0 4 b と、保護絶縁膜 6 1 8 を含む。また、光電変換素子 7 1 4 と第 2 のトランジスタ 7 1 7 を覆う絶縁膜 6 4 5、および絶縁膜 6 4 6 が設けられ、絶縁膜 6 4 6 上に第 1 のドレイン電極層 6 1 6 b に接して配線 6 4 9 を有する。配線 6 4 9 は、第 2 のトランジスタ 7 1 7 のドレイン電極と n 型のトランジスタ 7 1 9 のゲート電極層 6 0 9 とを電氣的に接続するノードとして機能する。

【 0 2 3 5 】

また、本実施の形態においては、第 2 のトランジスタ 7 1 7 と配線 6 4 9 の接続箇所は、第 1 のドレイン電極層 6 1 6 b に接する構成について例示したが、これに限定されず、例えば、第 2 のドレイン電極層 6 2 6 b に接する構成としてもよい。

【 0 2 3 6 】

ここで、第 2 のトランジスタ 7 1 7 には、実施の形態 1 乃至 5 で説明したトランジスタを用いることができ、酸化物半導体層 6 0 6 は、実施の形態 1 で説明した酸化物半導体層 1 0 6 に相当する。また、第 1 のソース電極層 6 1 6 a および第 1 のドレイン電極層 6 1 6 b のそれぞれは、実施の形態 1 で説明した第 1 のソース電極層 1 0 8 a および第 1 のドレイン電極層 1 0 8 b に相当する。また、第 2 のソース電極層 6 2 6 a および第 2 のドレイン電極層 6 2 6 b のそれぞれは、実施の形態 1 で説明した第 2 のソース電極層 1 1 0 a および第 2 のドレイン電極層 1 1 0 b に相当する。

【 0 2 3 7 】

光センサ 5 1 1 は、光電変換素子 7 1 4 と、容量素子と、第 1 のトランジスタと、第 2 のトランジスタ 7 1 7 と、第 3 のトランジスタと、n 型のトランジスタ 7 1 9 と、を含む。ここで光電変換素子 7 1 4 としては、例えば、フォトダイオードなどを用いることができる。

【 0 2 3 8 】

10

20

30

40

50

光電変換素子714の端子の一方は、低電位電源線VSSと電氣的に接続され、端子の他方は、第2のトランジスタ717の第1のソース電極層616aもしくは第1のドレイン電極層616bの一方、および/または第2のソース電極層626aもしくは第2のドレイン電極層626bの一方に電氣的に接続される。

【0239】

第2のトランジスタ717の第1のゲート電極層604aおよび/または第2のゲート電極層604bには、電荷蓄積制御信号Txが与えられ、第1のソース電極層616aもしくは第1のドレイン電極層616bの他方、および/または第2のソース電極層626aもしくは第2のドレイン電極層626bの他方は、容量素子の一对の電極の一方、第1のトランジスタのソース電極およびドレイン電極の一方、およびn型のトランジスタ719のゲート電極と電氣的に接続される(以下、当該ノードをノードFDと呼ぶ場合がある)。

10

【0240】

容量素子の一对の電極の他方は、低電位電源線VSSと電氣的に接続される。第1のトランジスタのゲート電極は、リセット信号Resが与えられ、ソース電極およびドレイン電極の他方は、高電位電源線VDDと電氣的に接続される。

【0241】

n型のトランジスタ719のソース電極およびドレイン電極の一方は、第3のトランジスタのソース電極およびドレイン電極の一方と、アンプ512と電氣的に接続される。また、n型のトランジスタ719のソース電極およびドレイン電極の他方は、高電位電源線VDDと電氣的に接続される。第3のトランジスタのゲート電極は、バイアス信号Biasが与えられ、ソース電極およびドレイン電極の他方は、低電位電源線VSSと電氣的に接続される。

20

【0242】

なお、容量素子は必ずしも設ける必要はなく、例えば、n型のトランジスタ719などの寄生容量が十分大きい場合、容量素子を設けない構成としても良い。

【0243】

また、第1のトランジスタおよび第2のトランジスタ717には、極めてオフ電流の低いトランジスタを用いることが好ましい。また、極めてオフ電流の低いトランジスタとしては、酸化物半導体を含むトランジスタを用いることが好ましい。このような構成とすることによりノードFDの電位を長時間保持することが可能となる。

30

【0244】

また、図14に示す構成は、第2のトランジスタ717と電氣的に接続して、酸化物絶縁膜625上に光電変換素子714が設けられている。

【0245】

光電変換素子714は、酸化物絶縁膜625上に設けられた半導体膜660と、半導体膜660上に接して設けられた第1のソース電極層616a、電極616cと、を有する。第1のソース電極層616aは第2のトランジスタ717のソース電極またはドレイン電極として機能する電極であり、光電変換素子714と第2のトランジスタ717とを電氣的に接続している。また、光電変換素子714においては、第1のソース電極層616a、および電極616c上に、それぞれ第2のソース電極層626aおよび電極626cが設けられている。

40

【0246】

半導体膜660、第2のソース電極層626aおよび電極626c上には、ゲート絶縁膜612、保護絶縁膜618、絶縁膜645、および絶縁膜646が設けられている。また、絶縁膜646上に配線656が設けられており、ゲート絶縁膜612、保護絶縁膜618、絶縁膜645、および絶縁膜646に設けられた開口を介して電極616cと接する。

【0247】

電極616cは、第1のソース電極層616aおよび第1のドレイン電極層616bと

50

、配線 6 5 6 は、配線 6 4 9 と同様の工程で作成することができる。

【 0 2 4 8 】

半導体膜 6 6 0 としては、光電変換を行うことができる半導体膜を設ければよく、例えば、シリコンやゲルマニウムなどを用いることができる。半導体膜 6 6 0 にシリコンを用いた場合は、可視光を検知する光センサとして機能する。また、シリコンとゲルマニウムでは吸収できる電磁波の波長が異なるため、半導体膜 6 6 0 にゲルマニウムを用いる構成とすると、赤外線を中心に検知するセンサとして用いることができる。

【 0 2 4 9 】

以上のように、マイクロコンピュータ 5 0 0 に、光センサ 5 1 1 を含む検出部 5 0 9 を内蔵して設けることができるので、部品数を削減し、警報装置の筐体を縮小することができる。なお、光センサまたは光電変換素子の位置に自由度が必要な場合は、光センサまたは光電変換素子を外付けとして、マイクロコンピュータ 5 0 0 に電氣的に接続すればよい。

10

【 0 2 5 0 】

上述した IC チップを含む警報装置には、先の実施の形態に示したトランジスタを用いた複数の回路を組み合わせ、それらを 1 つの IC チップに搭載した CPU 5 0 5 が用いられる。

【 0 2 5 1 】

図 1 5 は、実施の形態 1 乃至 5 で説明したトランジスタを少なくとも一部に用いた CPU の具体的な構成を示すブロック図である。

20

【 0 2 5 2 】

図 1 5 (A) に示す CPU は、基板 1 1 9 0 上に、ALU 1 1 9 1 (ALU : Arithmetic logic unit、演算回路)、ALU コントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、タイミングコントローラ 1 1 9 5、レジスタ 1 1 9 6、レジスタコントローラ 1 1 9 7、バスインターフェース 1 1 9 8 (Bus I / F)、書き換え可能な ROM 1 1 9 9、および ROM インターフェース 1 1 8 9 (ROM I / F) を有している。基板 1 1 9 0 は、半導体基板、SOI 基板、ガラス基板などを用いる。ROM 1 1 9 9 および ROM インターフェース 1 1 8 9 は、別チップに設けてもよい。もちろん、図 1 5 (A) に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。

30

【 0 2 5 3 】

バスインターフェース 1 1 9 8 を介して CPU に入力された命令は、インストラクションデコーダ 1 1 9 3 に入力され、デコードされた後、ALU コントローラ 1 1 9 2、インタラプトコントローラ 1 1 9 4、レジスタコントローラ 1 1 9 7、タイミングコントローラ 1 1 9 5 に入力される。

【 0 2 5 4 】

ALU コントローラ 1 1 9 2、インタラプトコントローラ 1 1 9 4、レジスタコントローラ 1 1 9 7、タイミングコントローラ 1 1 9 5 は、デコードされた命令に基づき、各種制御を行なう。具体的に ALU コントローラ 1 1 9 2 は、ALU 1 1 9 1 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1 1 9 4 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1 1 9 7 は、レジスタ 1 1 9 6 のアドレスを生成し、CPU の状態に応じてレジスタ 1 1 9 6 の読み出しや書き込みを行なう。

40

【 0 2 5 5 】

また、タイミングコントローラ 1 1 9 5 は、ALU 1 1 9 1、ALU コントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、およびレジスタコントローラ 1 1 9 7 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1 1 9 5 は、基準クロック信号 CLK 1 を元に、内部クロック信

50

号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0256】

図15(A)に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0257】

図15(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0258】

電源停止に関しては、図15(B)または図15(C)に示すように、メモリセル群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図15(B)および図15(C)の回路の説明を行う。

【0259】

図15(B)および図15(C)では、メモリセルへの電源電位の供給を制御するスイッチング素子に、先の実施の形態で示したトランジスタを含む記憶回路の構成の一例を示す。

【0260】

図15(B)に示す記憶装置は、スイッチング素子1141と、メモリセル1142を複数有するメモリセル群1143とを有している。具体的に、各メモリセル1142には、先の実施の形態に記載されているトランジスタを用いることができる。メモリセル群1143が有する各メモリセル1142には、スイッチング素子1141を介して、ハイレベルの電源電位VDDが供給されている。さらに、メモリセル群1143が有する各メモリセル1142には、信号INの電位と、ローレベルの電源電位VSSの電位が与えられている。

【0261】

図15(B)では、スイッチング素子1141として、先の実施の形態で示したトランジスタを用いており、当該トランジスタは、そのゲート電極層に与えられる信号SIGAによりスイッチングが制御される。

【0262】

なお、図15(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わせられて接続されていてもよい。

【0263】

また、図15(B)では、スイッチング素子1141により、メモリセル群1143が有する各メモリセル1142への、ハイレベルの電源電位VDDの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位VSSの供給が制御されていてもよい。

【0264】

また、図15(C)には、メモリセル群1143が有する各メモリセル1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶

10

20

30

40

50

装置の一例を示す。スイッチング素子 1 1 4 1 により、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 への、ローレベルの電源電位 V_{SS} の供給を制御することができる。

【 0 2 6 5 】

メモリセル群と、電源電位 V_{DD} または電源電位 V_{SS} の与えられているノード間に、スイッチング素子を設け、一時的に CPU の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPU の動作を停止することができ、それにより消費電力を低減することができる。

【 0 2 6 6 】

ここでは、CPU を例に挙げて説明したが、DSP (Digital Signal Processor)、カスタム LSI、FPGA (Field Programmable Gate Array) 等の LSI にも応用可能である。

【 0 2 6 7 】

図 1 6 (A) において、警報装置 8 1 0 0 は、住宅用火災警報器であり、検出部と、マイクロコンピュータ 8 1 0 1 を有している。マイクロコンピュータ 8 1 0 1 は、先の実施の形態に示したトランジスタを用いた CPU を含む電気機器の一例である。

【 0 2 6 8 】

図 1 6 (A) において、室内機 8 2 0 0 および室外機 8 2 0 4 を有するエアコンディショナーは、先の実施の形態に示したトランジスタを用いた CPU を含む電気機器の一例である。具体的に、室内機 8 2 0 0 は、筐体 8 2 0 1、送風口 8 2 0 2、CPU 8 2 0 3 等を有する。図 1 6 (A) において、CPU 8 2 0 3 が、室内機 8 2 0 0 に設けられている場合を例示しているが、CPU 8 2 0 3 は室外機 8 2 0 4 に設けられていてもよい。または、室内機 8 2 0 0 と室外機 8 2 0 4 の両方に、CPU 8 2 0 3 が設けられていてもよい。先の実施の形態に示したトランジスタをエアコンディショナーの CPU に用いることによって省電力化が図れる。

【 0 2 6 9 】

図 1 6 (A) において、電気冷凍冷蔵庫 8 3 0 0 は、先の実施の形態に示したトランジスタを用いた CPU を含む電気機器の一例である。具体的に、電気冷凍冷蔵庫 8 3 0 0 は、筐体 8 3 0 1、冷蔵室用扉 8 3 0 2、冷凍室用扉 8 3 0 3、CPU 8 3 0 4 等を有する。図 1 2 (A) では、CPU 8 3 0 4 が、筐体 8 3 0 1 の内部に設けられている。先の実施の形態に示したトランジスタを電気冷凍冷蔵庫 8 3 0 0 の CPU 8 3 0 4 に用いることによって省電力化が図れる。

【 0 2 7 0 】

図 1 6 (B) において、電気機器の一例である電気自動車の例を示す。電気自動車 9 7 0 0 には、二次電池 9 7 0 1 が搭載されている。二次電池 9 7 0 1 の電力は、制御回路 9 7 0 2 により出力が調整されて、駆動装置 9 7 0 3 に供給される。制御回路 9 7 0 2 は、図示しない ROM、RAM、CPU 等を有する処理装置 9 7 0 4 によって制御される。先の実施の形態に示したトランジスタを電気自動車 9 7 0 0 の CPU に用いることによって省電力化が図れる。

【 0 2 7 1 】

駆動装置 9 7 0 3 は、直流電動機もしくは交流電動機単体、または電動機と内燃機関と、を組み合わせ構成される。処理装置 9 7 0 4 は、電気自動車 9 7 0 0 の運転者の操作情報 (加速、減速、停止など) や走行時の情報 (上り坂や下り坂等の情報、駆動輪にかかる負荷情報など) の入力情報に基づき、制御回路 9 7 0 2 に制御信号を出力する。制御回路 9 7 0 2 は、処理装置 9 7 0 4 の制御信号により、二次電池 9 7 0 1 から供給される電気エネルギーを調整して駆動装置 9 7 0 3 の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

【 0 2 7 2 】

なお、本実施の形態は、本明細書で示す他の実施の形態または実施例と適宜組み合わせ

10

20

30

40

50

ることができる。

【実施例 1】

【0273】

本実施例では、酸化物半導体膜上に導電膜を形成し、SIMS (Secondary Ion Mass Spectrometry) 分析により、積層された膜間の元素の拡散または移動について調べた結果について説明する。

【0274】

図17(A)、(B)は、スパッタリング法を用いてIGZO膜およびタングステン膜の積層サンプルを作製し、酸素同位体(^{18}O)の深さ方向のプロファイルを熱処理前後でSIMS分析した結果である。なお、IGZO膜は、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ または $1:3:2$ (原子数比)をスパッタリングターゲットとし、 $\text{Ar}:\text{O}_2$ (^{18}O)= $2:1$ (流量比)を成膜ガスとして用いてDCスパッタリング法で形成している。また、タングステン膜は、タングステンをスパッタリングターゲットとし、 $\text{Ar}100\%$ を成膜ガスとしてDCスパッタリング法を用いて形成した。なお、熱処理は、 300 、 350 、 400 、 450 の各1時間で行い、熱処理を施していないサンプルを含めて各5サンプルで比較を行った。

10

【0275】

ここで、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ (原子数比)をスパッタリングターゲットとして形成したIGZO膜は、結晶性を有するIGZO膜であり、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ (原子数比)をスパッタリングターゲットとして形成したIGZO膜は、非晶質のIGZO膜である。

20

【0276】

図17(A)、(B)に示すように、酸化物半導体膜の組成や結晶性に関わらず、熱処理温度が高くなると、酸化物半導体膜中の酸素がタングステン膜側に取り込まれることがわかる。

【0277】

トランジスタの作製工程にはいくつかの加熱工程があることから、上記現象により、酸化物半導体層のソース電極およびドレイン電極と接した近傍の領域に酸素欠損が発生し、当該領域はn型化する。したがって、n型化した当該領域は、トランジスタのソースまたはドレインとして機能させることができる。

30

【0278】

図18(A)、(B)は上記タングステン膜に換えて、窒化タンタル膜を用いて作製したサンプルについてSIMS分析した結果である。窒化タンタル膜は、タンタルをスパッタリングターゲットとし、 $\text{Ar}:\text{N}_2=5:1$ (流量比)を成膜ガスとして反応性スパッタリング法(DCスパッタリング法)で形成した。なお、熱処理として、上記と同様の各4条件で行い、熱処理を施していないサンプルを含めて各5サンプルで比較を行った。

【0279】

図18(A)は、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ のIGZO膜と窒化タンタル膜の積層サンプルにおけるSIMS分析結果である。いずれのサンプルも窒化タンタル膜中への酸素の移動は確認されず、図17(A)に示したタングステン膜とは異なった挙動を示した。また、図18(B)は、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ のIGZO膜と窒化タンタル膜の積層サンプルにおけるSIMS分析結果である。いずれのサンプルも窒化タンタル膜中への酸素の移動は確認されず、図17(B)に示したタングステン膜とは異なった挙動を示した。したがって、窒化タンタル膜は酸素と結合しにくい膜、または酸素が移動しにくい膜といえることができる。

40

【0280】

図19(A)、(B)は、上記タングステン膜に換えて、窒化チタン膜を用いて作製したサンプルについてSIMS分析した結果である。窒化チタン膜は、チタンをスパッタリングターゲットとし、 $\text{N}_2100\%$ を成膜ガスとして反応性スパッタリング法(DCスパッタリング法)で形成した。なお熱処理として、上記と同様の各4条件で行い、熱処理を

50

施していないサンプルを含めて各5サンプルで比較を行った。

【0281】

図19(A)は、 $In : Ga : Zn = 1 : 1 : 1$ のIGZO膜と窒化チタン膜の積層サンプルにおけるSIMS分析結果である。いずれのサンプルも窒化チタン膜中への酸素の移動は確認されず、図17(A)に示したタングステン膜とは異なった挙動を示した。また、図19(B)は、 $In : Ga : Zn = 1 : 3 : 2$ のIGZO膜と窒化チタン膜の積層サンプルにおけるSIMS分析結果である。いずれのサンプルも窒化チタン膜中への酸素の移動は確認されず、図17(B)に示したタングステン膜とは異なった挙動を示した。したがって、窒化チタン膜は酸素と結合しにくい膜、または酸素が移動しにくい膜といえることができる。

10

【0282】

続いて、IGZO膜中への不純物の移動についてSIMS分析により調べた結果について説明する。

【0283】

図20(A)、(B)は、スパッタリング法でIGZO膜上に窒化タンタルまたは窒化チタン膜を形成し、窒素の深さ方向のプロファイルを熱処理前後でSIMS分析した結果である。なお、IGZO膜は、 $In : Ga : Zn = 1 : 1 : 1$ (原子数比)をスパッタリングターゲットとし、 $Ar : O_2 = 2 : 1$ (流量比)を成膜ガスとして用いてDCスパッタリング法で形成した。また、窒化タンタル膜および窒化チタン膜は、前述の作製方法で形成した。なお、熱処理は、400、1時間の条件で行い、熱処理を施していないサンプルを含めて各2サンプルで比較を行った。

20

【0284】

図20(A)、(B)に示すように、いずれのサンプルもIGZO膜中への窒素の移動は確認されないことが分かった。したがって、IGZO膜中でドナーとなる窒素は、窒化タンタルおよび窒化チタン膜からIGZO膜中に広く移動することがないため、トランジスタのチャネル形成領域をn型化させないことが分かった。

【0285】

また、図21(A)、(B)は、図20で例示した同様のサンプルについて、TaまたはTiの深さ方向のプロファイルをSIMS分析した結果である。図21(A)、(B)に示すように、IGZO膜中へのTaまたはTiの移動が確認されないことが分かった。したがって、トランジスタの電気特性に影響する不純物となりえるTiおよびTaは、窒化タンタル膜または窒化チタン膜からIGZO膜中に広く移動することがないことが分かった。

30

【0286】

以上により、窒化タンタル、窒化チタンなどの導電性窒化物は、酸素と結合しにくい膜または酸素が移動しにくい膜であり、当該導電性窒化膜中の窒素および金属元素は、酸化物半導体膜中に移動しにくいことが示された。

【0287】

本実施例は、本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

40

【実施例2】

【0288】

本実施例では、酸化物半導体膜上に導電膜を形成した後に導電膜を除去し、酸化物半導体膜のシート抵抗値を測定した結果について説明する。

【0289】

図22は、スパッタリング法を用いてIGZO膜を形成し、IGZO膜に積層してスパッタリング法によりタングステン膜または窒化チタン膜を形成し、その後タングステン膜または窒化チタン膜を除去して作製したサンプルについて、IGZO膜をエッチングした深さに対するシート抵抗値を測定した結果である。また、比較として、IGZO膜上に導電膜を形成していないサンプルも作製した。なお、IGZO膜は、 $In : Ga : Zn = 1$

50

: 1 : 1 (原子数比) をスパッタリングターゲットとし、 $Ar : O_2 (^{18}O) = 2 : 1$ (流量比) を成膜ガスとして用いてDCスパッタリング法で形成した。また、タングステン膜は、タングステンをスパッタリングターゲットとし、 $Ar 100\%$ を成膜ガスとしてDCスパッタリング法を用いて形成した。窒化チタン膜は、チタンをスパッタリングターゲットとし、 $N_2 100\%$ を成膜ガスとして反応性スパッタリング法 (DCスパッタリング法) で形成した。タングステン膜および窒化チタン膜のエッチングには、過酸化水素水を用いた。IGZO膜のエッチングには、過酸化水素水とアンモニアの混合水溶液を用いた。また、IGZO膜のエッチング深さは、エッチングの前後における分光エリプソメトリを用いて測定した残膜の厚さから求めた。

【0290】

図22に示すように、IGZO膜上にタングステン膜を形成したサンプルでは、IGZO膜の表面から約5nmの深さまで低抵抗化していることが確認できた。これは、IGZO膜の表面近傍に低抵抗なIGZOとタングステンの混合層が形成されていること、またはIGZO膜中の酸素がタングステン膜中に移動することでIGZO膜の表面近傍の酸素欠損によるn型化した領域が形成されていること、などを示唆している。

【0291】

一方、IGZO膜上に窒化チタンを形成したサンプル、および導電膜を形成していないサンプルでは、IGZO膜の低抵抗化は確認できなかった。これは、窒化チタンを構成する元素がIGZO膜中に移動しにくいこと、または、IGZO膜中の酸素は窒化チタン膜に移動しにくいこと、などを示唆している。

【0292】

図23(A)は、スパッタリング法を用いてIGZO膜を形成し、IGZO膜に積層してスパッタリング法によりタングステン膜または窒化チタン膜を形成し、その後加熱処理を施した後に、タングステン膜または窒化チタン膜を除去して作製したサンプルについて、IGZO膜をエッチングした深さに対するシート抵抗値を測定した結果である。また、比較として、IGZO膜上に導電膜を形成していないサンプルも作製した。なお、IGZO膜、タングステン膜、窒化チタン膜の形成および除去は、上述と同様に行った。加熱処理は、 N_2 雰囲気下で400、1時間の条件で行った。

【0293】

図23(A)に示すように、いずれのサンプルにおいても、IGZO膜の低抵抗化が確認された。ここで、IGZO膜上にタングステン膜を形成したサンプルが、表面近傍で最も低抵抗化され、且つ、最も深くまで低抵抗化されていることが確認できた。これは、タングステン膜が最もIGZO膜中の酸素を取り込みやすいことを示している。また、IGZO膜上に窒化チタンを形成したサンプルでは、IGZO膜上に導電膜を形成しないサンプルと同様の挙動を示している。すなわち、IGZO膜上にタングステン膜が形成されたサンプルでは、タングステン膜にIGZO膜中の酸素が移動することによりIGZO膜の低抵抗化が生じるのに対し、IGZO膜上に窒化チタン膜を形成したサンプルでは、IGZO膜から放出される酸素は窒化チタン膜を透過して上方に放出されることを示唆している。この結果は、実施例1で示したSIMS分析の結果とよく一致している。

【0294】

図23(B)は、スパッタリング法により酸化シリコン膜を形成し、酸化シリコン膜上にスパッタリング法を用いてIGZO膜を形成し、IGZO膜に積層してスパッタリング法によりタングステン膜または窒化チタン膜を形成し、その後加熱処理を施した後に、タングステン膜または窒化チタン膜を除去して作製したサンプルについて、IGZO膜をエッチングした深さに対するシート抵抗値を測定した結果である。また、比較として、IGZO膜上に導電膜を形成していないサンプルも作製した。酸化シリコン膜は、シリコンをスパッタリングターゲットとし、 $O_2 100\%$ を成膜ガスとして反応性スパッタリング法 (DCスパッタリング法) で形成した。なお、IGZO膜、タングステン膜、窒化チタン膜の形成および除去は、上述と同様に行った。加熱処理は、 N_2 雰囲気下で400、1時間の条件で行った。

10

20

30

40

50

【 0 2 9 5 】

図 2 3 (B) では、図 2 3 (A) に示した結果と比較して、I G Z O 膜が低抵抗化される領域が厚さ方向に浅くなっていることが確認できた。これは、熱処理によって酸化シリコン膜から I G Z O 膜に酸素が供給され、I G Z O 膜中の酸素欠損が低減されることにより I G Z O 膜が高抵抗化されたことを示している。このように、I G Z O 膜よりも下側に酸素放出可能な膜を用いることで、I G Z O 膜の低抵抗化される領域の厚さを制御することができることが分かった。

【 0 2 9 6 】

以上により、タングステン膜などの酸素を取り込みやすい導電膜を I G Z O 膜と接して形成することにより、I G Z O 膜の該導電膜と接する近傍の領域を低抵抗化させることができることが確認できた。さらに、熱処理を施すことにより、I G Z O 膜中の低抵抗化する領域を深さ方向に拡大させることができることが確認できた。また、I G Z O 膜の近傍に酸素放出可能な膜を形成することにより、低抵抗化する領域の厚さを制御することができることが分かった。

10

【 0 2 9 7 】

本実施例は、本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【 符号の説明 】

【 0 2 9 8 】

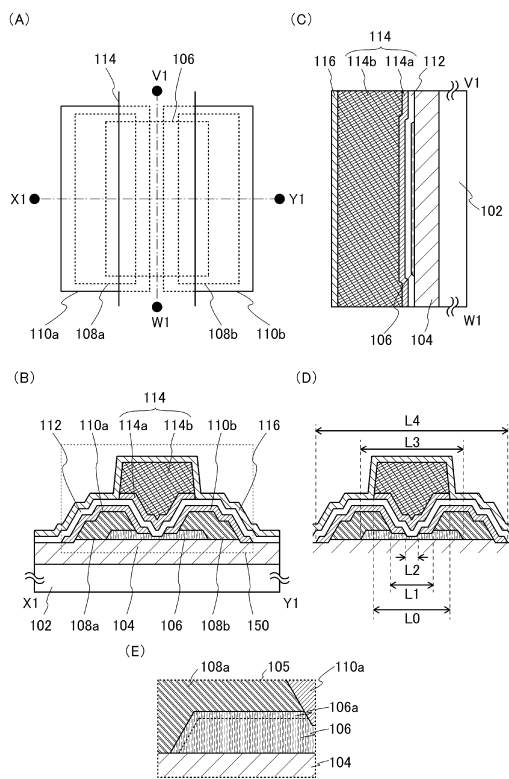
1 0 2	基板	20
1 0 4	酸化物絶縁膜	
1 0 5	領域	
1 0 6	酸化物半導体層	
1 0 6 a	n 型化領域	
1 0 8	第 1 の導電膜	
1 0 8 a	第 1 のソース電極層	
1 0 8 b	第 1 のドレイン電極層	
1 1 0	第 2 の導電膜	
1 1 0 a	第 2 のソース電極層	
1 1 0 b	第 2 のドレイン電極層	30
1 1 2	ゲート絶縁膜	
1 1 3 a	第 3 の導電膜	
1 1 3 b	第 4 の導電膜	
1 1 4	ゲート電極層	
1 1 4 a	第 1 のゲート電極層	
1 1 4 b	第 2 のゲート電極層	
1 1 6	保護絶縁膜	
1 5 0	トランジスタ	
1 5 2	トランジスタ	
1 5 4	トランジスタ	40
1 5 6	トランジスタ	
1 5 8	トランジスタ	
1 6 8 a	第 1 のソース電極層	
1 6 8 b	第 1 のドレイン電極層	
1 7 4	ゲート電極層	
1 7 4 a	第 1 のゲート電極層	
1 7 4 b	第 2 のゲート電極層	
1 7 8 a	第 1 のソース電極層	
1 7 8 b	第 1 のドレイン電極層	
1 8 0 a	第 2 のソース電極層	50

1 8 0 b	第 2 のドレイン電極層	
1 9 0 a	レジストマスク	
1 9 0 b	レジストマスク	
1 9 2	レジストマスク	
1 9 4 a	レジストマスク	
1 9 4 b	レジストマスク	
1 9 6	レジストマスク	
5 0 0	マイクロコンピュータ	
5 0 1	直流電源	
5 0 2	バスライン	10
5 0 3	パワーゲートコントローラ	
5 0 4	パワーゲート	
5 0 5	C P U	
5 0 6	揮発性記憶部	
5 0 7	不揮発性記憶部	
5 0 8	インターフェース	
5 0 9	検出部	
5 1 1	光センサ	
5 1 2	アンプ	
5 1 3	A D コンバータ	20
5 3 0	発光素子	
6 0 1	半導体基板	
6 0 3	素子分離領域	
6 0 4 a	第 1 のゲート電極層	
6 0 4 b	第 2 のゲート電極層	
6 0 6	酸化物半導体層	
6 0 7	ゲート絶縁膜	
6 0 9	ゲート電極層	
6 1 1 a	不純物領域	
6 1 1 b	不純物領域	30
6 1 2	ゲート絶縁膜	
6 1 5	絶縁膜	
6 1 6 a	第 1 のソース電極層	
6 1 6 b	第 1 のドレイン電極層	
6 1 6 c	電極	
6 1 7	絶縁膜	
6 1 8	保護絶縁膜	
6 1 9 a	コンタクトプラグ	
6 1 9 b	コンタクトプラグ	
6 2 0	絶縁膜	40
6 2 1	絶縁膜	
6 2 2	絶縁膜	
6 2 3 a	配線	
6 2 3 b	配線	
6 2 4	電極	
6 2 5	酸化物絶縁膜	
6 2 6 a	第 2 のソース電極層	
6 2 6 b	第 2 のドレイン電極層	
6 2 6 c	電極	
6 4 5	絶縁膜	50

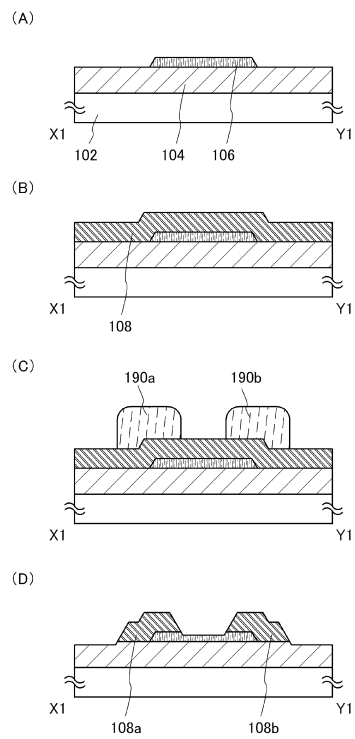
6 4 6	絶縁膜	
6 4 9	配線	
6 5 6	配線	
6 6 0	半導体膜	
7 1 4	光電変換素子	
7 1 7	トランジスタ	
7 1 9	トランジスタ	
1 1 4 1	スイッチング素子	
1 1 4 2	メモリセル	
1 1 4 3	メモリセル群	10
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	20
1 1 9 9	ROM	
3 0 0 0	基板	
3 1 0 6	素子分離絶縁層	
3 1 5 0	電極	
3 2 0 0	トランジスタ	
3 2 0 2	トランジスタ	
3 2 0 4	容量素子	
3 2 2 0	酸化物絶縁膜	
4 1 6 2	トランジスタ	
4 2 5 0	メモリセル	30
4 2 5 1	メモリセルアレイ	
4 2 5 1 a	メモリセルアレイ	
4 2 5 1 b	メモリセルアレイ	
4 2 5 3	周辺回路	
4 2 5 4	容量素子	
8 1 0 0	警報装置	
8 1 0 1	マイクロコンピュータ	
8 2 0 0	室内機	
8 2 0 1	筐体	
8 2 0 2	送風口	40
8 2 0 3	CPU	
8 2 0 4	室外機	
8 3 0 0	電気冷凍冷蔵庫	
8 3 0 1	筐体	
8 3 0 2	冷蔵室用扉	
8 3 0 3	冷凍室用扉	
8 3 0 4	CPU	
9 7 0 0	電気自動車	
9 7 0 1	二次電池	
9 7 0 2	制御回路	50

9 7 0 3 駆動装置
9 7 0 4 処理装置

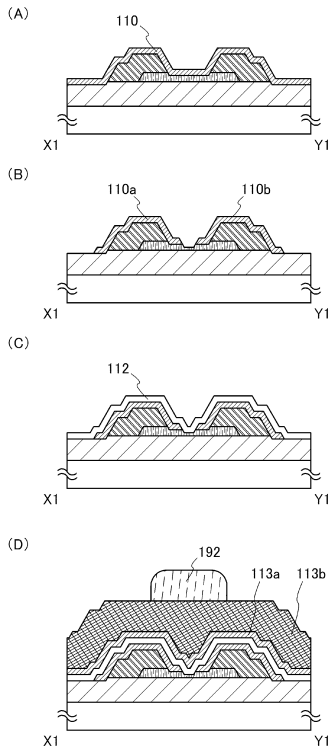
【図 1】



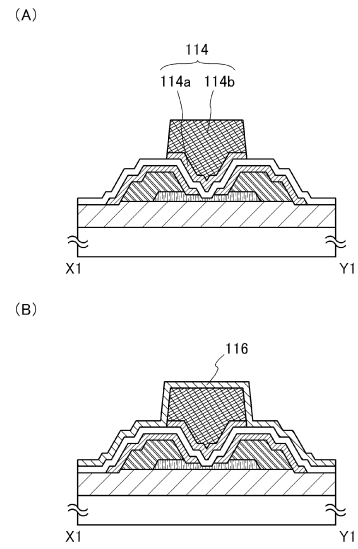
【図 2】



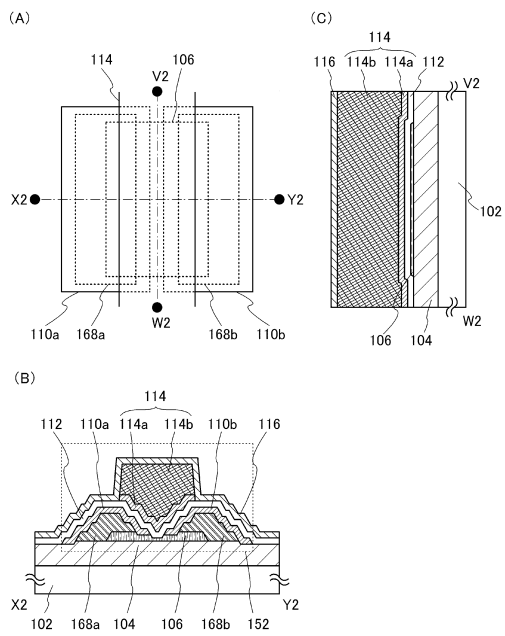
【 図 3 】



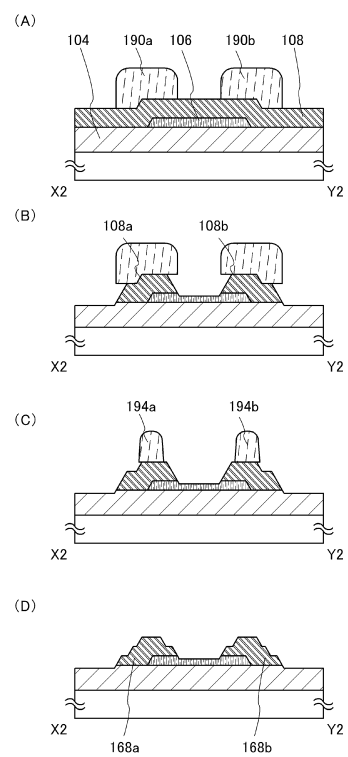
【 図 4 】



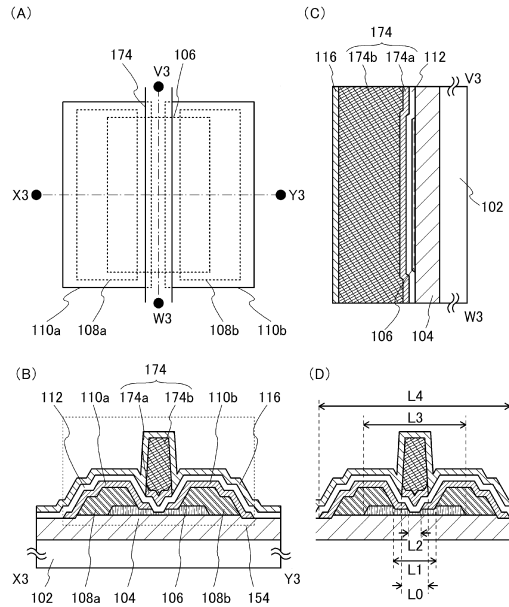
【 図 5 】



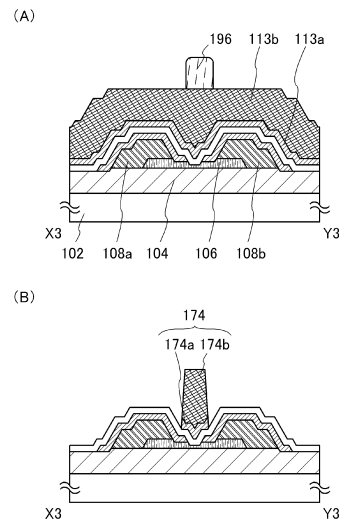
【 図 6 】



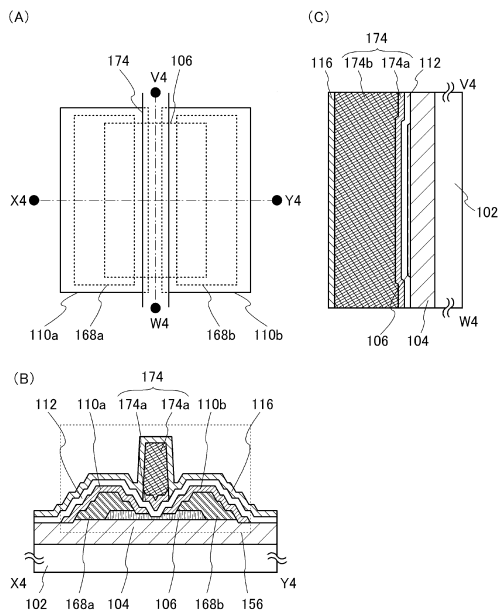
【 図 7 】



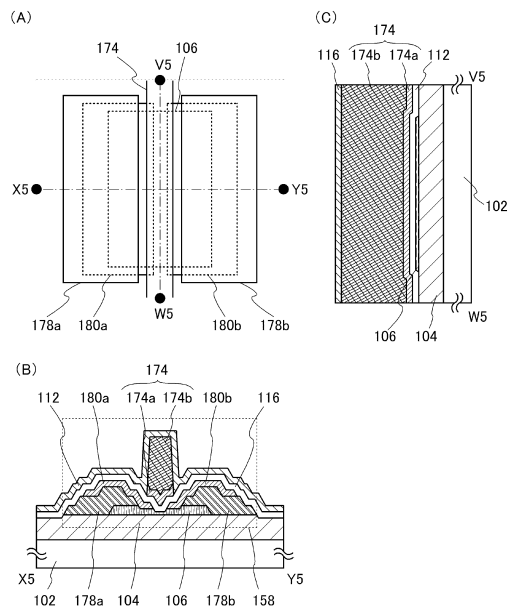
【 図 8 】



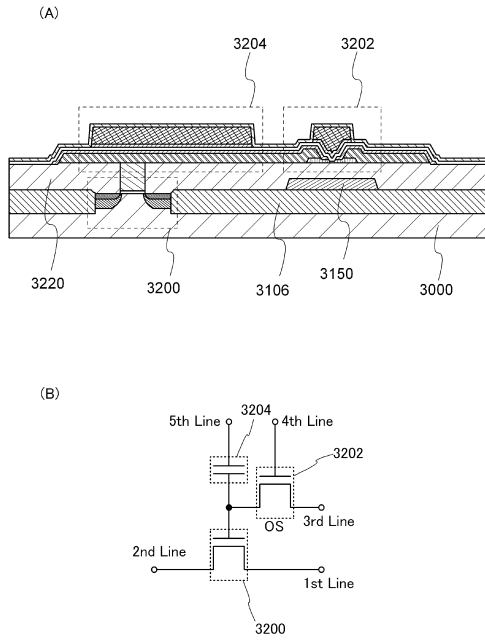
【 図 9 】



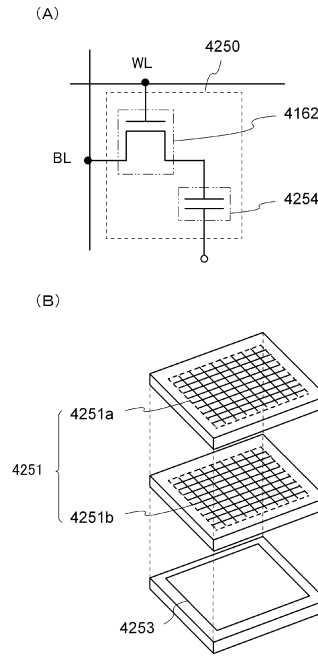
【 図 10 】



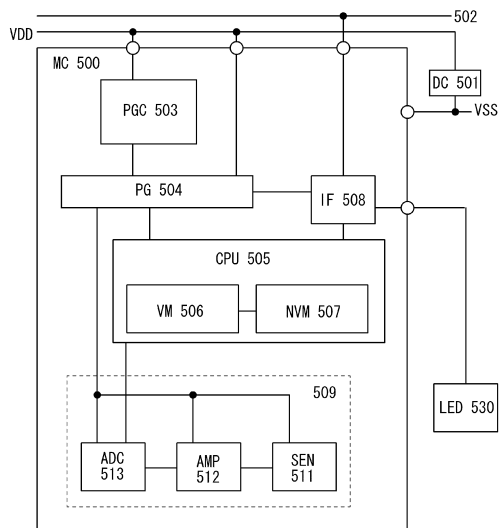
【 図 1 1 】



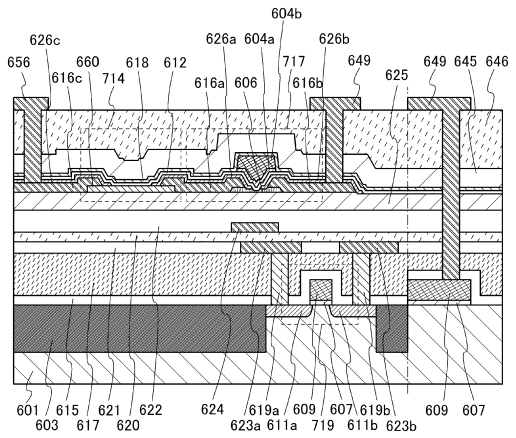
【 図 1 2 】



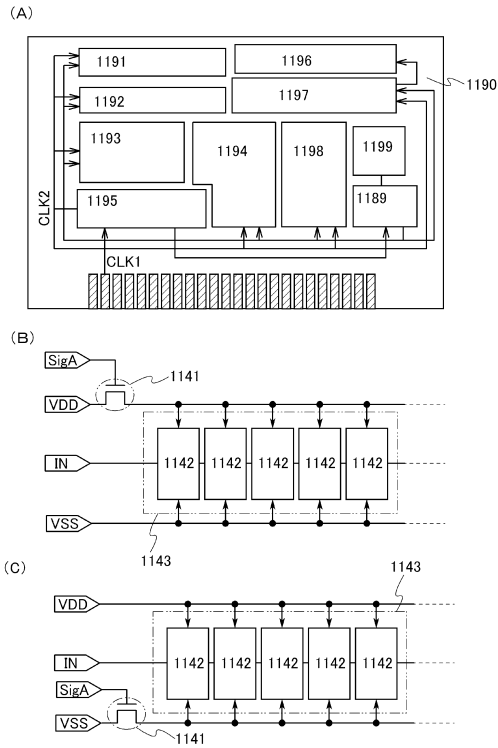
【 図 1 3 】



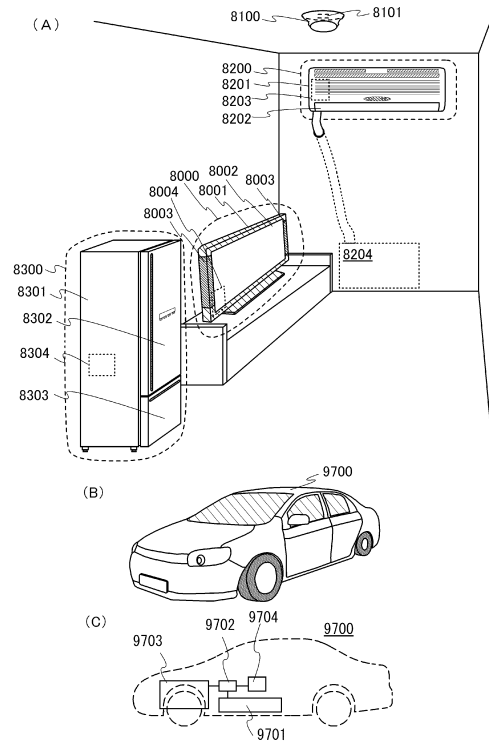
【 図 1 4 】



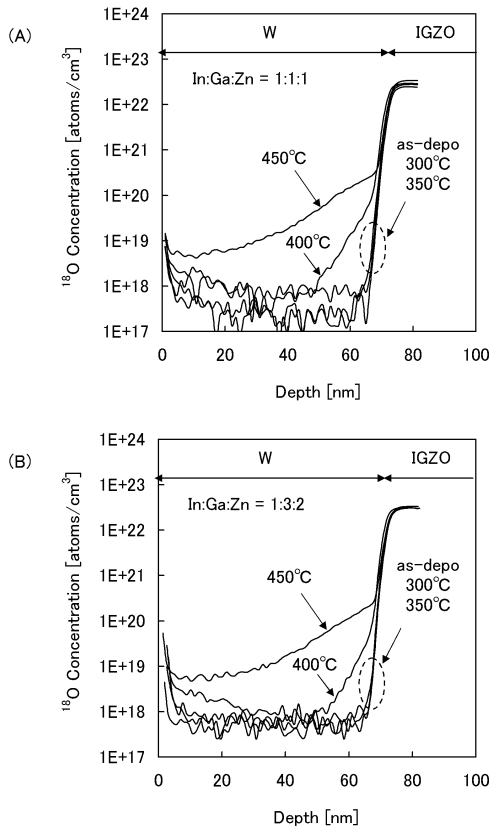
【 15 】



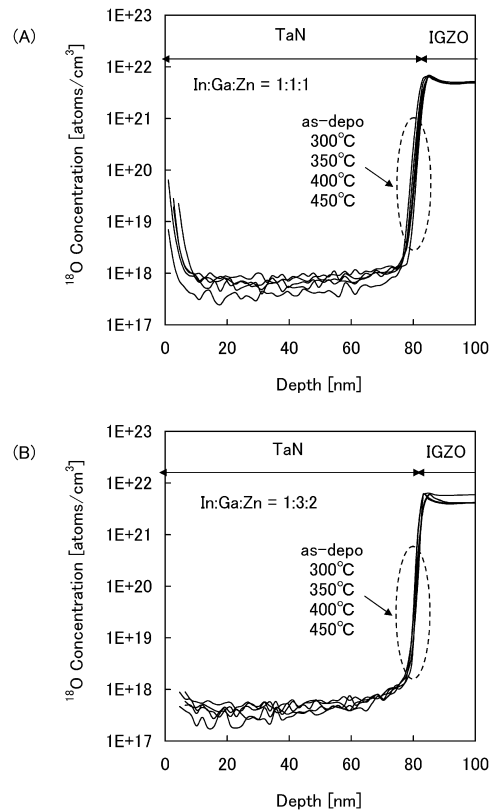
【 16 】



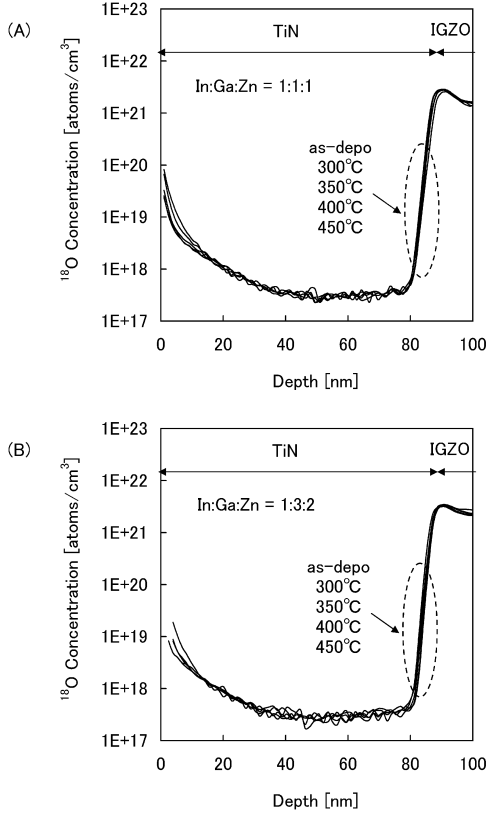
【 17 】



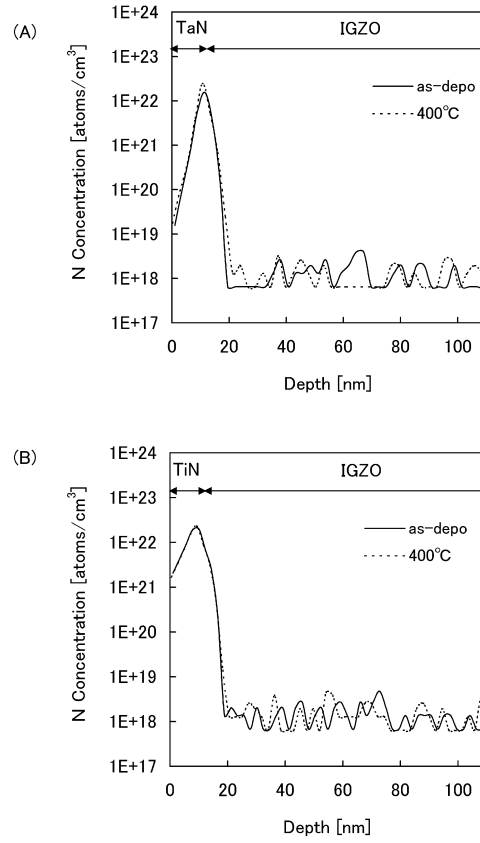
【 18 】



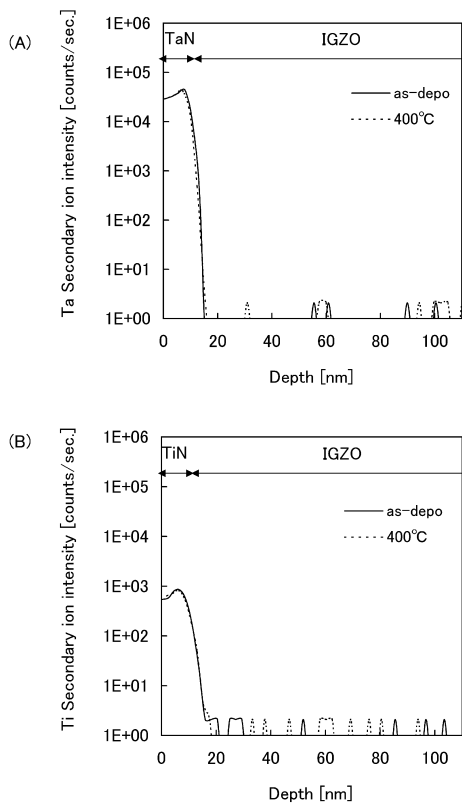
【 図 19 】



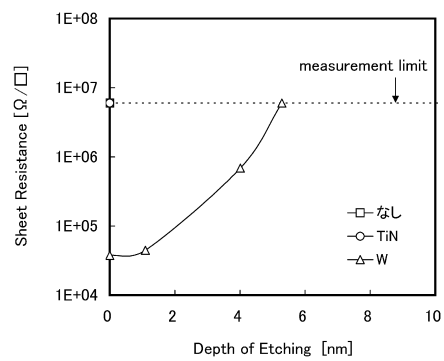
【 図 20 】



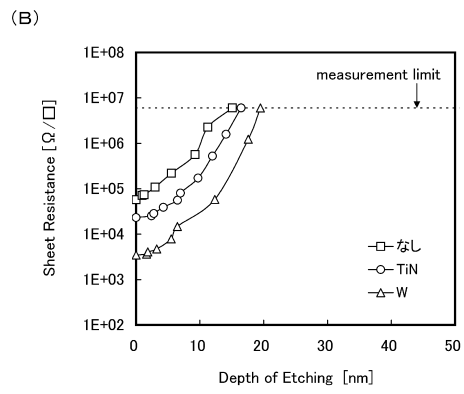
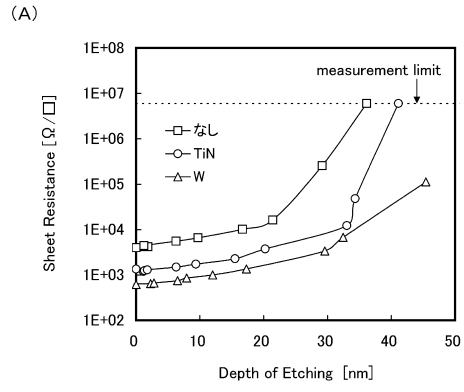
【 図 21 】



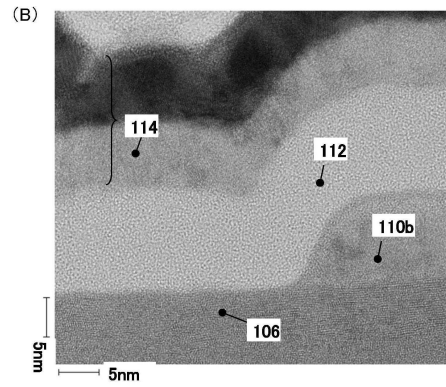
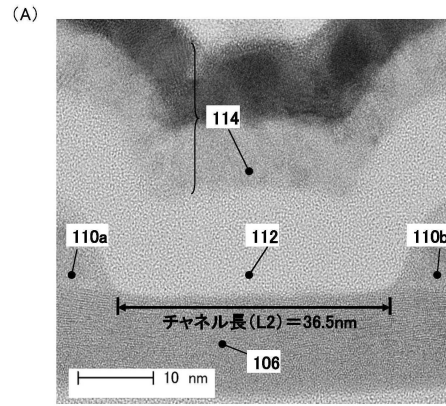
【 図 22 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/28	(2006.01)	H 0 1 L	27/088 3 3 1 E
H 0 1 L	29/417	(2006.01)	H 0 1 L	27/088 E
H 0 1 L	29/423	(2006.01)	H 0 1 L	27/088 H
H 0 1 L	29/49	(2006.01)	H 0 1 L	21/28 3 0 1 B
H 0 1 L	29/788	(2006.01)	H 0 1 L	29/50 M
H 0 1 L	29/792	(2006.01)	H 0 1 L	29/58 G
H 0 1 L	21/8242	(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	27/108	(2006.01)	H 0 1 L	27/108 3 2 1
H 0 1 L	27/115	(2017.01)	H 0 1 L	27/115
H 0 1 L	27/1156	(2017.01)	H 0 1 L	27/1156
H 0 1 L	21/8239	(2006.01)	H 0 1 L	27/108 6 2 1 Z
H 0 1 L	27/105	(2006.01)	H 0 1 L	27/105 4 4 1
			H 0 1 L	27/108 6 7 1 C
			H 0 1 L	27/108 6 7 1 Z

審査官 岩本 勉

- (56)参考文献 特開2012-064929(JP,A)
 特開2011-135063(JP,A)
 米国特許出願公開第2013/0082256(US,A1)
 米国特許出願公開第2012/0040495(US,A1)
 特開2011-139054(JP,A)
 米国特許出願公開第2014/0106506(US,A1)
 特開2012-064923(JP,A)
 米国特許出願公開第2012/0001169(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 3 3 6