

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-138137
(P2013-138137A)

(43) 公開日 平成25年7月11日(2013.7.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 C	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 S	
	HO 1 L 29/78 6 5 8 F	
	HO 1 L 29/06 3 0 1 G	
審査請求 未請求 請求項の数 13 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2011-288863 (P2011-288863)
(22) 出願日 平成23年12月28日 (2011.12.28)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 100064414
弁理士 磯野 道造
(74) 代理人 100111545
弁理士 多田 悦夫
(72) 発明者 豊田 善章
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(72) 発明者 若木 政利
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

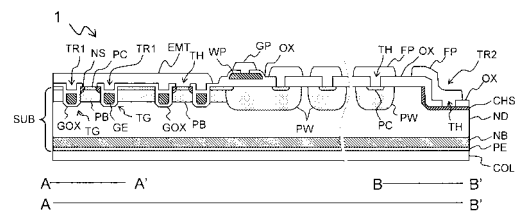
(54) 【発明の名称】 半導体装置及びその製造方法並びにそれを用いた電力変換装置

(57) 【要約】

【課題】 製造工程数を削減すると共に、ターミネーション領域の幅の拡大を抑制する半導体装置を提供する。

【解決手段】 半導体装置1は、コレクタ電極COL、ホールエミッタ層PE、n型パツファ層NB及びn型ドリフト層NDが積層される。また、n型ドリフト層ND内には対で溝TR1が形成され、その中にゲート酸化膜GOXを介してゲート電極GEが埋め込まれたトレンチゲートTGが形成される。各対のトレンチゲートTGの間にエミッタ電極EMTと接してp型コンタクト層PC及びn型ソース層NSが形成され、p型コンタクト層PCとn型ドリフト層NDとの間にp型ベース層PBが形成される。また、ターミネーション領域には、n型ドリフト層NDに接してp型ウェル層PWが形成され、端部に溝TR1と同じ深さの段差TR2が設けられ、その側面及び底面であるn型ドリフト層NDに接して、チャンネルストップ層CHSが形成される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 半導体層が形成された半導体基板と、
前記第 1 半導体層内に形成された一对の溝の中に設けられた一对のトレンチゲートと、
前記一对のトレンチゲートの間に、前記一对のトレンチゲート及び前記第 1 半導体層と
接する第 2 導電型の第 2 半導体層と、
前記第 2 半導体層及び前記半導体基板の表面と接する前記第 2 導電型の第 3 半導体層と

、
前記一对のトレンチゲートの側面及び前記半導体基板の表面と接する前記第 1 導電型の
第 4 半導体層と、

前記半導体基板の端部に形成され、前記第 1 半導体層内に前記半導体基板の表面に対し
て段差を有する段差部の側面及び底面と接する前記第 1 導電型の第 5 半導体層と、を備え

、
前記トレンチゲートは、ゲート絶縁膜とゲート電極とを有し、前記ゲート電極は、前記
第 1 半導体層、前記第 2 半導体層及び前記第 4 半導体層と、前記ゲート絶縁膜を介して接
することを特徴とする半導体装置。

【請求項 2】

前記溝の底面と前記段差部の底面とは、前記半導体基板の表面からの深さが同じである
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記段差部の側面及び底面に、絶縁膜を介して前記ゲート電極と同じ材質の膜を備える
ことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

第 1 導電型の第 1 半導体層が形成された半導体基板と、
前記第 1 半導体層内に形成された 3 つで一組の溝において、中央の前記溝の中に設けら
れた第 1 トレンチゲートと、前記中央の溝を挟む両端の前記溝の中に設けられた一对の第
2 トレンチゲートと、を備え、

前記第 1 トレンチゲート及び前記第 2 トレンチゲートの間の領域において、
前記第 1 トレンチゲート、前記第 2 トレンチゲート及び前記第 1 半導体層と接する第 2
導電型の第 2 半導体層と、

前記第 2 半導体層及び半導体基板の表面と接する前記第 2 導電型の第 3 半導体層と、
前記第 1 トレンチゲートの側面及び前記半導体基板の表面と接する前記第 1 導電型の第
4 半導体層と、を備え、

前記一对の第 2 トレンチゲートと他の一对の第 2 トレンチゲートとの間において、
前記第 1 半導体層と接する前記第 2 導電型の第 5 半導体層を備え、

前記半導体基板の端部において、
前記第 1 半導体層内に前記半導体基板の表面に対して段差を有する段差部が形成してあ
り、前記段差部の側面及び底面と接する前記第 1 導電型の第 5 半導体層を備え、

前記第 1 トレンチゲート及び前記第 2 トレンチゲートは、それぞれゲート絶縁膜とゲー
ト電極とを有し、前記第 1 トレンチゲートの前記ゲート電極は、前記第 1 半導体層、前記
第 2 半導体層及び前記第 4 半導体層と前記ゲート絶縁膜を介し、前記第 2 トレンチゲート
の前記ゲート電極は、前記第 1 半導体層及び前記第 2 半導体層と前記ゲート絶縁膜を介し
て接することを特徴とする半導体装置。

【請求項 5】

前記第 1 トレンチゲートの底面と、前記第 2 トレンチゲートの底面と、前記段差部の底
面とは、前記半導体基板の表面からの深さが同じであることを特徴とする請求項 4 に記載
の半導体装置。

【請求項 6】

前記段差部の側面及び底面に、絶縁膜を介して前記第 1 トレンチゲート及び前記第 2 ト
レンチゲートと同じ材質の膜を備えることを特徴とする請求項 4 又は請求項 5 に記載の半

10

20

30

40

50

導体装置。

【請求項 7】

第 1 導電型の第 1 半導体層が形成された半導体基板と、
 前記第 1 半導体層内に形成された一对の溝と、
 前記一对の溝の側面及び底面に接するサイドゲートと、を備え、
 前記一对の溝の間に、
 前記一对の溝の互いに隣接する側面及び前記第 1 半導体層と接する第 2 導電型の第 2 半導体層と、
 前記第 2 半導体層及び半導体基板の表面と接する前記第 2 導電型の第 3 半導体層と、
 前記一对の溝の互いに隣接する側面及び前記半導体基板の表面と接する前記第 1 導電型の第 4 半導体層と、を備え、
 前記半導体基板の端部において、
 前記第 1 半導体層内に前記半導体基板の表面に対して段差を有する段差部が形成してあり、前記絶縁膜を介して前記段差部の側面及び底面に前記サイドゲートと同じ材質の膜を備え、
 前記第 2 の段差部の側面及び底面と接する前記第 1 導電型の第 5 半導体層を備え、
 前記サイドゲートは、ゲート絶縁膜とゲート電極とを有し、前記ゲート電極は前記第 1 半導体層と前記ゲート絶縁膜を介して接することを特徴とする半導体装置。

10

【請求項 8】

前記溝の底面と前記段差部の底面とは、前記半導体基板の表面からの深さが同じであることを特徴とする請求項 7 に記載の半導体装置。

20

【請求項 9】

前記ゲート絶縁膜の膜厚は 50 nm 以上 150 nm 以下であることを特徴とする請求項 1 乃至請求項 8 の何れか一項に記載の半導体装置。

【請求項 10】

請求項 1 に記載の半導体装置の製造方法であって、
 第 1 導電型の第 1 半導体層が形成された半導体基板の表面付近に、第 2 導電型の不純物を第 1 濃度で注入する第 1 工程と、
 前記第 1 半導体層の表面付近の前記第 1 濃度で注入される前記第 2 導電型の不純物よりも浅い位置に、前記第 2 導電型の不純物を前記第 1 濃度より高い濃度の第 2 濃度で注入する第 2 工程と、
 前記半導体基板の表面からエッチングして、前記第 1 半導体層に一对のトレンチゲートを設けるための一对の溝と、前記半導体基板の端部に段差部と、を形成する第 3 工程と、
 熱酸化処理によって前記溝の内壁に絶縁膜を形成する第 4 工程と、
 前記溝に導電物質を埋め込む第 5 工程と、
 前記第 4 工程において形成された前記絶縁膜であって、前記溝の内壁以外に形成された前記絶縁膜を除去する第 6 工程と、
 前記一对の溝の間であって前記溝と接する部分の近傍と、前記段差部の底面及び側面とに、前記第 1 導電型の不純物を、前記半導体基板の表面に対して斜め方向から注入する第 7 工程と、
 を含み、
 前記第 1 工程と前記第 2 工程とは、マスクを変更することなく連続して行い、前記第 3 工程において、前記溝及び前記段差部を前記半導体基板の表面から同じ深さにエッチングすることを特徴とする半導体装置の製造方法。

30

40

【請求項 11】

請求項 4 に記載の半導体装置の製造方法であって、
 第 1 導電型の第 1 半導体層が形成された半導体基板の表面付近に、第 2 導電型の不純物を第 1 濃度で注入する第 1 工程と、
 前記第 1 半導体層の表面付近の前記第 1 濃度で注入される前記第 2 導電型の不純物よりも浅い位置に、前記第 2 導電型の不純物を前記第 1 濃度より高い濃度の第 2 濃度で注入す

50

る第 2 工程と、

前記半導体基板の表面からエッチングして、前記第 1 半導体層に第 1 トレンチゲート及び第 2 トレンチゲートを設けるための 3 つで一組の溝と、前記半導体基板の端部に段差部と、を形成する第 3 工程と、

熱酸化処理によって前記溝の内壁に絶縁膜を形成する第 4 工程と、

前記溝に導電物質を埋め込む第 5 工程と、

前記第 4 工程において形成された前記絶縁膜であって、前記溝の内壁以外に形成された前記絶縁膜を除去する第 6 工程と、

前記一对の溝の間であって前記溝と接する部分の近傍と、前記段差部の底面及び側面に、前記第 1 導電型の不純物を、前記半導体基板の表面に対して斜め方向から注入する第 7 工程と、

を含み、

前記第 1 工程と前記第 2 工程とは、マスクを変更することなく連続して行い、前記第 3 工程において、前記溝及び前記段差部を前記半導体基板の表面から同じ深さにエッチングすることを特徴とする半導体装置の製造方法。

【請求項 1 2】

請求項 7 に記載の半導体装置の製造方法であって、

第 1 導電型の第 1 半導体層が形成された半導体基板の表面付近に、第 2 導電型の不純物を第 1 濃度で注入する第 1 工程と、

前記第 1 半導体層の表面付近の前記第 1 濃度で注入される前記第 2 導電型の不純物よりも浅い位置に、前記第 2 導電型の不純物を前記第 1 濃度より高い濃度の第 2 濃度で注入する第 2 工程と、

前記半導体基板の表面からエッチングして、前記第 1 半導体層に一对のサイドゲートを設けるための一对の溝と、前記半導体基板の端部に段差部と、を形成する第 3 工程と、

熱酸化処理によって前記溝の内壁及び前記段差部の底面及び側面に絶縁膜を形成する第 4 工程と、

前記溝の底面及び側面と接する角部と、前記段差部の底面及び側面と接する角部と、に接するように導電物質膜を形成する第 5 工程と、

前記第 4 工程において形成された前記絶縁膜であって、前記溝の前記角部及び前記段差部の前記角部以外に形成された前記絶縁膜を除去する第 6 工程と、

前記一对の溝の間であって前記溝と接する部分の近傍と、前記段差部の底面及び側面に、前記第 1 導電型の不純物を、前記半導体基板の表面に対して斜め方向から注入する第 7 工程と、

を含み、

前記第 1 工程と前記第 2 工程とは、マスクを変更することなく連続して行い、前記第 3 工程において、前記溝及び前記段差部を前記半導体基板の表面から同じ深さにエッチングすることを特徴とする半導体装置の製造方法。

【請求項 1 3】

一对の直流端子と、交流の相数と同数の交流端子と、前記一对の直流端子間に接続された、それぞれのスイッチング素子と逆極性のダイオードの並列回路を 2 個直列に接続した構成からなり、前記並列回路の相互接続点が異なる交流端子に接続された交流の相数と同数の電力変換単位とを備え、前記スイッチング素子が請求項 1 乃至請求項 9 の何れか一項に記載の半導体装置であることを特徴とする電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用の半導体装置及びその製造方法並びにそれを用いた電力変換装置に係り、特に安定動作を実現する電力用の半導体装置に関する。

【背景技術】

【0002】

10

20

30

40

50

絶縁ゲート縦型半導体装置は、電力変換装置に主に用いられており、制御できる電力が数十ワットから数十万ワット、スイッチング周波数も数十ヘルツから百キロヘルツ超と幅広い。この特徴を生かして、エアコンや電子レンジなどの家庭用の省電力機器から、電気自動車や鉄道、製鉄所用のインバータまで広く使われている。

【0003】

この絶縁ゲート縦型半導体装置は、半導体基板の表面だけでなく裏面にも電極形成などの工程が必要であり、製造工程数の削減が求められている。絶縁ゲート縦型半導体装置の製造工数を削減する方法として、特許文献1に記載された方法がある。図8に特許文献1に記載の絶縁ゲート縦型半導体装置の断面構造を示す。

【0004】

図8に示すように、特許文献1に記載の絶縁ゲート縦型半導体装置は、シリコン基板500上にドレイン領域511、ウェル領域512、n型ソース層513、p型コンタクト層514、アルミ膜550及びバリアメタル560が形成されている。また、ウェル領域512からドレイン領域511にかけて形成されたトレンチ溝に絶縁物質540で絶縁されたゲート電極520が設けられている。

【0005】

ここで、トレンチ溝上部が凹形状になるようにゲート電極520が形成されており、半導体表面に対して斜め方向にn型不純物を打ち込んでn型ソース層513を形成している。更に、p型不純物を半導体表面に打ち込むことによりp型コンタクト層514を形成している。これによって、n型ソース層513およびp型コンタクト層514をレジストパターンを用いることなく形成でき、製造工程数の削減が図られている。

【0006】

更に、絶縁ゲート縦型半導体装置の製造工程数を削減するもう1つの方法として、特許文献2に記載の方法がある。特許文献2では、電圧を保持するための終端構造(ターミネーション)に用いられるp型ウェル層とトランジスタのチャネル領域を形成するp型ベース層とを同じ不純物打ち込み工程で作製することにより製造工程数の削減が図られている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2005-116649号公報

【特許文献2】特開2011-29675号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献1に記載の絶縁ゲート縦型半導体装置は、ターミネーション領域の構造に関して記載されていない。ターミネーション領域の端部では、横方向への空乏層の伸びを抑制するためn型不純物領域(チャネルストップ層)を形成する必要があるが、n型ソース層を形成した後、p型コンタクト層をレジストパターンを用いることなく形成するため、ターミネーション領域の端部にn型不純物領域のみを形成するのは困難である。

【0009】

一方、特許文献2に記載の絶縁ゲート縦型半導体装置では、n型ソース層を形成した後、酸化シリコン膜にコンタクトホールを開口し、酸化シリコン膜をマスクにしてp型コンタクト層を形成する。このため、ターミネーション端部にn型不純物領域を形成することは可能であるが、コンタクトホール部には必ずp型コンタクト層が形成されるため、n型不純物領域と金属電極とを直接コンタクトさせることができない。n型不純物領域の後方にp型コンタクト層を形成し、p型コンタクト層を介してn型不純物領域と金属電極とを電氣的に接続させる構造となってしまう。このため、ターミネーションの幅が広がってしまうという問題がある。

10

20

30

40

50

【 0 0 1 0 】

本発明は、上記のような問題に鑑みてなされたものであって、製造工程数を削減でき、ターミネーション幅の拡大を抑制できる半導体装置を提供することを課題とする。

【課題を解決するための手段】

【 0 0 1 1 】

前記した課題を解決するために、本発明の半導体装置は、第1導電型の第1半導体層が形成された半導体基板と、前記第1半導体層内に形成された一对の溝の中に設けられた一对のトレンチゲートと、前記一对のトレンチゲートの間に、前記一对のトレンチゲート及び前記第1半導体層と接する第2導電型の第2半導体層と、前記第2半導体層及び前記半導体基板の表面と接する前記第2導電型の第3半導体層と、前記一对のトレンチゲートの側面及び前記半導体基板の表面と接する前記第1導電型の第4半導体層と、前記半導体基板の端部に形成され、前記第1半導体層内に前記半導体基板の表面に対して段差を有する段差部の側面及び底面と接する前記第1導電型の第5半導体層と、を備え、前記トレンチゲートは、ゲート絶縁膜とゲート電極とを有し、前記ゲート電極は、前記第1半導体層、前記第2半導体層及び前記第4半導体層と、前記ゲート絶縁膜を介して接するように構成した。

10

【発明の効果】

【 0 0 1 2 】

本発明の半導体装置によれば、第2半導体層と第3半導体層とを同一のマスクを用いて形成できるため、製造工程数を削減することができる。更に、半導体基板の外縁部に設けられるターミネーション領域の端部において、第1導電型の不純物領域と金属電極とを直接コンタクトさせることができるため、ターミネーション領域の幅の拡大を抑制することができる。

20

【図面の簡単な説明】

【 0 0 1 3 】

【図1】本発明の第1実施形態から第3実施形態に係る半導体装置の模式的平面図である。

【図2】本発明の第1実施形態に係る半導体装置の要部構成を示す模式的断面図である。

【図3A】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す模式的断面図であり、(a)から(c)は、それぞれ製造工程の途中の段階を示す。

30

【図3B】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す模式的断面図であり、(a)、(b)は、それぞれ製造工程の途中の段階を示す。

【図4】本発明の第2実施形態に係る半導体装置の要部構成を示す模式的断面図である。

【図5】本発明の第3実施形態に係る半導体装置の要部構成を示す模式的断面図である。

【図6】本発明の第3実施形態に係る半導体装置の製造工程を示す模式的断面図であり、(a)から(c)は、それぞれ製造工程の途中の段階を示す。

【図7】本発明の第4実施形態に係る電力変換装置の構成を示す回路図である。

【図8】従来の半導体装置の要部構成を示す模式的断面図である。

【発明を実施するための形態】

【 0 0 1 4 】

40

本発明を実施する形態について、図面を参照しながら説明する。なお、各図及び各実施形態において、同一又は類似の構成要素には同じ符号を付し、適宜説明を省略する。

【 0 0 1 5 】

< 第1実施形態 >

[半導体装置の構成]

まず、図1及び図2を参照して、本発明の第1実施形態に係る半導体装置の構成について説明する。なお、図1及び図2に示した半導体装置1は、ゲート電極を有する縦型トランジスタである。更に詳細には、トレンチゲート構造のnチャネル型MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)を有するIGBT(Insulated Gate Bipolar Transistor)である。

50

【0016】

図1に示すように、第1実施形態に係る半導体装置1は、平面視で、中央部にゲートパッドGP及び電流が流れるアクティブ領域ACTが配置されており、アクティブ領域ACTの周辺を取り囲むようにターミネーション領域TERが配置されている。また、ターミネーション領域TERには、金属電極FPが多重に配置されている。

【0017】

また、図2は、図1のA-B'における断面図であり、A-A'はアクティブ領域ACTの、B-B'はターミネーション領域TERの、断面をそれぞれ示す。

【0018】

図2に示すように、アクティブ領域ACTのA-A'断面においては、コレクタ電極COLに接してホールエミッタ層PEが形成されており、更にn型バッファ層NBとn型ドリフト層NDとp型ベース層PBとp型コンタクト層PCとが順次形成されている。また、半導体基板SUBの表面は酸化シリコン膜OXで被覆されており、酸化シリコン膜OXには、n型ソース層NS及びp型コンタクト層PCとエミッタ電極EMTと、p型ウェル層PW内のp型コンタクト層PCと金属電極FPと、ゲート電極の配線WPとゲートパッドGPと、をそれぞれ電氣的に接続するためのコンタクトホールTHが適宜設けられている。

10

【0019】

なお、本明細書において、半導体基板SUBとは、元の半導体基板SUBそのものであるn型ドリフト層NDのほか、イオン注入により導電型や不純物濃度が変化するホールエミッタ層PE、n型バッファ層NB、p型ベース層PB、p型コンタクト層PC及びn型ソース層NSを含めた半導体層全体を指すものとする。また、半導体基板SUBのエミッタ電極EMTが設けられる側を表面、コレクタ電極COLが設けられる側を裏面と呼ぶこととする。

20

【0020】

また、半導体基板SUBの上端からn型ドリフト層NDの上部にかけて、一对の溝TR1が形成され、この一对の溝TR1内にそれぞれトレンチゲートTGが形成されている。このトレンチゲートTGは、溝TR1にゲート電極GEがゲート酸化膜GOXを介して埋め込まれた構造を有している。また、ゲート電極GEは、外部と接続するためのゲートパッドGPと配線WPを介して電氣的に接続されている。なお、ゲート酸化膜GOXは、トレンチゲートTGの上面を被覆する酸化シリコン膜OXと一体化した絶縁膜を形成している。

30

【0021】

一对のトレンチゲートTGの間にはエミッタ電極EMTと接してp型コンタクト層PC及びn型ソース層NSが形成されている。更に、p型コンタクト層PCとn型ドリフト層NDとの間にp型ベース層PBが形成されている。従って、トレンチゲートTGは、側面上部でn型ソース層NSと接し、側面でp型ベース層PBと接し、底面及び側面下部でn型ドリフト層NDと接している。

【0022】

また、アクティブ領域ACTにおいて、一对のトレンチゲートTG並びにその間に形成されるp型コンタクト層PC、n型ソース層NS及びp型ベース層PBからなる構造は、この構造を単位として、1つ又は複数の単位が形成される。すなわち、図2のA-B'断面においては、2単位の構造(すなわち、二対のトレンチゲートTG)が示されている。

40

【0023】

また、ターミネーション領域TERのB-B'断面においても、A-A'断面と同様にコレクタ電極COLに接してホールエミッタ層PEが形成されており、更にn型バッファ層NBとn型ドリフト層NDとが順次形成されている。ターミネーション領域TERの内側領域では、n型ドリフト層NDと半導体基板SUBの表面とに接してp型ウェル層PWが形成されている。このp型ウェル層PWは、ターミネーション領域TERにおいて平面視で内部を取り囲むように形成され、端部から内側方向(図2においては右端から左方向

50

）に1重又は多重に形成される。なお、図2に示した例では、p型ウェル層PWは多重に形成されている。

【0024】

また、ターミネーション領域TERの端部においては、段差TR2が設けられており、段差TR2の側面及び底面に接して、チャンネルストッパ層CHSが形成されている。p型ウェル層PW及びチャンネルストッパ層CHSは、酸化シリコン膜OXに形成されたコンタクトホールTHを介して、それぞれ金属電極FPと接続している。

【0025】

また、図2のA'-B間における半導体装置1の表面には、酸化シリコン膜OXを介して、トレンチゲートTGのゲート電極GEと接続する配線WPが設けられている。更に、この配線WPは、酸化シリコン膜OXに設けられたコンタクトホールTHを介してゲートパッドGPから延在する金属電極と接続されている。

10

【0026】

[半導体装置の製造方法]

次に、図3A及び図3Bを参照(適宜図1及び図2参照)して、第1実施形態に係る半導体装置1の製造方法について説明する。なお、図3A及び図3Bは、図2に示した断面図におけるA-A'及びB-B'に対応する領域を示したものである。

【0027】

(n型バッファ層及びp型ウェル層を形成する工程)

まず、図3A(a)に示すように、n型バッファ層NB及びp型ウェル層PWを形成する。

20

そのために、まず、公知のイオン打ち込み法により、n型シリコンからなる半導体基板SUB(厚さ約350 μ m)の裏面にリンイオンを打ち込み、深さ約20 μ mのn型バッファ層NBを形成する。

【0028】

また、半導体基板SUBの表面に、ターミネーション領域TERのp型ウェル層PWを形成する領域に開口を有するマスクを形成して、公知のイオン打ち込み法により、半導体基板SUBの表面側からボロニオンを打ち込み、深さ約10 μ mのp型ウェル層PWを形成する。

【0029】

その後、熱酸化処理を施すことにより、半導体基板SUBの表面には、酸化シリコン膜OX(厚さ約2 μ m)が形成される。また、このとき、半導体基板SUBに打ち込んだイオンは、半導体基板SUB内に拡散される。

30

以上の工程により、図3A(a)に示す構造が形成される。

【0030】

(p型コンタクト層及びp型ベース層を形成する工程)

次に、図3A(b)に示すように、p型コンタクト層PC及びp型ベース層PBを形成する。

そのために、まず、公知のホットエッチング法により、半導体基板SUBの表面に形成された酸化シリコン膜OXをパターンニングする。なお、このパターンニングにより、アクティブ領域ACTの全面、並びにターミネーション領域TERの段差TR2を形成する領域及びp型ウェル層PW上のコンタクトホールTHとなる領域上の酸化シリコン膜OXを除去する。

40

【0031】

そして、アクティブ領域ACTについてはマスクを用いることなく全面に、また、ターミネーション領域TERにおいてはパターンニングした酸化シリコン膜OXをマスクにして、公知のイオン打ち込み法により、面密度約 $3 \times 10^{13} \text{ cm}^{-2}$ の低濃度ボロニオンPBIの打ち込み(第1工程)と、面密度約 $1 \times 10^{15} \text{ cm}^{-2}$ の高濃度ボロニオンPCIの打ち込み(第2工程)と、を順次に行う。このとき、打ち込みエネルギーは高濃度ボロニオンPCIよりも低濃度ボロニオンPBIの方を大きくし、より深くまで打

50

ち込まれるようにする。

【0032】

ここで、高濃度ボロンイオンP C Iを打ち込む深さは、例えば、それぞれ数十nmすることができ、低濃度ボロンイオンP B Iを打ち込む深さは、例えば、1 μ m程度以下とすることができる。なお、高濃度ボロンイオンP C I及び低濃度ボロンイオンP B Iの打ち込みは、どちらを先に行ってもよいが、より深くに打ち込む低濃度ボロンイオンP B Iを先に打ち込むことが好ましい。

【0033】

打ち込んだボロンイオンは、後記する「ゲート酸化膜を形成する工程」において熱酸化処理を施すことにより、半導体基板S U Bに拡散し、p型コンタクト層P C及びp型ベース層P Bとなる。このように、本実施形態では、p型コンタクト層P C及びp型ベース層P Bを形成するためのボロンイオンの打ち込みを、アクティブ領域A C Tにマスクを形成することなく、同じ工程で行うことができるため、製造工程数を削減することができる。

【0034】

なお、n型シリコンからなる半導体基板S U Bにおいて、イオン打ち込み及び拡散がされずに元のn型シリコンのまま残され、n型パツファ層N B及びp型ウェル層P W及びp型ベース層P Bに挟まれた部分がn型ドリフト層N Dとなる。

【0035】

(溝及び段差を形成する工程)

次に、図3A(c)に示すように、溝T R 1及び段差T R 2を形成する。

そのために、公知のホットエッチング法により、アクティブ領域A C TにトレンチゲートT Gを形成するための溝T R 1(深さ約5 μ m)を形成する。また同時に、ターミネーション領域T E Rの端部では酸化シリコン膜O Xをマスクにして段差T R 2(深さ約5 μ m)を形成する(第3工程)。

【0036】

また、段差T R 2の深さは、トレンチゲートT Gを形成するための溝T R 1と同じ深さに形成するため、これらは同一のエッチング工程によって形成することができ、段差T R 2を形成するために製造工程数を増加することがない。

【0037】

なお、このエッチング工程において、ターミネーション領域T E Rの端部に打ち込まれた高濃度ボロンイオンP C I及び低濃度ボロンイオンP B Iは除去される。

このため、後記する「トレンチゲート及びn型ソース層、並びにチャネルストップパ層を形成する工程」において、ボロンイオンを打ち込むことにより、段差T R 2の形成領域に、p型半導体層を介さずに、n型ドリフト層N Dと接するn型のチャネルストップパ層C H Sを形成することができる。

【0038】

(ゲート酸化膜を形成する工程)

次に、図3B(a)に示すように、ゲート酸化膜G O Xを形成する。

そのために、公知の熱酸化処理により半導体基板S U Bの表面を酸化し、ゲート酸化膜G O X(膜厚約100nm)を形成する(第4工程)。ここで、溝T R 1の内壁に形成された酸化膜が、トレンチゲートT Gのゲート酸化膜G O Xとなる。

【0039】

また、この熱酸化処理において、前記したp型コンタクト層及びp型ベース層を形成する工程で、アクティブ領域A C T(A - A'断面)に打ち込まれた高濃度ボロンイオンP C I及び低濃度ボロンイオンP B Iが拡散し、p型コンタクト層P C及びp型ベース層P Bがそれぞれ形成される。

【0040】

同様に、ターミネーション領域T E R(B - B'断面)のp型ウェル層P Wに打ち込まれた高濃度ボロンイオンP C I及び低濃度ボロンイオンP B Iも拡散し、p型コンタクト層P C及びp型ベース層P Bがそれぞれ形成される。但し、低濃度ボロンイオンP B Iの

10

20

30

40

50

拡散により増加するボロンイオン濃度は、元の p 型ウェル層 P W のボロンイオン濃度に比べて低く、p 型ベース層 P B と元の p 型ウェル層 P W とをほとんど区別できない。このため、図 3 B においては、p 型ウェル層 P W における p 型ベース層 P B の記載は省略している。

【 0 0 4 1 】

(トレンチゲート及び n 型ソース層、並びにチャネルストップパ層を形成する工程)

次に、図 3 B (b) に示すように、トレンチゲート T G 及び n 型ソース層 N S、並びにチャネルストップパ層 C H S を形成する。

【 0 0 4 2 】

そのために、まず、公知の C V D (Chemical Vapor Deposition) 法により、溝 T R 1 にポリシリコン膜をゲート電極 G E として埋め込み、トレンチゲート T G を形成する (第 5 工程) 。

その後、ゲート酸化膜を形成する工程で半導体基板 S U B の表面に形成された酸化膜をエッチングして除去する (第 6 工程) 。このとき、溝 T R 1 のゲート電極 G E が埋め込まれた領域の内壁に形成された酸化膜は除去されずに、ゲート酸化膜 G O X として残される。

【 0 0 4 3 】

次に、公知のホット工程により、対となるトレンチゲート T G を形成する溝 T R 1 に挟まれた p 型コンタクト層 P C 及び p 型ベース層 P B の角部と、段差 T R 2 の底面及び側面とを除く領域をマスクし、公知のイオン打ち込み法により、n 型不純物であるリンイオンを打ち込み、n 型ソース層 N S 及びチャネルストップパ層 C H S を形成する (第 7 工程) 。

【 0 0 4 4 】

このとき、半導体基板 S U B の表面に対して斜め方向に n 型不純物を注入することにより溝 T R 1 及び段差 T R 2 の側面にも n 型不純物層である n 型ソース層 N S 及びチャネルストップパ層 C H S が形成される。

【 0 0 4 5 】

(酸化シリコン膜、エミッタ電極、金属電極、ホールエミッタ層及びコレクタ電極を形成する工程)

最後に、酸化シリコン膜 O X、エミッタ電極 E M T、金属電極 F P、ホールエミッタ層 P E 及びコレクタ電極 C O L を形成する。

【 0 0 4 6 】

そのために、まず、C V D 法により、半導体基板 S U B の表面に酸化シリコン膜 O X を形成する。そして、公知のホットエッチング法により、対となるトレンチゲート T G 間に形成された p 型コンタクト層 P C 及び n 型ソース層 N S と、段差 T R 2 の底面部のチャネルストップパ層 C H S の一部と、p 型ウェル層 P W 上に形成された p 型コンタクト層 P C とが露出するように、酸化シリコン膜 O X の一部を除去してコンタクトホール T H を形成する。

【 0 0 4 7 】

なお、アクティブ領域 A C T において、ゲート酸化膜 G O X と酸化シリコン膜 O X とは一体化された絶縁膜となる。

【 0 0 4 8 】

次に、公知のスputtering法などにより、半導体基板 S U B の表面に金属膜を積層して、エミッタ電極 E M T 及び金属電極 F P を形成する。これによって、酸化シリコン膜 O X に形成したコンタクトホール T H を介して、p 型コンタクト層 P C と n 型ソース層 N S とエミッタ電極 E M T とが接続され、p 型ウェル層 P W と金属電極 F P とが接続され、チャネルストップパ層 C H S と金属電極 F P とが接続される。

【 0 0 4 9 】

また、半導体基板 S U B の裏面から、公知のイオン打ち込み法により、ボロンイオンを全面に打ち込むことにより、ホールエミッタ層 P E を形成する。

その後、半導体基板 S U B の裏面に、公知のスputtering法などにより、金属層を積

10

20

30

40

50

層して、コレクタ電極COLを形成する。

以上の工程により、図2に示した構造の半導体装置1を得ることができる。

【0050】

第1実施形態に係る半導体装置及びその製造方法によれば、p型コンタクト層PCとp型ベース層PBとは、半導体基板SUBの表面の酸化シリコン膜OX（図3A（b）参照）をマスクにしてイオン打ち込みにより形成するためホットエッチング工程を削減できる。更に、後工程であるゲート酸化膜GOXの形成工程の熱酸化処理によって当該イオンの拡散を行うため、イオン打ち込み後に行うべき熱アニール工程を削減することができる。

【0051】

更に、段差TR2を形成する際に、ターミネーション領域TERの端部に打ち込まれたボロンイオンを除去するため、チャンネルストップ層CHSと金属電極FPとを直接コンタクトさせることが可能となり、リーク電流を防止するためのチャンネルストップ層CHSを設ける領域の拡大を抑制することができる。また、段差TR2部の側面にチャンネルストップ層CHSを形成できるため、チャンネルストップ層CHSを、半導体基板SUBの表面に平行に平面的に形成するよりも、横方向への空乏層の伸びを抑制することができ、チャンネルストップ層としての効果を更に向上することができる。

【0052】

<第2実施形態>

[半導体装置の構造]

次に、本発明の第2実施形態に係る半導体装置について説明する。

まず、図4を参照して、第2実施形態に係る半導体装置1Aの構造について説明する。なお、第2実施形態に係る半導体装置1Aの平面視の構造は、第1実施形態に係る半導体装置1の構造と同様であるから、適宜図1を参照する。また、図4に示した半導体装置1Aは、トレンチゲート構造のnチャンネル型MOSFETを有するIGBTである。

【0053】

ここで、図4は、図1のA-B'における断面図であり、A-A'はアクティブ領域ACTの、B-B'はターミネーション領域TERの、断面をそれぞれ示す。

【0054】

図4に示した第2実施形態に係る半導体装置1Aは、図2に示した第1実施形態に係る半導体装置1とは、アクティブ領域ACT（A-A'断面）の構成が異なっており、ターミネーション領域TER（B-B'断面）の構成は同じである。

【0055】

第2実施形態に係る半導体装置1Aは、図4に示すように、アクティブ領域ACT（A-A'断面）にもp型ウェル層PWが形成され、p型ウェル層PWの挟まれた領域にトレンチゲートTGが配置されている。また、トレンチゲートTGの左右両側のp型ウェル層PWのそれぞれに接して、2つのダミーゲートDGが配置されている。

【0056】

第2実施形態に係る半導体装置1Aは、3つで一組の溝TR1内に形成された一対のダミーゲートDGと、一対のダミーゲートDGに挟まれたトレンチゲートTGと、これらの間に形成された各半導体層を単位として、p型ウェル層PWを挟んで、1又は複数の単位が形成される。

【0057】

ここで、トレンチゲートTG及びダミーゲートDGは、図2に示した第1実施形態に係る半導体装置1におけるトレンチゲートTGと同様の形状を有しており、それぞれゲート電極GE及びダミーゲート電極DGEが、ゲート酸化膜GOXを介して溝TR1に埋め込まれて構成されている。トレンチゲートTGのゲート電極GEは、配線WPを介してゲートパッドGPに電氣的に接続されている。また、ダミーゲートDGのダミーゲート電極DGEは、配線（図示せず）を介してエミッタ電極EMTと電氣的に接続されている。

【0058】

トレンチゲートTGと一対のダミーゲートDGとの間には、コンタクトホールTHを介

10

20

30

40

50

してエミッタ電極 E M T と接する p 型コンタクト層 P C 及び n 型ソース層 N S が形成されている。更に、p 型コンタクト層 P C と n 型ドリフト層 N D との間に p 型ベース層 P B が形成されている。

【 0 0 5 9 】

従って、トレンチゲート T G は、側面上部で n 型ソース層 N S と接し、側面で p 型ベース層 P B と接し、底面及び側面下部で n 型ドリフト層 N D と接している。また、ダミーゲート D G は、側面上部で p 型コンタクト層 P C と接し、側面で p 型ベース層 P B と接し、底面及び側面下部で n 型ドリフト層 N D と接している。

【 0 0 6 0 】

また、p 型ベース層 P B と n 型ドリフト層 N D との間に n 型電荷障壁層 H B が形成されている。

10

【 0 0 6 1 】

なお、n 型電荷障壁層 H B は、省略することも可能であるが設けることが好ましい。n 型電荷障壁層 H B を設けることによって、半導体装置 1 A が I G B T 動作する際に、ホールエミッタ層 P E から n 型ドリフト層 N D へ注入されるホールが、上層へ移動することをバリアして、n 型ドリフト層 N D における電荷密度を高く保つためのものである。

【 0 0 6 2 】

ターミネーション領域 T E R (B - B ' 断面) の構成は、図 2 に示した第 1 実施形態に係る半導体装置 1 と同様であるから、説明は省略する。

【 0 0 6 3 】

20

[半導体装置の製造方法]

前記したように、ダミーゲート D G は、トレンチゲート T G と同様の構成である。また、p 型ウェル層 P W には、p 型ベース層 P B (図示せず) と p 型コンタクト層 P C も重なって形成されるが、3 層ともボロニイオンの打ち込みによって形成されていることや、p 型ウェル層 P W の拡散長が約 1 0 μ m と、この 3 層の中で最も長いことから、第 1 実施形態に係る半導体装置 1 の製造方法と同様な製造方法を用いて、図 4 に示した構造の半導体装置 1 A を得ることができる。

【 0 0 6 4 】

(n 型電荷障壁層を形成する工程)

n 型電荷障壁層 H B は、図 3 A (c) 又は図 3 B (b) に示した段階の次工程として、公知のホト法により、n 型電荷障壁層 H B を形成する領域に開口を有するマスクを形成し、公知のイオン打ち込み法で、p 型ベース層 P B が形成される深さよりも深く n 型不純物であるリンイオンを打ち込むことで形成することができる。

30

【 0 0 6 5 】

また、他の構成については、前記したように、図 3 A 及び図 3 B に示した第 1 実施形態に係る半導体装置の製造方法と同様にして製造することができるため、説明は省略する。

【 0 0 6 6 】

第 2 実施形態に係る半導体装置 1 A によれば、第 1 実施形態に係る半導体装置 1 と同様に、p 型コンタクト層 P C 及び p 型ベース層 P B を形成するための製造工程数を削減することができる。また、チャンネルストッパ層 C H S と金属電極 F P とを直接コンタクトさせることが可能となり、リーク電流を防止するためのチャンネルストッパ層 C H S を設ける領域の拡大を抑制することができる。また、段差 T R 2 部の側面にチャンネルストッパ層 C H S を形成できるため、チャンネルストッパ層 C H S を、半導体基板 S U B の表面に平行に平面的に形成するよりも、横方向への空乏層の伸びを抑制することができ、チャンネルストッパ層としての効果を更に向上することができる。

40

【 0 0 6 7 】

更に、第 2 実施形態に係る半導体装置 1 A によれば、スイッチング時に p 型ウェル層 P W の電位が変動してもダミーゲート D G がトレンチゲート T G の周辺の電位を固定するため、スイッチングノイズを低減することができる。更に、深さ約 5 μ m のダミーゲート D G に対し、深さ約 1 0 μ m の p 型ウェル層 P W を形成しているため、ダミーゲート D G の

50

底部の電界集中を緩和することができる。これにより、耐圧やゲート酸化膜GOXの信頼性、宇宙線耐量を向上することができる。また、アクティブ領域に形成するp型ウェル層PWの幅をp型ベース層PBの幅よりも広くしている。これにより、伝導度変調が促進され、スイッチングにおける低オン電圧を実現することができる。

【0068】

更にまた、n型電荷障壁層HBを設けているため、半導体装置1AがIGBT動作する際に、ホールエミッタ層PEからn型ドリフト層NDへ注入されるホールが、上層へ移動することをバリアして、n型ドリフト層NDにおける電荷密度を高く保つことができる。これによって、伝導度変調の効果が増強され、低オン電圧に貢献する。

【0069】

<第3実施形態>

[半導体装置の構成]

次に、本発明の第3実施形態に係る半導体装置について説明する。

まず、図5を参照して、第3実施形態に係る半導体装置1Bの構造について説明する。なお、第3実施形態に係る半導体装置1Bの平面視の構造は、第1実施形態に係る半導体装置1の構造と同様であるから、適宜図1を参照する。また、図5に示した半導体装置1Bは、サイドゲート構造のnチャネル型MOSFETを有するIGBTである。

【0070】

ここで、図5は、図1のA-B'における断面図であり、A-A'はアクティブ領域ACTの、B-B'はターミネーション領域TERの、断面をそれぞれ示す。

【0071】

図5に示した第3実施形態に係る半導体装置1Bは、図2に示した第1実施形態に係る半導体装置1とは、アクティブ領域ACT(A-A'断面)において、図2に示した第1実施形態に係る半導体装置1における溝TR1よりも幅広の溝TR1が形成され、この幅広の溝TR1の両側の側面にサイドゲートSGを形成していることが異なっている。

【0072】

サイドゲートSGは、図2に示した第1実施形態に係る半導体装置1におけるトレンチゲートTGに相当するものであり、ゲート酸化膜GOXを介してポリシリコンからなるゲート電極GEが溝TR1の底面及び側面に接する角部に埋め込まれている。ゲート電極GEは、配線WPを介してゲートパッドGPと電気的に接続されている。

【0073】

また、半導体基板SUBの表面は酸化シリコン膜OXで被覆されており、酸化シリコン膜OXには、n型ソース層NS及びp型コンタクト層PCとエミッタ電極EMTと、p型ウェル層PW内のp型コンタクト層PCと金属電極FPと、ゲート電極の配線WPとゲートパッドGPと、をそれぞれ電気的に接続するためのコンタクトホールTHが適宜設けられている。なお、ゲート酸化膜GOXは、サイドゲートSGの上面を被覆する酸化シリコン膜OXと一体化した絶縁膜を形成している。

【0074】

また、隣接する溝TR1の、互いに隣接する側面に形成されたサイドゲートSG同士が対となっている。そして、この対となるサイドゲートSGに挟まれた領域に、n型ソース層NS、p型コンタクト層PC及びp型ベース層PBが形成されており、これらで一つの単位を構成している。半導体装置1Bでは、1又は複数のこの単位が形成される。

【0075】

また、ターミネーション領域TER(B-B'断面)においても、段差TR2の側面に、溝TR1に形成したサイドゲートSGと同様の構造の構造が形成されている。また、この構造内には、サイドゲートSG内のポリシリコンからなるゲート電極GEと同層として形成されるポリシリコン電極POLYが設けられている。

【0076】

なお、ターミネーション領域TERに形成されるポリシリコン電極POLYは、ゲートパッドGPとは接続されず、フローティング状態である。

10

20

30

40

50

【 0 0 7 7 】

[半 導 体 装 置 の 製 造 方 法]

次に、図 6 を参照（適宜図 1 及び図 5 参照）して、第 3 実施形態に係る半導体装置 1 B の製造方法について説明する。なお、図 6 は、図 5 に示した断面図における C - C ' 及び B - B ' に対応する領域を示したものである。

【 0 0 7 8 】

まず、図 6 (a) に示すように、n 型バッファ層 NB 及び p 型ウェル層 PW を形成すると共に、低濃度ボロニオン PBI 及び高濃度ボロニオン PCI をイオン注入し、溝 TR 1 及び段差 TR 2 を形成する。なお、酸化シリコン膜 OX は、アクティブ領域 ACT の全面、並びにターミネーション領域 TER の段差 TR 2 を形成する領域及び p 型ウェル層 PW 上のコンタクトホール TH となる領域上は被覆しないようにパターニングされている。

10

【 0 0 7 9 】

なお、図 6 (a) に示す段階までは、図 3 A (a) から図 3 A (c) に示した第 1 実施形態に係る半導体装置 1 の製造方法と同様にして形成することができる。

【 0 0 8 0 】

(n 型 バ ッ フ ァ 層 及 び p 型 ウ ェ ル 層 を 形 成 す る 工 程) (図 3 A (a) 参 照)

まず、第 1 実施形態に係る半導体装置の製造方法と同様に、n 型シリコンからなる半導体基板 SUB の裏面に n 型バッファ層 NB を形成し、半導体基板 SUB の表面に p 型ウェル層 PW を形成する。

20

【 0 0 8 1 】

(p 型 コ ン タ ク ト 層 及 び p 型 ベ ー ス 層 を 形 成 す る 工 程) (図 3 A (b) 参 照)

次に、半導体基板 SUB の表面に形成された酸化シリコン膜 OX をパターニングし、酸化シリコン膜 OX をマスクにして低濃度ボロニオン PBI に打ち込み（第 1 工程）及び高濃度ボロニオン PCI の打ち込み（第 2 工程）を行う。

【 0 0 8 2 】

(溝 及 び 段 差 を 形 成 す る 工 程)

次に、公知のホットエッチング法により、アクティブ領域 ACT に溝 TR 1（深さ約 3 μ m）を、ターミネーション領域 TER の端部に段差 TR 2（深さ約 3 μ m）を形成する（第 3 工程）。このエッチング工程において、アクティブ領域 ACT の一部及びターミネーション領域 TER の端部に打ち込まれた高濃度ボロニオン PCI 及び低濃度ボロニオン PBI は除去される。

30

【 0 0 8 3 】

このとき、段差 TR 2 の深さは、サイドゲート SG を形成するための溝 TR 1 と同じ深さに形成するため、これらは同一のエッチング工程によって形成することができ、段差 TR 2 を形成するために製造工程数を増加することがない。

【 0 0 8 4 】

また、このエッチング工程において、ターミネーション領域 TER の端部に打ち込まれた高濃度ボロニオン PCI 及び低濃度ボロニオン PBI は除去される。

このため、後記する「n 型ソース層及びチャネルストップ層を形成する工程」において、n 型不純物であるリンイオンを打ち込むことにより、段差 TR 2 の形成領域に、p 型半導体層を介さずに、n 型ドリフト層 ND と接する n 型のチャネルストップ層 CHS を形成することができる。

40

【 0 0 8 5 】

(ゲ ー ト 酸 化 膜 を 形 成 す る 工 程)

次に、図 6 (b) に示すように、ゲート酸化膜 GOX を形成する。

そのために、公知の熱酸化処理により半導体基板 SUB の表面を酸化し、ゲート酸化膜 GOX（膜厚約 100 nm）を形成する（第 4 工程）。

【 0 0 8 6 】

また、この熱酸化処理によって、前記した p 型コンタクト層及び p 型ベース層を形成す

50

る工程で、アクティブ領域 A C T (C - C ' 断面) に打ち込まれた高濃度ボロニオン P C I 及び低濃度ボロニオン P B I が拡散し、 p 型コンタクト層 P C 及び p 型ベース層 P B がそれぞれ形成される。

【 0 0 8 7 】

同様に、ターミネーション領域 T E R (B - B ' 断面) の p 型ウェル層 P W に打ち込まれた高濃度ボロニオン P C I 及び低濃度ボロニオン P B I も拡散し、 p 型コンタクト層 P C 及び p 型ベース層 P B がそれぞれ形成される。但し、低濃度ボロニオン P B I の拡散により増加するボロニオン濃度は、元の p 型ウェル層 P W のボロニオン濃度に比べて低く、 p 型ベース層 P B と元の p 型ウェル層 P W とをほとんど区別できない。このため、図 3 B においては、 p 型ベース層 P B の記載は省略している。

10

【 0 0 8 8 】

(サイドゲート、ポリシリコン電極及びチャネルストップパ層、並びに n 型ソース層を形成する工程)

次に、図 6 (c) に示すように、サイドゲート S G 、ポリシリコン電極 P O L Y 及びチャネルストップパ層 C H S 、並びに n 型ソース層 N S を形成する。

【 0 0 8 9 】

そのために、まず、公知の C V D 法により、半導体基板 S U B の表面にポリシリコン膜を形成し、公知のエッチング法により、不要なポリシリコン膜を除去してゲート電極 G E 及びポリシリコン電極 P O L Y を形成する (第 5 工程) 。

20

【 0 0 9 0 】

その後、ゲート酸化膜を形成する工程で半導体基板 S U B の表面に形成された酸化膜をエッチングして除去する (第 6 工程) 。このとき、溝 T R 1 内の領域の酸化膜は除去されずに、ゲート酸化膜 G O X として残される。

【 0 0 9 1 】

次に、公知のホット工程により、対となるサイドゲート S G に挟まれた p 型コンタクト層 P C 及び p 型ベース層 P B の角部と、段差 T R 2 の底面及び側面とを除く領域を、公知のホット工程によりマスクし、公知のイオン打ち込み法により、 n 型不純物 (例えばリンイオン) を打ち込んで n 型ソース層 N S 及びチャネルストップパ層 C H S を形成する (第 7 工程) 。

30

【 0 0 9 2 】

このとき、半導体基板 S U B の表面に対して斜め方向に n 型不純物を注入することにより溝 T R 1 及び段差 T R 2 の側面にも n 型不純物層である n 型ソース層 N S 及びチャネルストップパ層 C H S が形成される。

【 0 0 9 3 】

(酸化シリコン膜、エミッタ電極、金属電極、ホールエミッタ層及びコレクタ電極を形成する工程)

最後に、酸化シリコン膜 O X 、エミッタ電極 E M T 、金属電極 F P 、ホールエミッタ層 P E 及びコレクタ電極 C O L を形成する。

【 0 0 9 4 】

そのために、まず、公知の C V D 法により、半導体基板 S U B の表面に酸化シリコン膜 O X を形成する。そして、公知のホットエッチング法により、対となるサイドゲート S G 間に形成された p 型コンタクト層 P C 及び n 型ソース層 N S と、段差 T R 2 の底面部のチャネルストップパ層 C H S の一部と、 p 型ウェル層 P W 上に形成された p 型コンタクト層 P C とが露出するように、酸化シリコン膜 O X の一部を除去してコンタクトホール T H を形成する。

40

【 0 0 9 5 】

なお、アクティブ領域 A C T において、ゲート酸化膜 G O X と酸化シリコン膜 O X とは一体化された絶縁膜となる。

【 0 0 9 6 】

次に、公知のスパッタリング法などにより、半導体基板 S U B の表面に金属膜を積層し

50

て、エミッタ電極 E M T 及び金属電極 F P を形成する。これによって、酸化シリコン膜 O X に形成したコンタクトホール T H を介して、p 型コンタクト層 P C と n 型ソース層 N S とエミッタ電極 E M T とが接続され、p 型ウェル層 P W と金属電極 F P とが接続され、チャンネルストッパ層 C H S と金属電極 F P とが接続される。

【0097】

また、半導体基板 S U B の裏面から、公知のイオン打ち込み法により、ボロンイオンを全面に打ち込むことにより、ホールエミッタ層 P E を形成する。

その後、半導体基板 S U B の裏面に、公知のスパッタリング法などにより、金属層を積層して、コレクタ電極 C O L を形成する。

以上の工程により、図 5 に示した構造の半導体装置 1 B を得ることができる。

10

【0098】

第 3 実施形態に係る半導体装置 1 B によれば、第 1 実施形態に係る半導体装置 1 と同様に、p 型コンタクト層 P C 及び p 型ベース層 P B を形成するための製造工程数を削減することができる。また、チャンネルストッパ層 C H S と金属電極 F P とを直接コンタクトさせることが可能となり、リーク電流を防止するためのチャンネルストッパ層 C H S を設ける領域の拡大を抑制することができる。また、段差 T R 2 部の側面にチャンネルストッパ層 C H S を形成できるため、チャンネルストッパ層 C H S を、半導体基板 S U B の表面に平行に平面的に形成するよりも、横方向への空乏層の伸びを抑制することができ、チャンネルストッパ層としての効果を更に向上することができる。

【0099】

20

更に、第 3 実施形態に係る半導体装置 1 B によれば、アクティブ領域 A C T がトレンチゲート構造ではなくサイドゲート構造となるため、帰還容量を低減できスイッチング損失を低減することができる。更に、ターミネーション領域 T E R の端部に形成される段差 T R 2 の側面にもサイドゲート S G と同形状のポリシリコン電極 P O L Y が形成される。このポリシリコン電極 P O L Y により、段差部の急峻な形状が緩和されるため、端部に形成される金属電極 F P の段切れを防止することができる。

【0100】

次に、第 1 実施形態乃至第 3 実施形態に係る半導体装置 1、1 A、1 B の変形例について、適宜図 1、図 2、図 4 及び図 5 を参照して説明する。

【0101】

30

< 第 1 変形例 >

第 1 実施形態及び第 2 実施形態に係る半導体装置 1、1 A において、ターミネーション領域 T E R の端部の段差 T R 2 の側面（図 2 及び図 4 参照）に、図 5 に示した第 3 実施形態における半導体装置 1 B と同様の、ポリシリコン電極 P O L Y を形成してもよい。これによって、第 3 実施形態に係る半導体装置 1 B と同様に、端部に形成される金属電極 F P の段切れを防止することができる。

【0102】

< 第 2 変形例 >

第 1 実施形態から第 3 実施形態に係る半導体装置 1、1 A、1 B において、半導体基板 S U B の厚さは約 350 μm としたがこれに限定されるのではない。また、溝 T R 1、段差 T R 2 の深さも約 3 μm ~ 5 μm としたがこれに限定されるものではなく、電力容量に応じて適宜に任意の厚さを選ぶことができる。また、n 型バッファ層 N B は 20 μm より深くしてもよいし、浅くしてもよい。n 型バッファ層 N B を 20 μm より深くした場合は、トランジスタのスイッチングのターンオフ時に、より多くのホールがコレクタ側に残存するため、発振を抑制することができる。また、n 型バッファ層 N B を 20 μm より浅くした場合は、n 型ドリフト層 N D を厚くすることができるため、耐圧が向上する。

40

【0103】

< 第 3 変形例 >

第 1 実施形態から第 3 実施形態に係る半導体装置 1、1 A、1 B において、ゲート酸化膜 G O X の膜厚は約 100 nm としたがこれに限定されるものではない。ゲート酸化膜 G

50

O Xの膜厚を薄くすれば、トランジスタの電流が増加しオン電圧を低減することができる。また、ゲート酸化膜G O Xの膜厚を厚くすれば、ゲート酸化膜G O Xの耐圧が向上し、半導体装置の信頼性が向上する。

【0104】

なお、これら、オン電圧の低減と信頼性の向上とはトレードオフの関係にある。このため、低オン電圧と高信頼性とを両立させるためには、ゲート酸化膜G O Xの膜厚は50nm以上150nm以下であることが望ましい。

【0105】

<第4変形例>

第1実施形態から第3実施形態に係る半導体装置1、1A、1Bにおいては、n型シリコンからなる半導体基板SUBの裏面にホールエミッタ層PEを形成した縦型バイポーラトランジスタ(I G B T)の例を示したが、これに限定されるものではなく、裏面のホールエミッタ層PEを形成せずに、M O S F E Tとすることも可能である。

10

【0106】

また、第1実施形態から第3実施形態に係る半導体装置1、1A、1Bにおいては、nチャネル型M O S F E Tを有するI G B Tとしたが、n型とp型とを入れ替えて、pチャネル型M O S F E Tを有するI G B Tとすることもできる。また、pチャネル型M O S F E Tとすることも可能である。

【0107】

<第4実施形態>

次に、図7を参照して、本発明の第4実施形態に係る電力変換装置について説明する。本実施形態に係る電力変換装置は、前記した第1実施形態乃至第3実施形態及び第1変形例乃至第4変形例に係る半導体装置1、1A、1Bなどを、電力変換装置における電力スイッチング素子として適用したものである。

20

【0108】

図7に示すように、本実施形態に係る電力変換装置2は、一对の直流端子であるP端子200及びN端子201と、交流出力の相数(3相)と同数の交流端子であるU端子210、V端子211及びW端子212とを有し、電力スイッチング素子として本発明の各実施形態に係る半導体装置であるI G B T 101~106を備えた、直流を交流に変換するインバータ装置である。

30

【0109】

また、電力変換装置2は、前記した一对の直流端子であるP端子200及びN端子201の間に、2個のI G B Tが極性を揃えて直列に接続された回路が3組接続されている。また、各I G B T 101~106のエミッタ-コレクタ間には、負荷電流を還流させるためのダイオード111~116が逆極性に並列に接続されている。また、各I G B T 101~106のゲートパッドGP(図1参照)には、スイッチングの制御信号を発生する駆動回路121~126が接続されている。また、直列接続された2個のI G B Tの接続点は、それぞれ交流端子であるU端子210、V端子211及びW端子212と接続されている。

【0110】

電力変換装置2は、駆動回路121~126によってI G B T 101~106のスイッチング動作を制御して、交流端子であるU端子210、V端子211及びW端子212に接続された、例えば、交流モータなどの負荷300に交流電力を供給する。

40

【0111】

第4実施形態に係る電力変換装置によれば、第1実施形態乃至第3実施形態、又はこれらの各変形例に係る半導体装置などを電力スイッチング素子として用いるため、製造工程数の削減及びターミネーション領域の幅の低減により、安価で小型な電力変換装置を提供することができる。また、本実施形態では、本発明の半導体装置の電力変換装置への適用例として、インバータ装置の場合について説明したが、これに限定されるものではなく、直流-直流コンバータや、交流-直流コンバータなど、他の電力変換装置に適用すること

50

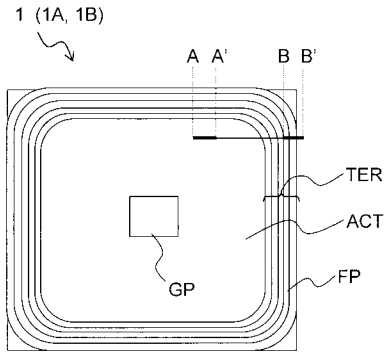
もできる。

【符号の説明】

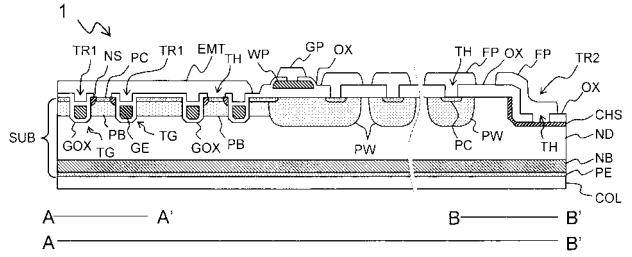
【0112】

SUB	半導体基板	
1、1A、1B	半導体装置	
2	電力変換装置	
101～106	IGBT（スイッチング素子）	
111～116	ダイオード	
121～126	駆動回路	
200	P端子	10
201	N端子	
210	U端子	
211	V端子	
212	W端子	
300	モータ	
500	シリコン基板	
511	ドレイン領域	
512	ウェル領域	
513	n型ソース層	
514	p型コンタクト層	20
520	ゲート電極	
540	絶縁物質	
550	アルミ膜	
560	バリアメタル	
ND	n型ドリフト層（第1半導体層）	
NB	n型バッファ層	
NS	n型ソース層（第4半導体層）	
PE	ホールエミッタ層	
PB	p型ベース層（第2半導体層）	
PC	p型コンタクト層（第3半導体層）	30
PW	p型ウェル層	
HB	n型電荷障壁層	
TG	トレンチゲート（第1トレンチゲート）	
DG	ダミーゲート（第2トレンチゲート）	
SG	サイドゲート	
GE	ゲート電極（導電物質）	
DGE	ダミーゲート電極（導電物質）	
POLY	ポリシリコン電極（導電物質、導電物質膜）	
TR1	溝	
TR2	段差（段差部）	40
GOX	ゲート酸化膜（ゲート絶縁膜、絶縁膜）	
OX	酸化シリコン膜	
CHS	チャネルストッパ層（第5半導体層）	
EMT	エミッタ電極	
COL	コレクタ電極	
FP	金属電極	
TH	コンタクトホール	
GP	ゲートパッド	
ACT	アクティブ領域	
TER	ターミネーション領域	50

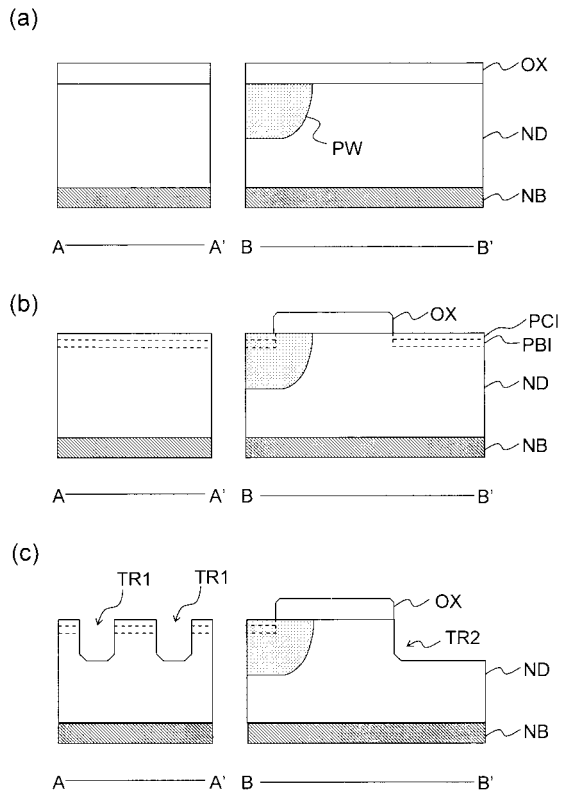
【 図 1 】



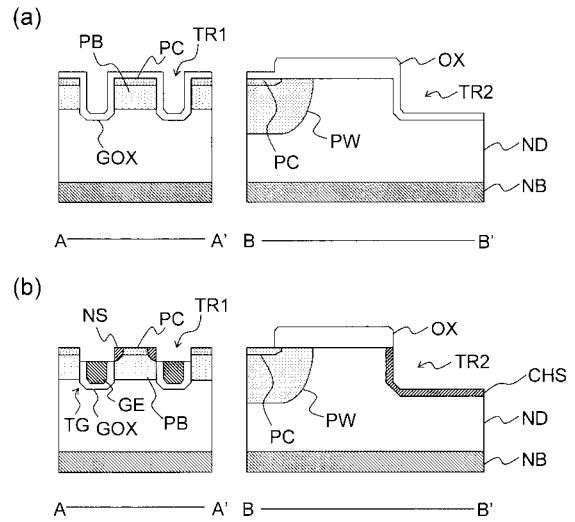
【 図 2 】



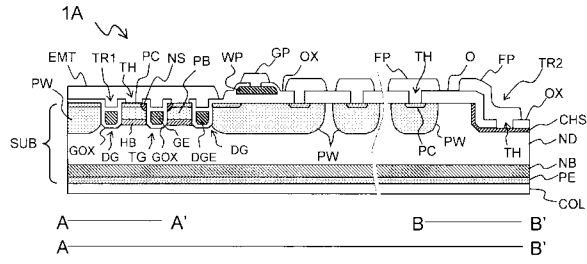
【 図 3 A 】



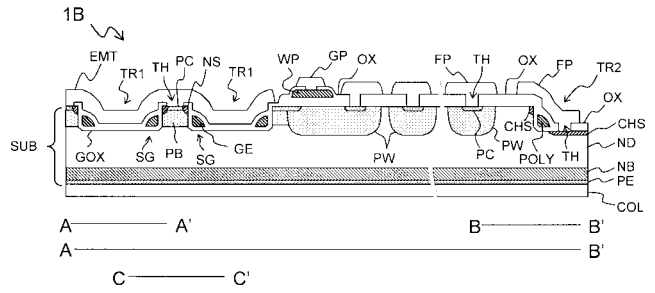
【 図 3 B 】



【 図 4 】

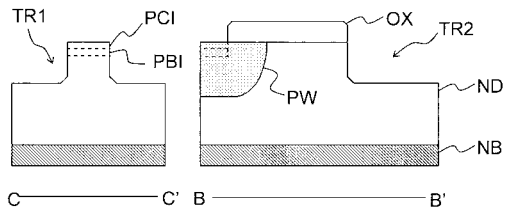


【 図 5 】

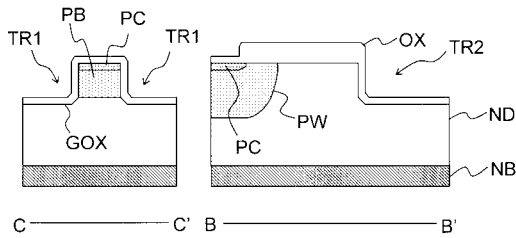


【 図 6 】

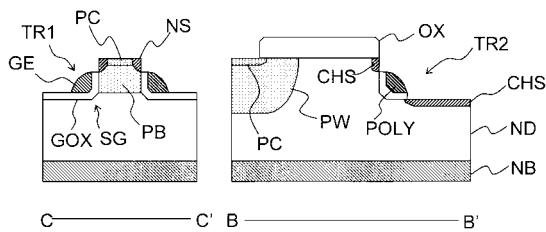
(a)



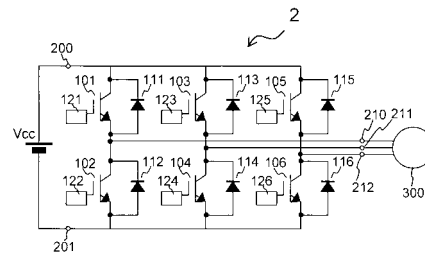
(b)



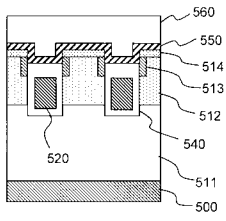
(c)



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/06 3 0 1 V