



(12) 发明专利申请

(10) 申请公布号 CN 104979468 A

(43) 申请公布日 2015. 10. 14

(21) 申请号 201410143549. 6

(22) 申请日 2014. 04. 10

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

申请人 中芯国际集成电路制造(北京)有限公司

(72) 发明人 张城龙 王冬江

(74) 专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51) Int. Cl.

H01L 45/00(2006. 01)

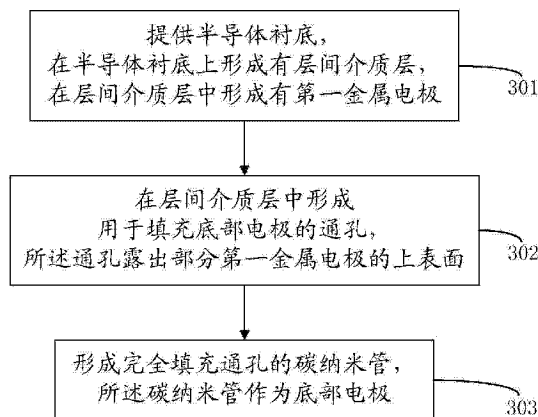
权利要求书1页 说明书4页 附图7页

(54) 发明名称

一种半导体器件及其制造方法

(57) 摘要

本发明提供一种半导体器件及其制造方法, 所述方法包括: 提供半导体衬底, 在半导体衬底上形成有层间介质层, 在层间介质层中形成有第一金属电极; 在层间介质层中形成用于填充底部电极的通孔, 所述通孔露出部分第一金属电极的上表面; 形成完全填充通孔的碳纳米管, 所述碳纳米管作为底部电极。根据本发明, 在沉积工艺窗口达到临界极限的情况下, 形成的碳纳米管能够满足对于底部电极的预期性能指标的要求, 从而提升器件的良率。



1. 一种半导体器件的制造方法,包括:

提供半导体衬底,在所述半导体衬底上形成有层间介质层,在所述层间介质层中形成有第一金属电极;

在所述层间介质层中形成用于填充底部电极的通孔,所述通孔露出部分所述第一金属电极的上表面;

形成完全填充所述通孔的碳纳米管,所述碳纳米管作为所述底部电极。

2. 根据权利要求 1 所述的方法,其特征在于,采用化学气相沉积工艺形成所述碳纳米管,沉积温度低于 400°C。

3. 根据权利要求 2 所述的方法,其特征在于,实施所述沉积工艺之前,在所述通孔的侧壁和底部形成钴基催化剂。

4. 根据权利要求 2 所述的方法,其特征在于,实施所述沉积工艺之后,形成的所述碳纳米管的高度高于所述通孔的深度。

5. 根据权利要求 4 所述的方法,其特征在于,实施所述沉积工艺之后,还包括执行化学机械研磨的步骤,实施所述研磨之后,所述碳纳米管的高度等于所述通孔的深度。

6. 根据权利要求 5 所述的方法,其特征在于,实施所述研磨之前,还包括沉积牺牲材料层以覆盖所述碳纳米管的步骤;实施所述研磨之后,所述牺牲材料层被完全去除。

7. 根据权利要求 4 所述的方法,其特征在于,实施所述研磨之后,还包括依次形成相变材料层和第二金属电极的步骤,使由所述碳纳米管构成的底部电极的上端接触所述相变材料层。

8. 根据权利要求 1 所述的方法,其特征在于,所述半导体器件为相变存储器,所述第一金属电极的下端连通形成于所述半导体衬底上的电子元件,所述第一金属电极的上端连通所述底部电极的下端。

9. 一种采用如权利要求 1-8 中的任一方法形成的半导体器件,其特征在于,所述半导体器件中的底部电极由碳纳米管构成。

一种半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体制造工艺,具体而言涉及一种用于相变随机存取存储器的底部电极的制作方法和具有采用该方法制作的底部电极的相变随机存取存储器。

背景技术

[0002] 相变存储器(PCM)是一种具有高读取/写入速度的存储器,其广泛应用于集成电路中。集成相变存储器的关键步骤是形成用于连通金属电极和相变材料层的底部电极(Bottom Electrode),底部电极从相变材料(GST)层的底部接触相变材料层。当一定强度的电流经过底部电极时,底部电极产生焦耳热以改变相变材料层的相变状态,从而控制相变存储器的工作状态,即相变材料层由非晶态转变到晶态时实现相变存储器的写入数据的功能,相变材料层由晶态转变到非晶态时实现相变存储器的读出数据的功能。

[0003] 为了降低相变随机存取存储器的驱动功耗,应当减小底部电极与相变材料层的接触面积。因此,现有技术通过形成具有小侧面尺寸的电极来作为底部电极,当一弱电流经过底部电极时,底部电极就可以产生足够大的焦耳热。

[0004] 采用现有工艺制作上述底部电极的工艺步骤如下:首先,如图 1A 所示,在其中形成有金属电极 102(其下端连通形成于半导体衬底上的电路元件(包括开关装置))的层间介电层 101 上依次沉积形成硬掩膜叠层结构和具有金属电极 102 的顶部图案 107 的光刻胶层 106,所述硬掩膜叠层结构包括自下而上层叠的缓冲层 103、第一硬掩膜层 104 和第二硬掩膜层 105,缓冲层 103、第一硬掩膜层 104 和第二硬掩膜层 105 的构成材料可以分别为采用等离子体增强化学气相沉积工艺形成的氧化物、氮氧化硅和采用等离子体增强化学气相沉积工艺形成的氧化物;接着,如图 1B 所示,以光刻胶层 106 为掩膜,通过实施第一蚀刻在第一硬掩膜层 104 和第二硬掩膜层 105 中形成第一通孔 107',露出缓冲层 103,而后通过灰化工艺去除光刻胶层 106;接着,如图 1C 所示,在硬掩膜叠层结构上沉积形成侧墙材料层 108,覆盖第一通孔 107' 的侧壁和底部;接着,如图 1D 所示,实施第二蚀刻蚀刻侧墙材料层 108,露出缓冲层 103 的同时,使覆盖第一通孔 107' 的侧壁的侧墙材料层 108 构成用于填充底部电极的第二通孔的图案 109;接着,如图 1E 所示,以经过所述第二蚀刻的侧墙材料层 108 为掩膜,实施第三蚀刻蚀刻缓冲层 103,露出金属电极 102 的同时,形成用于填充底部电极的第二通孔 109';接着,如图 1F 所示,沉积底部电极材料层 110,以完全填充第二通孔 109',而后执行化学机械研磨直至露出第二硬掩膜层 105 和侧墙材料层 108;接着,如图 1G 所示,回蚀刻底部电极材料层 110,完成所述底部电极的制作。接下来,形成连通底部电极材料层 110 的自下而上层叠的相变材料层和另一金属电极。

[0005] 在上述工艺过程中,通常选用金属钨作为底部电极材料层 110 的构成材料,这是因为金属钨构成的底部电极具有超过 99% 的实现写入数据功能的良率。然而,随着半导体制造工艺节点的不断降低,第二通孔 109' 的开口尺寸也随之不断缩减,导致通过沉积工艺填充金属钨于第二通孔 109' 的工艺窗口达到临界极限,进而造成形成的底部电极的性能指标达不到预期的要求,引起器件良率的下降。

[0006] 因此,需要提出一种方法,以解决上述问题。

发明内容

[0007] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,包括:提供半导体衬底,在所述半导体衬底上形成有层间介质层,在所述层间介质层中形成有第一金属电极;在所述层间介质层中形成用于填充底部电极的通孔,所述通孔露出部分所述第一金属电极的上表面;形成完全填充所述通孔的碳纳米管,所述碳纳米管作为所述底部电极。

[0008] 进一步,采用化学气相沉积工艺形成所述碳纳米管,沉积温度低于 400℃。

[0009] 进一步,实施所述沉积工艺之前,在所述通孔的侧壁和底部形成钴基催化剂。

[0010] 进一步,实施所述沉积工艺之后,形成的所述碳纳米管的高度高于所述通孔的深度。

[0011] 进一步,实施所述沉积工艺之后,还包括执行化学机械研磨的步骤,实施所述研磨之后,所述碳纳米管的高度等于所述通孔的深度。

[0012] 进一步,实施所述研磨之前,还包括沉积牺牲材料层以覆盖所述碳纳米管的步骤;实施所述研磨之后,所述牺牲材料层被完全去除。

[0013] 进一步,实施所述研磨之后,还包括依次形成相变材料层和第二金属电极的步骤,使由所述碳纳米管构成的底部电极的上端接触所述相变材料层。

[0014] 进一步,所述半导体器件为相变存储器,所述第一金属电极的下端连通形成于所述半导体衬底上的电子元件,所述第一金属电极的上端连通所述底部电极的下端。

[0015] 本发明还提供一种采用上述制造方法中的任一方法形成的半导体器件,所述半导体器件中的底部电极由碳纳米管构成。

[0016] 根据本发明,在沉积工艺窗口达到临界极限的情况下,形成的碳纳米管能够满足对于底部电极的预期性能指标的要求,从而提升器件的良率。

附图说明

[0017] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0018] 附图中:

[0019] 图 1A-图 1G 为根据现有技术制作用于相变随机存取存储器的底部电极而依次实施的步骤所分别获得的器件的示意性剖面图;

[0020] 图 2A-图 2H 为根据本发明示例性实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图;

[0021] 图 3 为根据本发明示例性实施例的方法依次实施的步骤的流程图。

具体实施方式

[0022] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0023] 为了彻底理解本发明,将在下列的描述中提出详细的步骤,以便阐释本发明提出的用于相变随机存取存储器的底部电极的制作方法和具有采用该方法制作的底部电极的相变随机存取存储器。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0024] 应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0025] [示例性实施例]

[0026] 下面,参照图 2A- 图 2H 和图 3 来描述根据本发明示例性实施例的方法制作用于相变随机存取存储器的底部电极的详细步骤。

[0027] 参照图 2A- 图 2H,其中示出了根据本发明示例性实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图。

[0028] 首先,如图 2A 所示,提供半导体衬底 200,半导体衬底 200 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI)等。作为示例,在本实施例中,半导体衬底 200 选用单晶硅材料构成。在半导体衬底 200 中形成有隔离结构以及各种阱(well)结构,在半导体衬底 200 上形成有电路元件(包括开关装置),为了简化,图示中均予以省略。

[0029] 在半导体衬底 200 上形成有层间介质层 201,在层间介质层 201 中形成有第一金属电极 202,第一金属电极 202 的下端与所述电路元件相连接。

[0030] 接下来,采用本领域技术人员所熟习的沉积工艺在层间介质层 201 上形成硬掩膜叠层结构,覆盖层间介质层 201 和第一金属电极 202,所述硬掩膜叠层结构包括自下而上层叠的缓冲层 203、第一硬掩膜层 204 和第二硬掩膜层 205。在本实施例中,缓冲层 203、第一硬掩膜层 204 和第二硬掩膜层 205 的构成材料可以分别选用通过等离子体增强化学气相沉积工艺形成的氧化物、氮氧化硅和氧化物。

[0031] 接下来,在所述硬掩膜叠层结构上形成具有第一金属电极 202 的顶部图案 207 的光刻胶层 206。形成光刻胶层 206 的工艺为本领域技术人员所熟习,在此不再加以赘述。

[0032] 接着,如图 2B 所示,在所述硬掩膜叠层结构中的第二硬掩膜层 205 和第一硬掩膜层 204 中形成第一通孔 207',露出缓冲层 203。形成第一通孔 207' 的工艺步骤包括:以光刻胶层 206 为掩膜,实施第一蚀刻依次蚀刻第二硬掩膜层 205 和第一硬掩膜层 204,在其中形成第一通孔 207',在本实施例中,所述第一蚀刻可以采用 C_4F_8 、Ar 和 O_2 作为基础蚀刻气体;通过灰化工艺去除光刻胶层 206。

[0033] 接着,如图 2C 所示,在所述硬掩膜叠层结构上沉积侧墙材料层 208,填充第一通孔 207'。在本实施例中,侧墙材料层 208 的构成材料为氮化硅。

[0034] 接着,如图 2D 所示,实施第二蚀刻以蚀刻侧墙材料层 208,露出缓冲层 203 的同时,使覆盖第一通孔 207' 的侧壁的侧墙材料层 208 构成用于填充底部电极的第二通孔的图案 209,在本实施例中,所述第二蚀刻可以采用 CF_4 、 CHF_3 、Ar 和 O_2 作为基础蚀刻气体。

[0035] 接着,如图 2E 所示,以经过所述第二蚀刻的侧墙材料层 208 为掩膜,实施第三蚀刻以蚀刻缓冲层 203,露出部分第一金属电极 202 的同时,形成用于填充底部电极的第二通孔 209',在本实施例中,所述第三蚀刻可以采用 C_4F_8 、CO、Ar 和 O_2 作为基础蚀刻气体。

[0036] 需要说明的是,上述形成用于填充底部电极的第二通孔 209' 的工艺过程只是一种示例。本领域技术人员完全可以理解的是,也可以通过实施其它适宜的工艺过程在层间介质层 201 中形成用于填充底部电极的通孔。

[0037] 接着,如图 2F 所示,形成完全填充第二通孔 209' 的碳纳米管 210。在本实施例中,采用化学气相沉积工艺形成碳纳米管 210,沉积温度低于 400°C。实施所述沉积工艺之前,在第二通孔 209' 的侧壁和底部形成钴基催化剂,当含碳气体接触钴基催化剂的表面时发生分解,沉积生成碳纳米管。实施所述沉积工艺之后,形成的碳纳米管 210 的高度高于第二通孔 209' 的深度。

[0038] 接着,如图 2G 所示,沉积牺牲材料层 211,以覆盖碳纳米管 210、侧墙材料层 208 和第二硬掩膜层 205。在本实施例中,牺牲材料层 211 的材料优选氧化物。

[0039] 接着,如图 2H 所示,执行化学机械研磨,直至完全去除牺牲材料层 211。实施所述研磨之后,碳纳米管 210 的高度等于第二通孔 209' 的深度。此时,碳纳米管 210 构成底部电极。

[0040] 至此,完成了根据本发明示例性实施例的方法实施的工艺步骤,接下来,可以通过后续工艺完成整个半导体器件的制作,包括:依次形成相变材料层和第二金属电极,使由碳纳米管 210 构成的底部电极的上端接触相变材料层。根据本发明,在沉积工艺窗口达到临界极限的情况下,形成的碳纳米管 210 能够满足对于底部电极的预期性能指标的要求,从而提升器件的良率。

[0041] 参照图 3,其中示出了根据本发明示例性实施例的方法依次实施的步骤的流程图,用于简要示出整个制造工艺的流程。

[0042] 在步骤 301 中,提供半导体衬底,在半导体衬底上形成有层间介质层,在层间介质层中形成有第一金属电极;

[0043] 在步骤 302 中,在层间介质层中形成用于填充底部电极的通孔,所述通孔露出部分第一金属电极的上表面;

[0044] 在步骤 303 中,形成完全填充通孔的碳纳米管,所述碳纳米管作为底部电极。

[0045] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

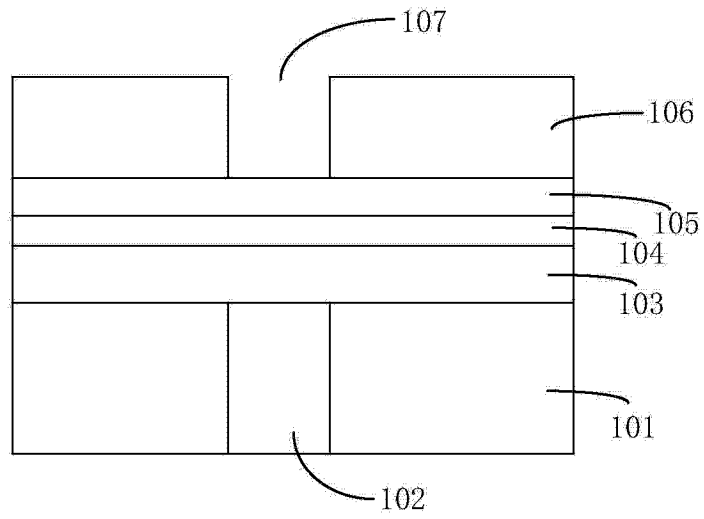


图 1A

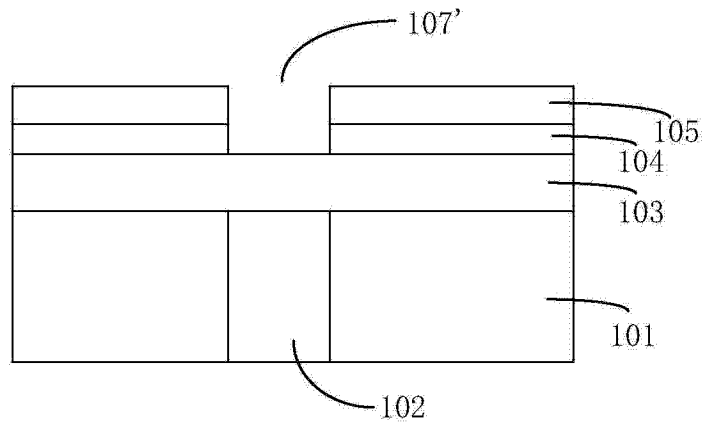


图 1B

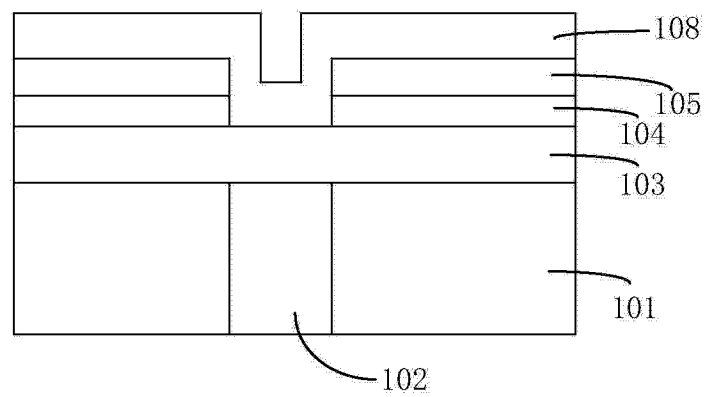


图 1C

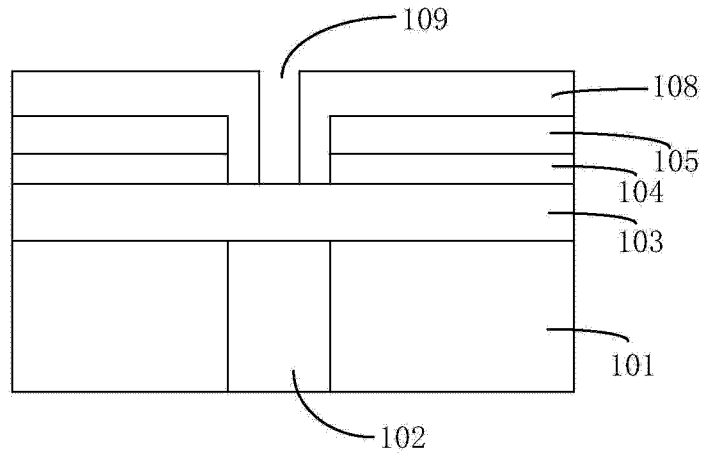


图 1D

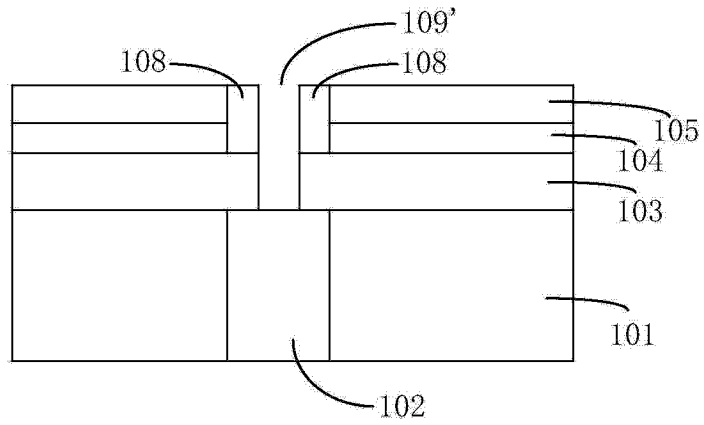


图 1E

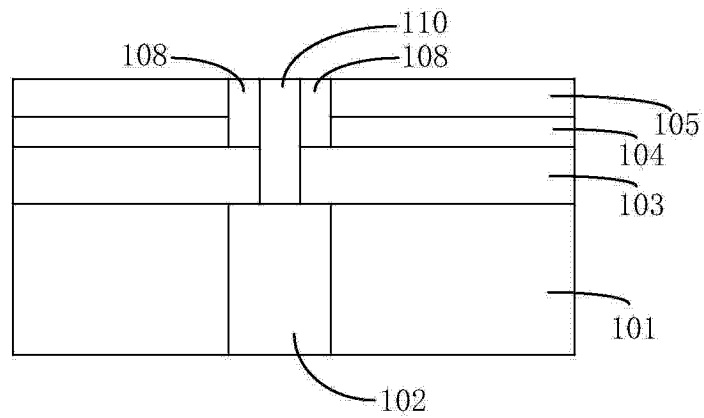


图 1F

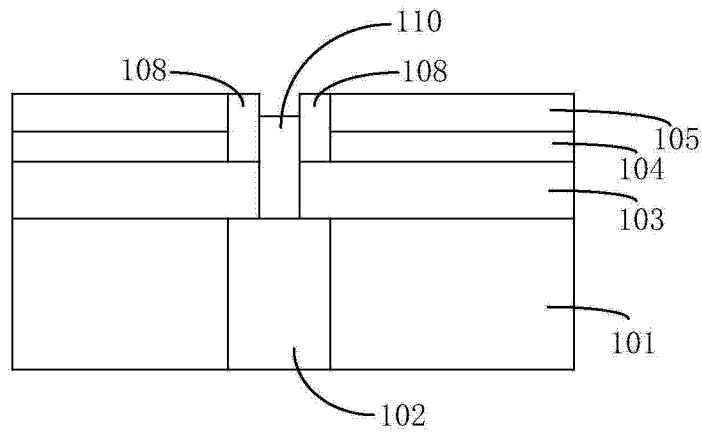


图 1G

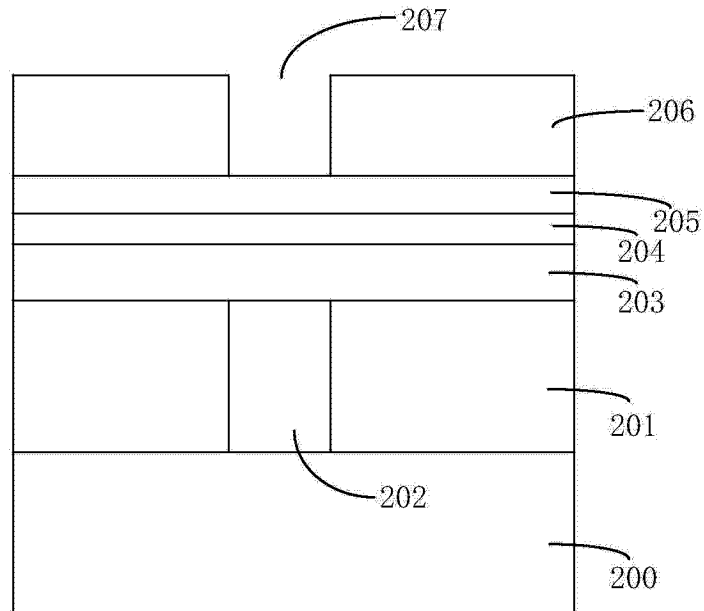


图 2A

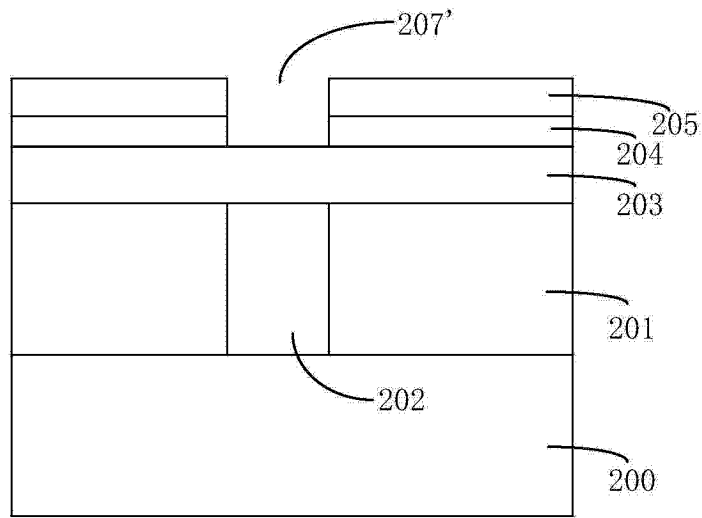


图 2B

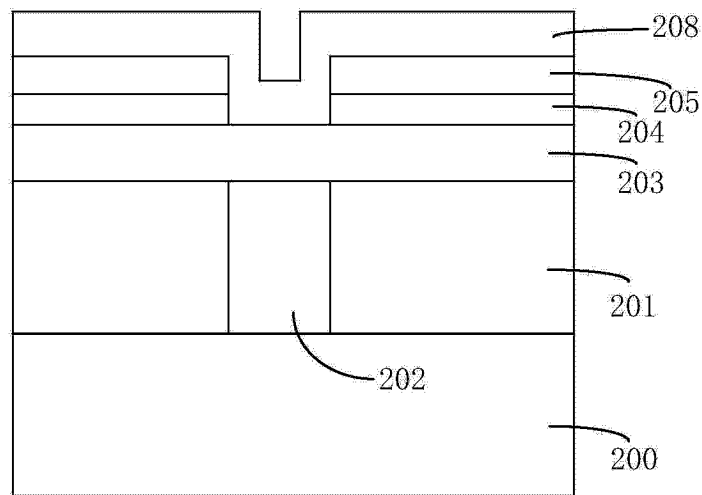


图 2C

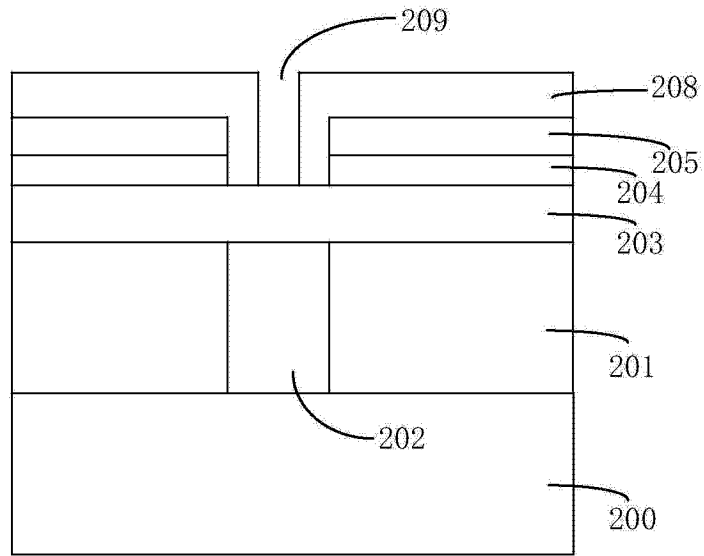


图 2D

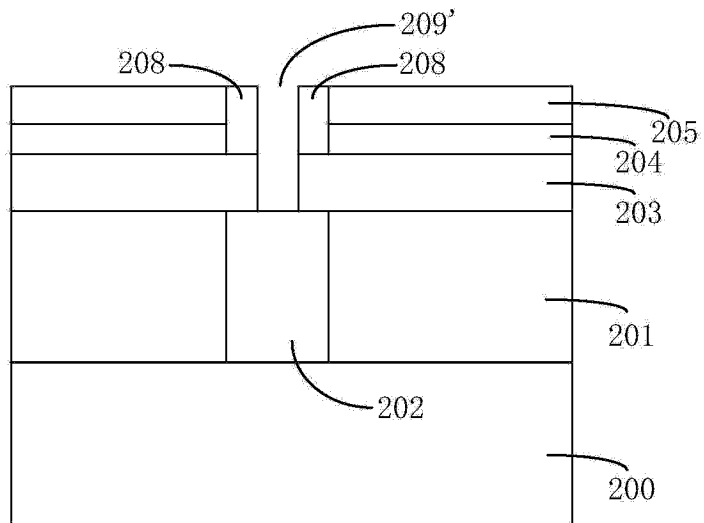


图 2E

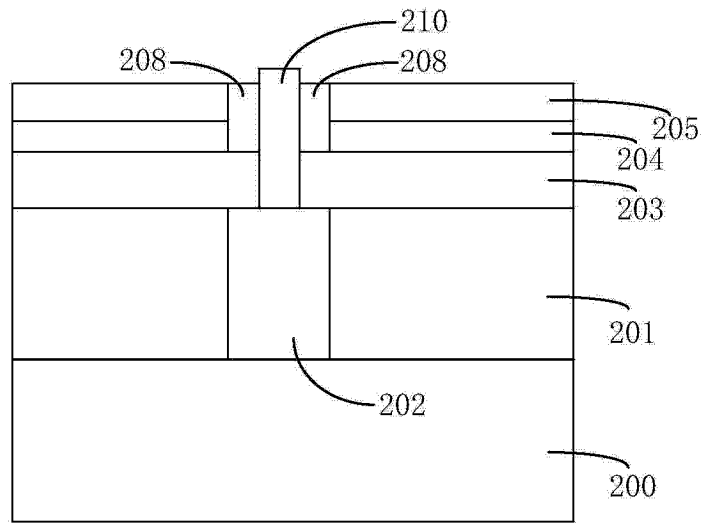


图 2F

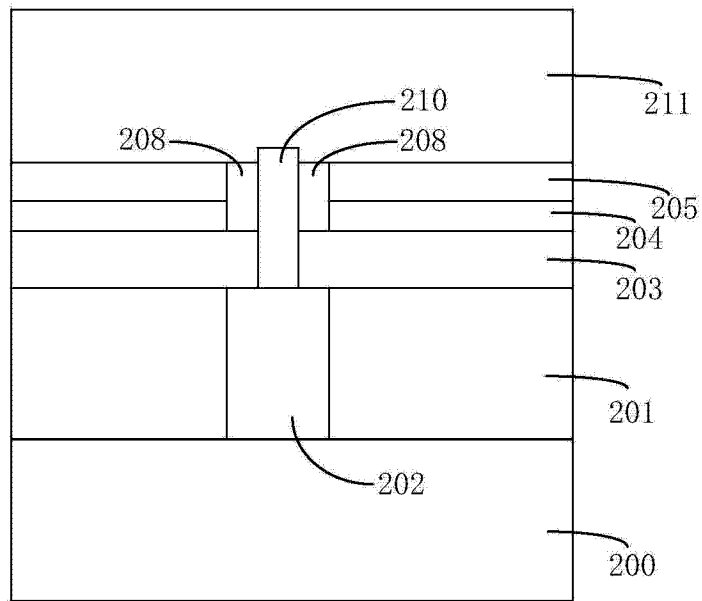


图 2G

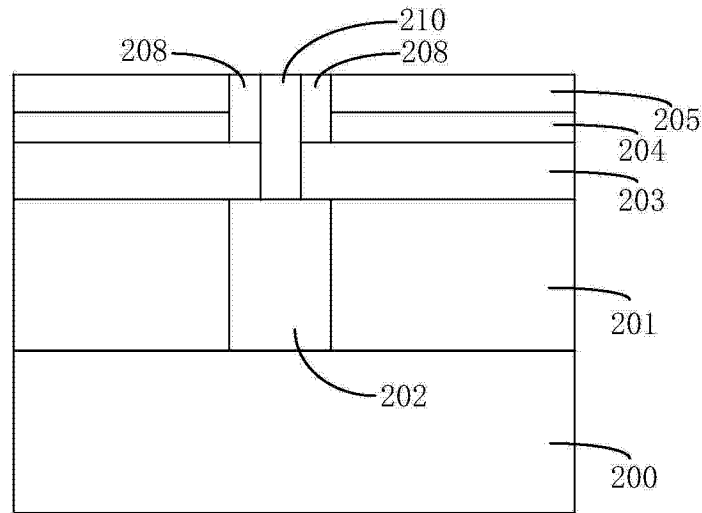


图 2H

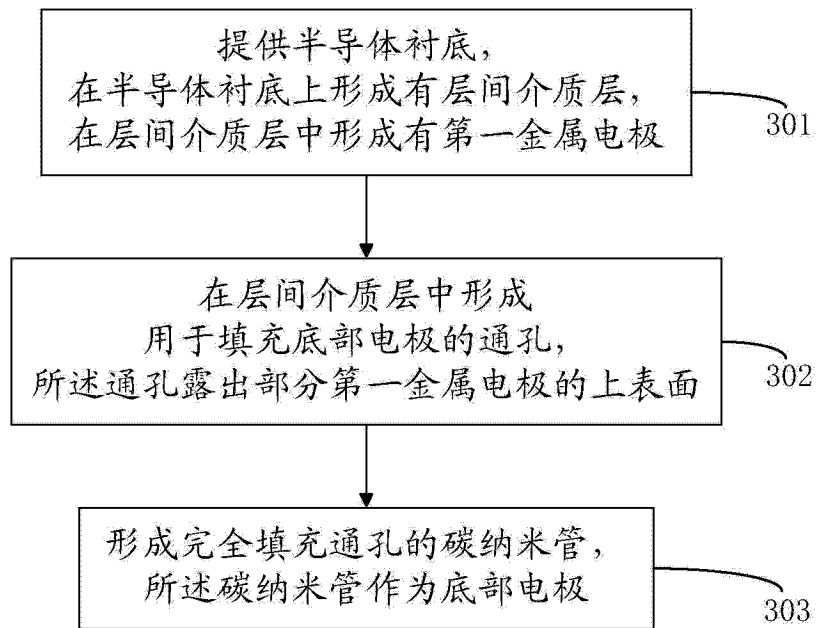


图 3