



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I402817B1

(45) 公告日：中華民國 102 (2013) 年 07 月 21 日

(21) 申請案號：098130128

(22) 申請日：中華民國 98 (2009) 年 09 月 07 日

(51) Int. Cl. : G09G3/36 (2006.01)

H03K19/0185(2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：蔡宗廷 TSAI, TSUNG TING (TW)；陳勇志 CHEN, YUNG CHIH (TW)

(74) 代理人：戴俊彥；吳豐任

(56) 參考文獻：

TW 200707392A

TW 200709166A

TW 200805243A

CN 101136185A

JP 2007-188079A

審查人員：胡培芝

申請專利範圍項數：20 項 圖式數：13 共 0 頁

(54) 名稱

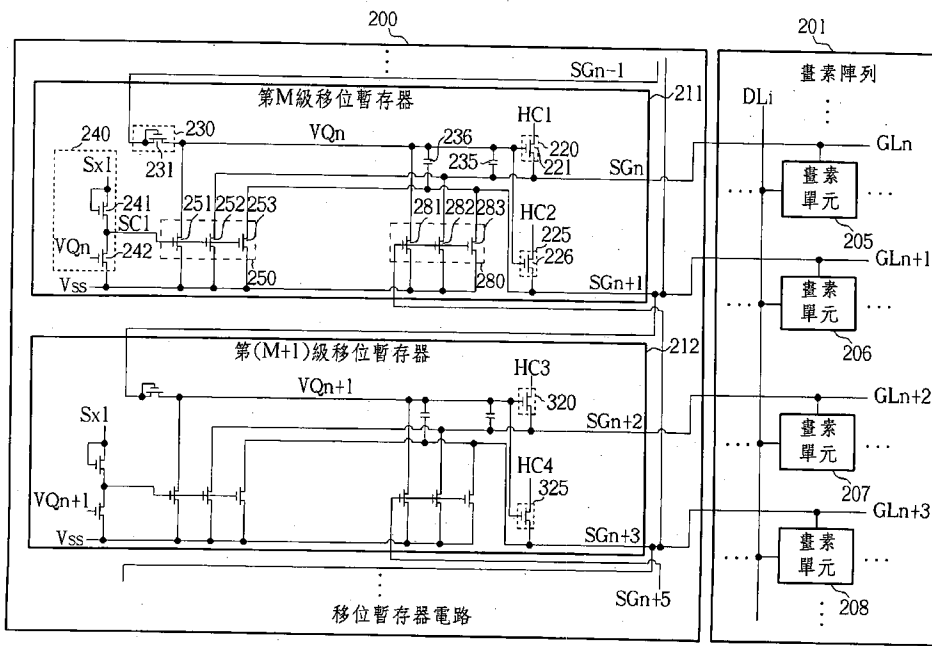
移位暫存器電路與其閘極訊號產生方法

SHIFT REGISTER CIRCUIT AND GATE SIGNAL GENERATION METHOD THEREOF

(57) 摘要

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號至複數閘極線。每一級移位暫存器包含輸入單元、第一上拉單元、第二上拉單元、下拉單元以及輔助下拉單元。輸入單元將前級移位暫存器所產生之第一閘極訊號輸入為驅動控制電壓。第一上拉單元根據驅動控制電壓與第一時脈訊號以上拉第二閘極訊號。第二上拉單元根據驅動控制電壓與第二時脈訊號以上拉第三閘極訊號。輔助下拉單元根據後級移位暫存器所產生之第四閘極訊號以下拉驅動控制電壓。下拉單元根據驅動控制電壓以下拉第一閘極訊號與第二閘極訊號。

A shift register circuit includes a plurality of shift register stages for providing plural gate signals to plural gate lines. Each shift register stage includes an input unit, a first pull-up unit, a second pull-up unit, a pull-down unit and an auxiliary pull-down unit. The input unit inputs a first gate signal generated by a preceding shift register stage to become a driving control voltage. The first pull-up unit pulls up a second gate signal according to the driving control voltage and a first clock signal. The second pull-up unit pulls up a third gate signal according to the driving control voltage and a second clock signal. The auxiliary pull-down unit is employed to pull down the driving control voltage according to a fourth gate signal generated by a subsequent shift register stage. The pull-down unit pulls down the first and second gate signals according to the driving control voltage.



第2圖

- 200 . . . 移位暫存器電路
- 201 . . . 畫素陣列
- 205、206、207、208 . . . 畫素單元
- 211 . . . 第 M 級移位暫存器
- 212 . . . 第(M+1)級移位暫存器
- 220 . . . 第一上拉單元
- 221 . . . 第一電晶體
- 225 . . . 第二上拉單元
- 226 . . . 第二電晶體
- 230 . . . 輸入單元
- 231 . . . 第三電晶體
- 235 . . . 第一電容
- 236 . . . 第二電容
- 240 . . . 第一控制單元
- 241 . . . 第四電晶體
- 242 . . . 第五電晶體
- 250 . . . 第一下拉單元
- 251 . . . 第六電晶體
- 252 . . . 第七電晶體
- 253 . . . 第八電晶體
- 280 . . . 輔助下拉單元
- 281 . . . 第九電晶體
- 282 . . . 第十電晶體
- 283 . . . 第十一電晶體
- DLi . . . 資料線
- GLn、GLn+1、GLn+2、GLn+3 . . . 閘極線

HC1 . . . 第一時脈
訊號

HC2 . . . 第二時脈
訊號

HC3 . . . 第三時脈
訊號

HC4 . . . 第四時脈
訊號

SC1 . . . 第一下拉
控制訊號

SGn-1、SGn、SGn
+1、SGn+2、SGn
+3、SGn+5 . . . 閘
極訊號

Sx1 . . . 第一控制訊
號

VQn . . . 驅動控制
電壓

Vss . . . 低電源電壓

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98130128

※申請日： 98.9.7

※IPC 分類： G09G3/36 (2006.01)
H03K19/0185 (2006.01)

一、發明名稱：(中文/英文)

移位暫存器電路與其閘極訊號產生方法/SHIFT REGISTER CIRCUIT
AND GATE SIGNAL GENERATION METHOD THEREOF

二、中文發明摘要：

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號至複數閘極線。每一級移位暫存器包含輸入單元、第一上拉單元、第二上拉單元、下拉單元以及輔助下拉單元。輸入單元將前級移位暫存器所產生之第一閘極訊號輸入為驅動控制電壓。第一上拉單元根據驅動控制電壓與第一時脈訊號以上拉第二閘極訊號。第二上拉單元根據驅動控制電壓與第二時脈訊號以上拉第三閘極訊號。輔助下拉單元根據後級移位暫存器所產生之第四閘極訊號以下拉驅動控制電壓。下拉單元根據驅動控制電壓以下拉第一閘極訊號與第二閘極訊號。

三、英文發明摘要：

A shift register circuit includes a plurality of shift register stages for providing plural gate signals to plural gate lines. Each shift register stage includes an input unit, a first pull-up unit, a second pull-up unit, a

pull-down unit and an auxiliary pull-down unit. The input unit inputs a first gate signal generated by a preceding shift register stage to become a driving control voltage. The first pull-up unit pulls up a second gate signal according to the driving control voltage and a first clock signal. The second pull-up unit pulls up a third gate signal according to the driving control voltage and a second clock signal. The auxiliary pull-down unit is employed to pull down the driving control voltage according to a fourth gate signal generated by a subsequent shift register stage. The pull-down unit pulls down the first and second gate signals according to the driving control voltage.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200	移位暫存器電路
201	畫素陣列
205、206、207、	畫素單元
208	
211	第M級移位暫存器
212	第(M+1)級移位暫存器
220	第一上拉單元
221	第一電晶體
225	第二上拉單元
226	第二電晶體
230	輸入單元
231	第三電晶體
235	第一電容
236	第二電容
240	第一控制單元
241	第四電晶體
242	第五電晶體
250	第一下拉單元

251	第六電晶體
252	第七電晶體
253	第八電晶體
280	輔助下拉單元
281	第九電晶體
282	第十電晶體
283	第十一電晶體
DLi	資料線
GLn、GLn+1、 GLn+2、GLn+3	閘極線
HC1	第一時脈訊號
HC2	第二時脈訊號
HC3	第三時脈訊號
HC4	第四時脈訊號
SC1	第一下拉控制訊號
SGn-1、SGn、 SGn+1、 SGn+2、 SGn+3、SGn+5	閘極訊號
Sx1	第一控制訊號
VQn	驅動控制電壓
Vss	低電源電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種移位暫存器電路與其閘極訊號產生方法，尤指一種具簡化架構之移位暫存器電路與其閘極訊號產生方法。

【先前技術】

液晶顯示裝置(Liquid Crystal Display；LCD)是目前廣泛使用的一種平面顯示器，其具有外型輕薄、省電以及無輻射等優點。液晶顯示裝置的工作原理係利用改變液晶層兩端的電壓差來改變液晶層內之液晶分子的排列狀態，用以改變液晶層的透光性，再配合背光模組所提供的光源以顯示影像。一般而言，液晶顯示裝置包含有複數畫素單元、閘極驅動器以及源極驅動器。源極驅動器係用來提供複數資料訊號至複數畫素單元。閘極驅動器包含移位暫存器電路，用來產生複數閘極訊號饋入複數畫素單元以控制複數資料訊號的寫入運作。因此，移位暫存器電路即為控制資料訊號寫入操作的關鍵性元件。

第 1 圖為習知移位暫存器電路 100 的示意圖。如第 1 圖所示，移位暫存器電路 100 包含複數級移位暫存器 120。每一級移位暫存

器 120 包含輸入單元 125、上拉單元 130、第一控制單元 135、第一下拉單元 140、第二控制單元 145、第二下拉單元 150、以及輔助下拉單元 160，用來根據第一時脈 CK1 與第二時脈 CK2 配合前級移位暫存器 120 所產生之閘極訊號以產生對應閘極訊號。移位暫存器電路 100 所產生之複數閘極訊號，係經由複數閘極線 190 而饋入至畫素陣列 101 之複數畫素單元 103，據以控制資料線 DLi 之資料訊號的寫入運作。然而，在移位暫存器電路 100 的運作中，每一級移位暫存器 120 只能產生一對應閘極訊號，所以移位暫存器電路 100 的電路結構相當複雜。因此，如何提供具簡化架構之移位暫存器電路以降低電路成本，已成為重要課題。

【發明內容】

依據本發明之實施例，其揭露一種具簡化架構之移位暫存器電路，用以提供複數閘極訊號至複數閘極線。此種移位暫存器電路包含複數級移位暫存器，其中第 M 級移位暫存器包含輸入單元、第一上拉單元、第二上拉單元、控制單元、下拉單元、以及輔助下拉單元。輸入單元電連接於第(M-1)級移位暫存器以接收第(N-1)閘極訊號，用來將具高準位之第(N-1)閘極訊號輸入為驅動控制電壓。第一上拉單元電連接於輸入單元與第 N 閘極線，用來根據驅動控制電壓與第一時脈訊號以上拉第 N 閘極訊號，其中第 N 閘極線係用以傳輸第 N 閘極訊號。第二上拉單元電連接於輸入單元與第(N+1)閘極線，用來根據驅動控制電壓與第二時脈訊號以上拉第(N+1)閘極訊號，其

中第(N+1)閘極線係用以傳輸第(N+1)閘極訊號。控制單元電連接於輸入單元，用來根據驅動控制電壓與控制訊號產生下拉控制訊號。下拉單元電連接於控制單元、輸入單元、第 N 閘極線與第(N+1)閘極線，用來根據下拉控制訊號以下拉驅動控制電壓、第 N 閘極訊號與第(N+1)閘極訊號。輔助下拉單元電連接於輸入單元、第 N 閘極線、第(N+1)閘極線與第(M+1)級移位暫存器，用來根據第(M+1)級移位暫存器所產生之第(N+2)閘極訊號或第(N+3)閘極訊號以下拉驅動控制電壓、第 N 閘極訊號與第(N+1)閘極訊號。

依據本發明之實施例，其另揭露一種閘極訊號產生方法，用於移位暫存器電路以產生複數閘極訊號饋入至複數閘極線。此移位暫存器電路包含複數級移位暫存器，其中第 M 級移位暫存器包含輸入單元、第一上拉單元、第二上拉單元、控制單元、下拉單元、以及輔助下拉單元。輸入單元電連接於第(M-1)級移位暫存器。第一上拉單元電連接於輸入單元與第 N 閘極線。第二上拉單元電連接於輸入單元與第(N+1)閘極線。控制單元電連接於輸入單元。下拉單元電連接於控制單元、輸入單元、第 N 閘極線與第(N+1)閘極線。輔助下拉單元電連接於第(M+1)級移位暫存器、輸入單元、第 N 閘極線與第(N+1)閘極線。

此種閘極訊號產生方法包含：於第一時段內，輸入單元將第(M-1)級移位暫存器所產生之第(N-1)閘極訊號輸入為驅動控制電壓；於第二時段內，第一上拉單元根據驅動控制電壓與第一時脈訊號以上拉

第 N 閘極訊號饋入第 N 閘極線；於第三時段內，第二上拉單元根據驅動控制電壓與第二時脈訊號以上拉第(N+1)閘極訊號饋入至第(N+1)閘極線；於不重疊第一時段、第二時段與第三時段的第四時段內，輔助下拉單元根據第(M+1)級移位暫存器所產生之第(N+2)閘極訊號或第(N+3)閘極訊號以下拉驅動控制電壓；於第四時段內，控制單元根據驅動控制電壓與控制訊號以產生下拉控制訊號饋入至下拉單元；以及於第四時段內，下拉單元根據下拉控制訊號以下拉第 N 閘極訊號與第(N+1)閘極訊號。

本發明另揭露一種閘極訊號產生方法，用於移位暫存器電路以產生複數閘極訊號饋入至複數閘極線。此移位暫存器電路包含複數級移位暫存器，其中第 M 級移位暫存器包含輸入單元、第一上拉單元、第二上拉單元、第一控制單元、第一下拉單元、第二控制單元、第二下拉單元、以及輔助下拉單元。輸入單元電連接於第(M-1)級移位暫存器。第一上拉單元電連接於輸入單元與第 N 閘極線。第二上拉單元電連接於輸入單元與第(N+1)閘極線。第一控制單元電連接於輸入單元。第一下拉單元電連接於第一控制單元、輸入單元、第 N 閘極線與第(N+1)閘極線。第二控制單元電連接於輸入單元。第二下拉單元電連接於第二控制單元、輸入單元、第 N 閘極線與第(N+1)閘極線。輔助下拉單元電連接於第(M+1)級移位暫存器、輸入單元、第 N 閘極線與第(N+1)閘極線。

此種閘極訊號產生方法包含：於第 I 畫面時間之第一時段內，

輸入單元將第(M-1)級移位暫存器所產生之第(N-1)閘極訊號輸入為驅動控制電壓；於第 I 畫面時間之第二時段內，第一上拉單元根據驅動控制電壓與第一時脈訊號以上拉第 N 閘極訊號饋入至第 N 閘極線；於第 I 畫面時間之第三時段內，第二上拉單元根據驅動控制電壓與第二時脈訊號以上拉第(N+1)閘極訊號饋入至第(N+1)閘極線；於第 I 畫面時間之不重疊其第一、第二與第三時段的第四時段內，輔助下拉單元根據第(M+1)級移位暫存器所產生之第(N+2)閘極訊號或第(N+3)閘極訊號以下拉驅動控制電壓、第 N 閘極訊號與第(N+1)閘極訊號；於第 I 畫面時間之第四時段內，第一控制單元根據驅動控制電壓與第一控制訊號以產生第一下拉控制訊號饋入至第一下拉單元；於第 I 畫面時間之第四時段內，第一下拉單元根據第一下拉控制訊號以下拉驅動控制電壓、第 N 閘極訊號與第(N+1)閘極訊號；於第(I+1)畫面時間之第一時段內，輸入單元將第(N-1)閘極訊號輸入為驅動控制電壓；於第(I+1)畫面時間之第二時段內，第一上拉單元根據驅動控制電壓與第一時脈訊號以上拉第 N 閘極訊號；於第(I+1)畫面時間之第三時段內，第二上拉單元根據驅動控制電壓與第二時脈訊號以上拉第(N+1)閘極訊號；於第(I+1)畫面時間之不重疊其第一、第二與第三時段的第四時段內，輔助下拉單元根據第(N+2)閘極訊號或第(N+3)閘極訊號以下拉驅動控制電壓、第 N 閘極訊號與第(N+1)閘極訊號；於第(I+1)畫面時間之第四時段內，第二控制單元根據驅動控制電壓與反相於第一控制訊號之第二控制訊號以產生第二下拉控制訊號饋入至第二下拉單元；以及於第(I+1)畫面時間之第四時段內，第二下拉單元根據第二下拉控制訊號以下拉驅動控制電

壓、第 N 閘極訊號與第(N+1)閘極訊號。

【實施方式】

下文依本發明之移位暫存器電路與其閘極訊號產生方法，特舉實施例配合所附圖式作詳細說明，但所提供之實施例並非用以限制本發明所涵蓋的範圍，而方法流程步驟編號更非用以限制其執行先後次序，任何由方法步驟重新組合之執行流程，所產生具有均等功效的方法，皆為本發明所涵蓋的範圍。

第 2 圖為本發明第一實施例之移位暫存器電路 200 的示意圖。如第 2 圖所示，移位暫存器電路 200 包含複數級移位暫存器。為方便說明，移位暫存器電路 200 只顯示第 M 級移位暫存器 211 與第 (M+1) 級移位暫存器 212。第 M 級移位暫存器 211 係用以提供閘極訊號 SG_n 與閘極訊號 SG_{n+1} ，第 (M+1) 級移位暫存器 212 係用以提供閘極訊號 SG_{n+2} 與閘極訊號 SG_{n+3} 。M 與 n 為正整數。相鄰級移位暫存器係分別受控於相異時脈訊號，譬如第 M 級移位暫存器 211 受控於第一時脈訊號 HC1 與第二時脈訊號 HC2，而第 (M+1) 級移位暫存器 212 則受控於第三時脈訊號 HC3 與第四時脈訊號 HC4。

閘極訊號 SG_n 經由閘極線 GL_n 饋入至畫素陣列 201 之畫素單元 205，用以控制資料線 DL_i 之資料訊號寫入至畫素單元 205。閘極訊號 SG_{n+1} 經由閘極線 GL_{n+1} 饋入至畫素陣列 201 之畫素單元

206，用以控制資料線 DL_i 之資料訊號寫入至畫素單元 206。閘極訊號 SG_{n+1} 另饋入至第 $(M+1)$ 級移位暫存器 212，用來作為致能第 $(M+1)$ 級移位暫存器 212 所需之起始脈波訊號，而第 M 級移位暫存器 211 則以第 $(M-1)$ 級移位暫存器(未顯示)所產生之閘極訊號 SG_{n-1} 作為致能所需之起始脈波訊號。閘極訊號 SG_{n+2} 經由閘極線 GL_{n+2} 饋入至畫素陣列 201 之畫素單元 207，用以控制資料線 DL_i 之資料訊號寫入至畫素單元 207。閘極訊號 SG_{n+3} 經由閘極線 GL_{n+3} 饋入至畫素陣列 201 之畫素單元 208，用以控制資料線 DL_i 之資料訊號寫入至畫素單元 208。閘極訊號 SG_{n+3} 另饋入至第 $(M+2)$ 級移位暫存器(未顯示)，用來作為致能第 $(M+2)$ 級移位暫存器所需之起始脈波訊號。

第 M 級移位暫存器 211 包含輸入單元 230、第一電容 235、第二電容 236、第一上拉單元 220、第二上拉單元 225、第一控制單元 240、第一下拉單元 250、以及輔助下拉單元 280。輸入單元 230 電連接於第 $(M-1)$ 級移位暫存器以接收閘極訊號 SG_{n-1} ，用來將具高準位之閘極訊號 SG_{n-1} 輸入為驅動控制電壓 VQ_n 。第一電容 235 與第二電容 236 係用以儲存驅動控制電壓 VQ_n 。第一上拉單元 220 電連接於閘極線 GL_n ，用以根據驅動控制電壓 VQ_n 與第一時脈訊號 $HC1$ 以上拉閘極線 GL_n 之閘極訊號 SG_n 。第二上拉單元 225 電連接於閘極線 GL_{n+1} ，用以根據驅動控制電壓 VQ_n 與第二時脈訊號 $HC2$ 以上拉閘極線 GL_{n+1} 之閘極訊號 SG_{n+1} 。第一控制單元 240 電連接於輸入單元 230 與第一下拉單元 250，用來根據驅動控制電壓 VQ_n 與

第一控制訊號 S_{x1} 以產生第一下拉控制訊號 $SC1$ 。第一下拉單元 250 電連接於第一控制單元 240、輸入單元 230、閘極線 GL_n 與閘極線 GL_{n+1} ，用來根據第一下拉控制訊號 $SC1$ 以下拉驅動控制電壓 VQ_n 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 。輔助下拉單元 280 電連接於第 $(M+1)$ 級移位暫存器 212、輸入單元 230、閘極線 GL_n 與閘極線 GL_{n+1} ，用來根據閘極訊號 SG_{n+3} 以下拉驅動控制電壓 VQ_n 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 。請注意，第 $(M+1)$ 級移位暫存器 212 之第一上拉單元 320 係用以根據驅動控制電壓 VQ_{n+1} 與第三時脈訊號 $HC3$ 以上拉閘極線 GL_{n+2} 之閘極訊號 SG_{n+2} ，而第 $(M+1)$ 級移位暫存器 212 之第二上拉單元 325 係用以根據驅動控制電壓 VQ_{n+1} 與第四時脈訊號 $HC4$ 以上拉閘極線 GL_{n+3} 之閘極訊號 SG_{n+3} 。

在第 2 圖所示之實施例中，第一上拉單元 220 包含第一電晶體 221，第二上拉單元 225 包含第二電晶體 226，輸入單元 230 包含第三電晶體 231，第一控制單元 240 包含第四電晶體 241 與第五電晶體 242，第一下拉單元 250 包含第六電晶體 251、第七電晶體 252 與第八電晶體 253，輔助下拉單元 280 包含第九電晶體 281、第十電晶體 282 與第十一電晶體 283。第一電晶體 221 至第十一電晶體 283 係為薄膜電晶體 (Thin Film Transistor)、金氧半場效電晶體 (Metal Oxide Semiconductor Field Effect Transistor)、或接面場效電晶體 (Junction Field Effect Transistor)。

第三電晶體 231 包含第一端、第二端與閘極端，其中第一端用

以接收閘極訊號 SG_{n-1} ，閘極端電連接於第一端，第二端電連接於第一上拉單元 220 與第二上拉單元 225。第三電晶體 231 之電路功能類同於二極體，其第一端與第二端實質上等效於二極體之陽極 (Anode) 與陰極 (Cathode)，亦即若閘極訊號 SG_{n-1} 為高準位時，則第三電晶體 231 導通以將閘極訊號 SG_{n-1} 輸入為驅動控制電壓 VQ_n ，若閘極訊號 SG_{n-1} 為低準位時，則第三電晶體 231 截止。第一電晶體 221 包含第一端、第二端與閘極端，其中第一端用以接收第一時脈訊號 $HC1$ ，閘極端電連接於第三電晶體 231 之第二端，第二端電連接於閘極線 GL_n 。第一電容 235 電連接於第一電晶體 221 的閘極端與第二端之間。第二電晶體 226 包含第一端、第二端與閘極端，其中第一端用以接收第二時脈訊號 $HC2$ ，閘極端電連接於第三電晶體 231 之第二端，第二端電連接於閘極線 GL_{n+1} 。第二電容 236 電連接於第二電晶體 226 的閘極端與第二端之間。

第四電晶體 241 包含第一端、第二端與閘極端，其中第一端用以接收第一控制訊號 $Sx1$ ，閘極端電連接於第一端，第二端電連接於第一下拉單元 250。第五電晶體 242 包含第一端、第二端與閘極端，其中第一端電連接於第四電晶體 241 之第二端，閘極端電連接於第三電晶體 231 之第二端以接收驅動控制電壓 VQ_n ，第二端用以接收低電源電壓 V_{ss} 。第六電晶體 251 包含第一端、第二端與閘極端，其中第一端電連接於第三電晶體 231 之第二端，閘極端電連接於第四電晶體 241 之第二端以接收第一下拉控制訊號 $SC1$ ，第二端用以接收低電源電壓 V_{ss} 。第七電晶體 252 包含第一端、第二端與

閘極端，其中第一端電連接於閘極線 GL_n ，閘極端電連接於第六電晶體 251 之閘極端，第二端用以接收低電源電壓 V_{ss} 。第八電晶體 253 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_{n+1} ，閘極端電連接於第六電晶體 251 之閘極端，第二端用以接收低電源電壓 V_{ss} 。

第九電晶體 281 包含第一端、第二端與閘極端，其中第一端電連接於第三電晶體 231 之第二端，閘極端電連接於第 $(M+1)$ 級移位暫存器 212 以接收閘極訊號 SG_{n+3} ，第二端用以接收低電源電壓 V_{ss} 。第十電晶體 282 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_n ，閘極端電連接於第九電晶體 281 之閘極端，第二端用以接收低電源電壓 V_{ss} 。第十一電晶體 283 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_{n+1} ，閘極端電連接於第九電晶體 281 之閘極端，第二端用以接收低電源電壓 V_{ss} 。

由上述可知，在用來產生閘極訊號 SG_n 與閘極訊號 SG_{n+1} 的第 M 級移位暫存器 211 之電路結構中，輸入單元 230、第一控制單元 240、第一下拉單元 250 與輔助下拉單元 280 等電路係被共用以執行閘極訊號 SG_n 與閘極訊號 SG_{n+1} 的下拉運作。所以，相較於習知移位暫存器電路，移位暫存器電路 200 係具有顯著簡化的電路結構。

第 3 圖為第 2 圖之移位暫存器電路 200 的第一電路運作實施例

之相關訊號波形圖，其中橫軸為時間軸。在第 3 圖中，由上往下的訊號分別為第一時脈訊號 HC1、第二時脈訊號 HC2、第三時脈訊號 HC3、第四時脈訊號 HC4、閘極訊號 SGn-1、驅動控制電壓 VQn、閘極訊號 SGn、閘極訊號 SGn+1、閘極訊號 SGn+2、以及閘極訊號 SGn+3。如第 3 圖所示，第一時脈訊號 HC1 至第四時脈訊號 HC4 之週期性脈波係不互相重疊。在移位暫存器電路 200 的第一電路運作實施例中，第一控制訊號 Sx1 可為第一時脈訊號 HC1、第二時脈訊號 HC2、第三時脈訊號 HC3、第四時脈訊號 HC4、直流電壓、或異於時脈訊號 HC1~HC4 之另一時脈訊號，此直流電壓係為可使第四電晶體 241 導通之電壓。以下詳述移位暫存器電路 200 的第一電路運作實施例。

於第 I 畫面時間的時段 A11 內，閘極訊號 SGn-1 由低準位上昇至高準位，所以第三電晶體 231 切換為導通狀態，使驅動控制電壓 VQn 也跟著從低電壓上昇至第一高電壓 Vh1。此時，驅動控制電壓 VQn 可導通第五電晶體 242 以下拉第一下拉控制訊號 SC1 至低電源電壓 Vss，進而截止第六電晶體 251、第七電晶體 252 與第八電晶體 253。於第 I 畫面時間的時段 A12 內，閘極訊號 SGn-1 保持在低準位，所以第三電晶體 231 工作於截止狀態，使驅動控制電壓 VQn 為浮接電壓，又因第一時脈訊號 HC1 由低準位上昇至高準位，所以可藉由第一電晶體 221 之元件電容的耦合作用，將驅動控制電壓 VQn 由第一高電壓 Vh1 上拉至第二高電壓 Vh2，並據以導通第一電晶體 221，將閘極訊號 SGn 由低準位上拉至高準位。

於第 I 畫面時間的時段 Ax1 內，第一時脈訊號 HC1 由高準位降為低準位，所以閘極訊號 SGn 也跟著降為低準位，同時藉由第一電晶體 221 之元件電容的耦合作用，將驅動控制電壓 VQn 由第二高電壓 Vh2 下拉至第一高電壓 Vh1。於第 I 畫面時間的時段 A13 內，第二時脈訊號 HC2 由低準位上昇至高準位，所以可藉由第二電晶體 226 之元件電容的耦合作用，將驅動控制電壓 VQn 由第一高電壓 Vh1 再上拉至第二高電壓 Vh2，並據以導通第二電晶體 226，將閘極訊號 SGn+1 由低準位上拉至高準位。於第 I 畫面時間的時段 Ay1 內，第二時脈訊號 HC2 由高準位降為低準位，所以閘極訊號 SGn+1 也跟著降為低準位，同時藉由第二電晶體 226 之元件電容的耦合作用，將驅動控制電壓 VQn 由第二高電壓 Vh2 再下拉至第一高電壓 Vh1。此外，閘極訊號 SGn+1 於時段 A13 內之高準位，可用來致能第(M+1)級移位暫存器 212，以於第 I 畫面時間的時段 A14 內提供具高準位之閘極訊號 SGn+2，並於第 I 畫面時間的時段 A15 內提供具高準位之閘極訊號 SGn+3，而具高準位之閘極訊號 SGn+3 即可用來導通第九電晶體 281、第十電晶體 282 與第十一電晶體 283 以下拉驅動控制電壓 VQn、閘極訊號 SGn 與閘極訊號 SGn+1 至低電源電壓 Vss，進而截止第五電晶體 242。此時，第一控制訊號 Sx1 即可經由第四電晶體 241 以上拉為第一下拉控制訊號 SC1，進而導通第六電晶體 251、第七電晶體 252 與第八電晶體 253 以下拉驅動控制電壓 VQn、閘極訊號 SGn 與閘極訊號 SGn+1 至低電源電壓 Vss。其後，在第 I 畫面時間的其餘時間中，為保持閘極訊號 SGn 與閘極

訊號 SG_{n+1} 在低準位狀態，第一下拉控制訊號 $SC1$ 係用以持續或週期性下拉驅動控制電壓 VQ_n 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 。

第 4 圖為第 2 圖之移位暫存器電路 200 的第二電路運作實施例之相關訊號波形圖，其中橫軸為時間軸。在第 4 圖中，由上往下的訊號分別為第一時脈訊號 $HC1$ 、第二時脈訊號 $HC2$ 、第三時脈訊號 $HC3$ 、第四時脈訊號 $HC4$ 、閘極訊號 SG_{n-1} 、驅動控制電壓 VQ_n 、閘極訊號 SG_n 、閘極訊號 SG_{n+1} 、閘極訊號 SG_{n+2} 、以及閘極訊號 SG_{n+3} 。如第 4 圖所示，第一時脈訊號 $HC1$ 至第四時脈訊號 $HC4$ 之週期性脈波係部分重疊。同理，在移位暫存器電路 200 的第二電路運作實施例中，第一控制訊號 $Sx1$ 可為第一時脈訊號 $HC1$ 、第二時脈訊號 $HC2$ 、第三時脈訊號 $HC3$ 、第四時脈訊號 $HC4$ 、直流電壓、或異於時脈訊號 $HC1 \sim HC4$ 之另一時脈訊號。移位暫存器電路 200 的第二電路運作實施例基本上類似於第 3 圖所示的第一電路運作實施例，主要差異在於第 K 畫面的時段 $Tx1$ 。由於在時段 $Tx1$ 內，第一時脈訊號 $HC1$ 與第二時脈訊號 $HC2$ 的脈波重疊，所以當第二時脈訊號 $HC2$ 由低準位上昇至高準位時，可藉由第二電晶體 226 之元件電容的耦合作用，使驅動控制電壓 VQ_n 由第二高電壓 $Vh2$ 上拉至第三高電壓 $Vh3$ 。其後，於第 K 畫面的時段 $Ty1$ 內，第一時脈訊號 $HC1$ 由高準位降為低準位，同時藉由第一電晶體 221 之元件電容的耦合作用，將驅動控制電壓 VQ_n 由第三高電壓 $Vh3$ 下拉至第二高電壓 $Vh2$ 。除上述外，驅動控制電壓 VQ_n 與閘極訊號 $SG_n \sim SG_{n+3}$ 在第 K 畫面之其餘時段的上拉或下拉運作可根據移位暫存器電路

200 的第一電路運作實施例之說明而類推，所以不再贅述。

第 5 圖為本發明第二實施例之移位暫存器電路 500 的示意圖。如第 5 圖所示，移位暫存器電路 500 包含複數級移位暫存器。為方便說明，移位暫存器電路 500 仍只顯示第 M 級移位暫存器 511 與第 (M+1) 級移位暫存器 512。第 M 級移位暫存器 511 的電路結構係類似於第 2 圖所示之第 M 級移位暫存器 211 的電路結構。相較於第 M 級移位暫存器 211，第 M 級移位暫存器 511 另包含第二控制單元 260 與第二下拉單元 270。第二控制單元 260 電連接於輸入單元 230 與第二下拉單元 270。第二控制單元 260 電連接於輸入單元 230 與第二下拉單元 270，用來根據驅動控制電壓 VQ_n 與第二控制訊號 Sx_2 以產生第二下拉控制訊號 SC_2 。第二下拉單元 270 電連接於第二控制單元 260、輸入單元 230、閘極線 GL_n 與閘極線 GL_{n+1} ，用來根據第二下拉控制訊號 SC_2 以下拉驅動控制電壓 VQ_n 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 。

在第 5 圖所示之實施例中，第二控制單元 260 包含第十二電晶體 261 與第十三電晶體 262，第二下拉單元 270 包含第十四電晶體 271、第十五電晶體 272 與第十六電晶體 273。第十二電晶體 261 至第十六電晶體 273 係為薄膜電晶體、金氧半場效電晶體、或接面場效電晶體。第十二電晶體 261 包含第一端、第二端與閘極端，其中第一端用以接收第二控制訊號 Sx_2 ，閘極端電連接於第一端，第二端電連接於第二下拉單元 270。第十三電晶體 262 包含第一端、第二端與閘極端，其中第一端電連接於第十二電晶體 261 之第二端，

閘極端電連接於第三電晶體 231 之第二端以接收驅動控制電壓 V_{Qn} ，第二端用以接收低電源電壓 V_{ss} 。第十四電晶體 271 包含第一端、第二端與閘極端，其中第一端電連接於第三電晶體 231 之第二端，閘極端電連接於第十二電晶體 261 之第二端以接收第二下拉控制訊號 $SC2$ ，第二端用以接收低電源電壓 V_{ss} 。第十五電晶體 272 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_n ，閘極端電連接於第十四電晶體 271 之閘極端，第二端用以接收低電源電壓 V_{ss} 。第十六電晶體 273 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_{n+1} ，閘極端電連接於第十四電晶體 271 之閘極端，第二端用以接收低電源電壓 V_{ss} 。

由上述可知，在用來產生閘極訊號 SG_n 與閘極訊號 SG_{n+1} 的第 M 級移位暫存器 511 之電路結構中，輸入單元 230、第一控制單元 240、第一下拉單元 250、第二控制單元 260、第二下拉單元 270 與輔助下拉單元 280 等電路係被共用以執行閘極訊號 SG_n 與閘極訊號 SG_{n+1} 的下拉運作。所以，相較於習知移位暫存器電路，移位暫存器電路 500 係具有顯著簡化的電路結構。此外，藉由第一控制單元 240、第一下拉單元 250、第二控制單元 260 與第二下拉單元 270 所提供的交互下拉機制，可顯著延長電路元件使用壽命。

第 6 圖為第 5 圖之移位暫存器電路 500 的第一電路運作實施例之相關訊號波形圖，其中橫軸為時間軸。在第 6 圖中，由上往下的訊號分別為第一時脈訊號 $HC1$ 、第二時脈訊號 $HC2$ 、第三時脈訊號

HC3、第四時脈訊號 HC4、第一控制訊號 Sx1、第二控制訊號 Sx2、閘極訊號 SGn-1、驅動控制電壓 VQn、閘極訊號 SGn、閘極訊號 SGn+1、閘極訊號 SGn+2、以及閘極訊號 SGn+3。如第 6 圖所示，第一時脈訊號 HC1 至第四時脈訊號 HC4 之週期性脈波係不互相重疊。在移位暫存器電路 500 的第二電路運作實施例中，第二控制訊號 Sx2 係反相於第一控制訊號 Sx1，且以二畫面時間為週期。舉例而言，在第 I 畫面時間內，第一控制訊號 Sx1 與第二控制訊號 Sx2 分別保持在高電壓準位與低電壓準位，而在第(I+1)畫面時間內，第一控制訊號 Sx1 與第二控制訊號 Sx2 則分別保持在低電壓準位與高電壓準位。以下詳述移位暫存器電路 500 的第一電路運作實施例。

於第 I 畫面時間的時段 A11 內，閘極訊號 SGn-1 由低準位上昇至高準位，所以第三電晶體 231 切換為導通狀態，使驅動控制電壓 VQn 也跟著從低電壓上昇至第一高電壓 Vh1。此時，驅動控制電壓 VQn 可導通第五電晶體 242 與第十三電晶體 262，以下拉第一下拉控制訊號 SC1 與第二下拉控制訊號 SC2 至低電源電壓 Vss，進而截止電晶體 251~253 與電晶體 271~273。於第 I 畫面時間的時段 A12 內，閘極訊號 SGn-1 保持在低準位，所以第三電晶體 231 工作於截止狀態，使驅動控制電壓 VQn 為浮接電壓，又因第一時脈訊號 HC1 由低準位上昇至高準位，所以可藉由第一電晶體 221 之元件電容的耦合作用，將驅動控制電壓 VQn 由第一高電壓 Vh1 上拉至第二高電壓 Vh2，並據以導通第一電晶體 221，將閘極訊號 SGn 由低準位上拉至高準位。

於第 I 畫面時間的時段 Ax1 內，第一時脈訊號 HC1 由高準位降為低準位，所以閘極訊號 SGn 也跟著降為低準位，同時藉由第一電晶體 221 之元件電容的耦合作用，將驅動控制電壓 VQn 由第二高電壓 Vh2 下拉至第一高電壓 Vh1。於第 I 畫面時間的時段 A13 內，第二時脈訊號 HC2 由低準位上昇至高準位，所以可藉由第二電晶體 226 之元件電容的耦合作用，將驅動控制電壓 VQn 由第一高電壓 Vh1 再上拉至第二高電壓 Vh2，並據以導通第二電晶體 226，將閘極訊號 SGn+1 由低準位上拉至高準位。於第 I 畫面時間的時段 Ay1 內，第二時脈訊號 HC2 由高準位降為低準位，所以閘極訊號 SGn+1 也跟著降為低準位，同時藉由第二電晶體 226 之元件電容的耦合作用，將驅動控制電壓 VQn 由第二高電壓 Vh2 再下拉至第一高電壓 Vh1。此外，閘極訊號 SGn+1 於時段 A13 內之高準位，可用來致能第(M+1)級移位暫存器 512，以於第 I 畫面時間的時段 A14 內提供具高準位之閘極訊號 SGn+2，並於第 I 畫面時間的時段 A15 內提供具高準位之閘極訊號 SGn+3，而具高準位之閘極訊號 SGn+3 即可用來導通第九電晶體 281、第十電晶體 282 與第十一電晶體 283 以下拉驅動控制電壓 VQn、閘極訊號 SGn 與閘極訊號 SGn+1 至低電源電壓 Vss，進而截止第五電晶體 242 與第十三電晶體 262。此時，具高電壓準位之第一控制訊號 Sx1 即可經由第四電晶體 241 以上拉第一下拉控制訊號 SC1，進而導通第六電晶體 251、第七電晶體 252 與第八電晶體 253 以下拉驅動控制電壓 VQn、閘極訊號 SGn 與閘極訊號 SGn+1 至低電源電壓 Vss。其後，在第 I 畫面時間的其餘時間中，

具高電壓準位之第一下拉控制訊號 SC1 係用以持續下拉驅動控制電壓 VQn、閘極訊號 SGn 與閘極訊號 SGn+1。

於第(I+1)畫面時間的時段 A21、A22、Ax2、A23、Ay2 與 A24 內的電路運作原理，係類同於第 I 畫面時間的時段 A11、A12、Ax1、A13、Ay1 與 A14 內的電路運作原理，所以不再贅述。於第(I+1)畫面時間的時段 A25 內，由於第十三電晶體 262 被截止，所以具高電壓準位之第二控制訊號 Sx2 可經由第十二電晶體 261 以上拉第二下拉控制訊號 SC2，進而導通第十四電晶體 271、第十五電晶體 272 與第十六電晶體 273 以下拉驅動控制電壓 VQn、閘極訊號 SGn 與閘極訊號 SGn+1 至低電源電壓 Vss。其後，在第(I+1)畫面時間的其餘時間中，為保持閘極訊號 SGn 與閘極訊號 SGn+1 在低準位狀態，具高電壓準位之第二下拉控制訊號 SC2 係用以持續下拉驅動控制電壓 VQn、閘極訊號 SGn 與閘極訊號 SGn+1。

第 7 圖為第 5 圖之移位暫存器電路 500 的第二電路運作實施例之相關訊號波形圖，其中橫軸為時間軸。在第 7 圖中，由上往下的訊號分別為第一時脈訊號 HC1、第二時脈訊號 HC2、第三時脈訊號 HC3、第四時脈訊號 HC4、第一控制訊號 Sx1、第二控制訊號 Sx2、閘極訊號 SGn-1、驅動控制電壓 VQn、閘極訊號 SGn、閘極訊號 SGn+1、閘極訊號 SGn+2、以及閘極訊號 SGn+3。如第 7 圖所示，第一時脈訊號 HC1 至第四時脈訊號 HC4 之週期性脈波係部分重疊。同理，在移位暫存器電路 500 的第二電路運作實施例中，第二

控制訊號 $Sx2$ 係反相於第一控制訊號 $Sx1$ ，且以二畫面時間為週期。

移位暫存器電路 500 的第二電路運作實施例基本上類似於第 6 圖所示的第一電路運作實施例，主要差異在於第 K 畫面的時段 $Tx1$ 與第 $(K+1)$ 畫面的時段 $Tx2$ 。由於在時段 $Tx1$ 與 $Tx2$ 內，第一時脈訊號 $HC1$ 與第二時脈訊號 $HC2$ 的脈波重疊，所以當第二時脈訊號 $HC2$ 由低準位上昇至高準位時，可藉由第二電晶體 226 之元件電容的耦合作用，使驅動控制電壓 VQn 由第二高電壓 $Vh2$ 上拉至第三高電壓 $Vh3$ 。其後，於第 K 畫面的時段 $Ty1$ 與第 $(K+1)$ 畫面的時段 $Ty2$ 內，第一時脈訊號 $HC1$ 由高準位降為低準位，同時藉由第一電晶體 221 之元件電容的耦合作用，將驅動控制電壓 VQn 由第三高電壓 $Vh3$ 下拉至第二高電壓 $Vh2$ 。除上述外，驅動控制電壓 VQn 與閘極訊號 $SGn \sim SGn+3$ 在第 K 畫面與第 $(K+1)$ 畫面之其餘時段的上拉或下拉運作可根據移位暫存器電路 500 的第一電路運作實施例之說明而類推，所以不再贅述。

第 8 圖為本發明第三實施例之移位暫存器電路 800 的示意圖。如第 8 圖所示，移位暫存器電路 800 包含複數級移位暫存器。為方便說明，移位暫存器電路 800 仍只顯示第 M 級移位暫存器 811 與第 $(M+1)$ 級移位暫存器 812。第 M 級移位暫存器 811 的電路結構係類似於第 2 圖所示之第 M 級移位暫存器 211 的電路結構，主要差異在於將輔助下拉單元 280 置換為輔助下拉單元 880。輔助下拉單元 880 電連接於第 $(M+1)$ 級移位暫存器 812、輸入單元 230、閘極線 GLn

與閘極線 GL_{n+1} ，用來根據閘極訊號 SG_{n+2} 以下拉驅動控制電壓 VQ_n 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 。輔助下拉單元 880 包含第九電晶體 881、第十電晶體 882 與第十一電晶體 883。第九電晶體 881 至第十一電晶體 883 係為薄膜電晶體、金氧半場效電晶體、或接面場效電晶體。

第九電晶體 881 包含第一端、第二端與閘極端，其中第一端電連接於第三電晶體 231 之第二端，閘極端電連接於第 $(M+1)$ 級移位暫存器 812 以接收閘極訊號 SG_{n+2} ，第二端用以接收低電源電壓 V_{ss} 。第十電晶體 882 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_n ，閘極端電連接於第九電晶體 881 之閘極端，第二端用以接收低電源電壓 V_{ss} 。第十一電晶體 883 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_{n+1} ，閘極端電連接於第九電晶體 881 之閘極端，第二端用以接收低電源電壓 V_{ss} 。在用來產生閘極訊號 SG_n 與閘極訊號 SG_{n+1} 的第 M 級移位暫存器 811 之電路結構中，輸入單元 230、第一控制單元 240、第一下拉單元 250 與輔助下拉單元 880 等電路係被共用以執行閘極訊號 SG_n 與閘極訊號 SG_{n+1} 的下拉運作，所以移位暫存器電路 800 亦具有顯著簡化的電路結構以降低成本。

第 9 圖為第 8 圖之移位暫存器電路 800 的電路運作較佳實施例之相關訊號波形圖，其中橫軸為時間軸。在第 8 圖中，由上往下的訊號分別為第一時脈訊號 $HC1$ 、第二時脈訊號 $HC2$ 、第三時脈訊號

HC3、第四時脈訊號 HC4、閘極訊號 SGn-1、驅動控制電壓 VQn、閘極訊號 SGn、閘極訊號 SGn+1、閘極訊號 SGn+2、以及閘極訊號 SGn+3。如第 9 圖所示，第一時脈訊號 HC1 至第四時脈訊號 HC4 之週期性脈波係不互相重疊。在移位暫存器電路 800 的電路運作較佳實施例中，第一控制訊號 Sx1 可為第一時脈訊號 HC1、第二時脈訊號 HC2、第三時脈訊號 HC3、第四時脈訊號 HC4、直流電壓、或異於時脈訊號 HC1~HC4 之另一時脈訊號。以下概述移位暫存器電路 800 的電路運作較佳實施例。

移位暫存器電路 800 於第 J 畫面時間的時段 B11、B12、Bx1、B13 與 By1 內的電路運作原理，係類同於移位暫存器電路 200 在第 3 圖所示的時段 A11、A12、Ax1、A13 與 Ay1 內的電路運作原理，所以不再贅述。於第 J 畫面時間的時段 B14 內，由於第(M+1)級移位暫存器 812 提供具高準位之閘極訊號 SGn+2 以導通第九電晶體 881、第十電晶體 882 與第十一電晶體 883，並據以下拉驅動控制電壓 VQn、閘極訊號 SGn 與閘極訊號 SGn+1 至低電源電壓 Vss，所以如第 9 圖所示，驅動控制電壓 VQn 於時段 B14 內就下降至低準位。此外，第 J 畫面時間在時段 B14 後的其餘時間中，為保持閘極訊號 SGn 與閘極訊號 SGn+1 在低準位狀態，第一下拉控制訊號 SC1 即用以持續或週期性下拉驅動控制電壓 VQn、閘極訊號 SGn 與閘極訊號 SGn+1。換句話說，第(M+1)級移位暫存器 812 在時段 B15 所提供具高準位之閘極訊號 SGn+3 並不影響第 M 級移位暫存器 811 的電路運作。

第 10 圖為本發明第四實施例之移位暫存器電路 900 的示意圖。如第 10 圖所示，移位暫存器電路 900 包含複數級移位暫存器。為方便說明，移位暫存器電路 900 仍只顯示第 M 級移位暫存器 911 與第(M+1)級移位暫存器 912。第 M 級移位暫存器 911 的電路結構係類似於第 5 圖所示之第 M 級移位暫存器 511 的電路結構，主要差異在於將輔助下拉單元 280 置換為輔助下拉單元 980。輔助下拉單元 980 電連接於第(M+1)級移位暫存器 912、輸入單元 230、閘極線 GL_n 與閘極線 GL_{n+1} ，用來根據閘極訊號 SG_{n+2} 以下拉驅動控制電壓 VQ_n 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 。輔助下拉單元 980 包含第九電晶體 981、第十電晶體 982 與第十一電晶體 983。第九電晶體 981 至第十一電晶體 983 係為薄膜電晶體、金氧半場效電晶體、或接面場效電晶體。

第九電晶體 981 包含第一端、第二端與閘極端，其中第一端電連接於第三電晶體 231 之第二端，閘極端電連接於第(M+1)級移位暫存器 912 以接收閘極訊號 SG_{n+2} ，第二端用以接收低電源電壓 V_{ss} 。第十電晶體 982 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_n ，閘極端電連接於第九電晶體 981 之閘極端，第二端用以接收低電源電壓 V_{ss} 。第十一電晶體 983 包含第一端、第二端與閘極端，其中第一端電連接於閘極線 GL_{n+1} ，閘極端電連接於第九電晶體 981 之閘極端，第二端用以接收低電源電壓 V_{ss} 。在用來產生閘極訊號 SG_n 與閘極訊號 SG_{n+1} 的第 M 級移位暫存器 911

之電路結構中，輸入單元 230、第一控制單元 240、第一下拉單元 250、第二控制單元 260、第二下拉單元 270 與輔助下拉單元 980 等電路係被共用以執行閘極訊號 SG_n 與閘極訊號 SG_{n+1} 的下拉運作，所以移位暫存器電路 900 亦具有顯著簡化的電路結構以降低成本。

第 11 圖為第 10 圖之移位暫存器電路 900 的電路運作較佳實施例之相關訊號波形圖，其中橫軸為時間軸。在第 11 圖中，由上往下的訊號分別為第一時脈訊號 HC1、第二時脈訊號 HC2、第三時脈訊號 HC3、第四時脈訊號 HC4、第一控制訊號 Sx1、第二控制訊號 Sx2、閘極訊號 SG_{n-1} 、驅動控制電壓 VQ_n 、閘極訊號 SG_n 、閘極訊號 SG_{n+1} 、閘極訊號 SG_{n+2} 、以及閘極訊號 SG_{n+3} 。如第 11 圖所示，第一時脈訊號 HC1 至第四時脈訊號 HC4 之週期性脈波係不互相重疊。在移位暫存器電路 900 的電路運作較佳實施例中，第二控制訊號 Sx2 係反相於第一控制訊號 Sx1，且以二畫面時間為週期。移位暫存器電路 900 於第 J 畫面時間與第(J+1)畫面時間的時段 B11、B12、Bx1、B13、By1、B21、B22、Bx2、B23 與 By2 內的電路運作原理，係類同於移位暫存器電路 500 在第 6 圖所示的時段 A11、A12、Ax1、A13、Ay1、A21、A22、Ax2、A23 與 Ay2 內的電路運作原理，所以不再贅述。

於第 J 畫面時間的時段 B14 內，由於第(M+1)級移位暫存器 912 提供具高準位之閘極訊號 SG_{n+2} 以導通第九電晶體 981、第十電晶

體 982 與第十一電晶體 983，並據以下拉驅動控制電壓 V_{Qn} 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 至低電源電壓 V_{ss} ，所以如第 11 圖所示，驅動控制電壓 V_{Qn} 於時段 B14 內就下降至低準位。此外，第 J 畫面時間在時段 B14 後的其餘時間中，具高電壓準位之第一下拉控制訊號 SC1 係用以持續下拉驅動控制電壓 V_{Qn} 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 。於第(J+1)畫面時間的時段 B24 內，由於第(M+1)級移位暫存器 912 提供具高準位之閘極訊號 SG_{n+2} 以導通第九電晶體 981、第十電晶體 982 與第十一電晶體 983，並據以下拉驅動控制電壓 V_{Qn} 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 至低電源電壓 V_{ss} ，所以如第 11 圖所示，驅動控制電壓 V_{Qn} 於時段 B24 內就下降至低準位。此外，第(J+1)畫面時間在時段 B24 後的其餘時間中，為保持閘極訊號 SG_n 與閘極訊號 SG_{n+1} 在低準位狀態，具高電壓準位之第二下拉控制訊號 SC2 係用以持續下拉驅動控制電壓 V_{Qn} 、閘極訊號 SG_n 與閘極訊號 SG_{n+1} 。換句話說，第(M+1)級移位暫存器 912 在時段 B15 與時段 B25 所提供具高準位之閘極訊號 SG_{n+3} 並不影響第 M 級移位暫存器 911 的電路運作。

第 12 圖為依本發明之閘極訊號產生方法的流程圖。第 12 圖所示之流程 1200 係為基於第 2 圖之移位暫存器電路 200 的第 M 級移位暫存器 211 之閘極訊號產生方法。閘極訊號產生方法的流程 1200 包含下列步驟：

步驟 S1210：於第一時段內，輸入單元 230 將第(M-1)級移位暫存器所產生之閘極訊號 SG_{n-1} 輸入為驅動控制電壓 V_{Qn} ；

- 步驟 S1220：於第二時段內，第一上拉單元 220 根據驅動控制電壓 VQ_n 與第一時脈訊號 HC1 以上拉閘極訊號 SG_n 饋入閘極線 GL_n ；
- 步驟 S1230：於第三時段內，第二上拉單元 225 根據驅動控制電壓 VQ_n 與第二時脈訊號 HC2 以上拉閘極訊號 SG_{n+1} 饋入至閘極線 GL_{n+1} ；
- 步驟 S1240：於不重疊第一時段、第二時段與第三時段的第四時段內，輔助下拉單元 280 根據第 $(M+1)$ 級移位暫存器 212 所產生之閘極訊號 SG_{n+3} 以下拉驅動控制電壓 VQ_n ；
- 步驟 S1250：於第四時段內，第一控制單元 240 根據驅動控制電壓 VQ_n 與第一控制訊號 $Sx1$ 以產生第一下拉控制訊號 $SC1$ 饋入至第一下拉單元 250；以及
- 步驟 S1260：於第四時段內，第一下拉單元 250 根據第一下拉控制訊號 $SC1$ 以下拉閘極訊號 SG_n 與閘極訊號 SG_{n+1} 。

在一實施例中，第一時段、第二時段與第三時段係相互交錯，亦即第一時段、第二時段與第三時段係不互相重疊。在另一實施例中，第一時段與第二時段係部分重疊，且第二時段與第三時段係部分重疊。步驟 S1240 可另包含輔助下拉單元 280 根據閘極訊號 SG_{n+3} 以下拉閘極訊號 SG_n 與閘極訊號 SG_{n+1} ，而步驟 S1260 可另包含第一下拉單元 250 根據第一下拉控制訊號 $SC1$ 以下拉驅動控制電壓 VQ_n 。此外，若將步驟 S1240 所述之閘極訊號 SG_{n+3} 變更為閘極訊號 SG_{n+2} ，則流程 1200 所示之閘極訊號產生方法係適用

於第 8 圖之移位暫存器電路 800。

第 13 圖為依本發明之另一閘極訊號產生方法的流程圖。第 13 圖所示之流程 1300 係為基於第 5 圖之移位暫存器電路 500 的第 M 級移位暫存器 511 之閘極訊號產生方法。閘極訊號產生方法的流程 1300 包含下列步驟：

- 步驟 S1310：於第 I 畫面時間內，將第一控制訊號 $Sx1$ 與第二控制訊號 $Sx2$ 分別設定為高電壓準位與低電壓準位；
- 步驟 S1315：於第 I 畫面時間之第一時段內，輸入單元 230 將第(M-1)級移位暫存器所產生之閘極訊號 $SGn-1$ 輸入為驅動控制電壓 VQn ；
- 步驟 S1320：於第 I 畫面時間之第二時段內，第一上拉單元 220 根據驅動控制電壓 VQn 與第一時脈訊號 $HC1$ 以上拉閘極訊號 SGn 饋入至閘極線 GLn ；
- 步驟 S1325：於第 I 畫面時間之第三時段內，第二上拉單元 225 根據驅動控制電壓 VQn 與第二時脈訊號 $HC2$ 以上拉閘極訊號 $SGn+1$ 饋入至閘極線 $GLn+1$ ；
- 步驟 S1330：於第 I 畫面時間之不重疊其第一、第二與第三時段的第四時段內，輔助下拉單元 280 根據第(M+1)級移位暫存器 512 所產生之閘極訊號 $SGn+3$ 以下拉驅動控制電壓 VQn ；
- 步驟 S1335：於第 I 畫面時間之第四時段內，第一控制單元 240 根據驅動控制電壓 VQn 與第一控制訊號 $Sx1$ 以產生第一

下拉控制訊號 SC1 饋入至第一下拉單元 250；

步驟 S1340：於第 I 畫面時間之第四時段內，第一下拉單元 250 根據第一下拉控制訊號 SC1 以下拉閘極訊號 SGn 與閘極訊號 SGn+1；

步驟 S1345：於第(I+1)畫面時間內，將第一控制訊號 Sx1 與第二控制訊號 Sx2 分別設定為低電壓準位與高電壓準位；

步驟 S1350：於第(I+1)畫面時間之第一時段內，輸入單元 230 將閘極訊號 SGn-1 輸入為驅動控制電壓 VQn；

步驟 S1355：於第(I+1)畫面時間之第二時段內，第一上拉單元 220 根據驅動控制電壓 VQn 與第一時脈訊號 HC1 以上拉閘極訊號 SGn；

步驟 S1360：於第(I+1)畫面時間之第三時段內，第二上拉單元 225 根據驅動控制電壓 VQn 與第二時脈訊號 HC2 以上拉閘極訊號 SGn+1；

步驟 S1365：於第(I+1)畫面時間之不重疊其第一、第二與第三時段的第四時段內，輔助下拉單元 280 根據閘極訊號 SGn+3 以下拉驅動控制電壓 VQn；

步驟 S1370：於第(I+1)畫面時間之第四時段內，第二控制單元 260 根據驅動控制電壓 VQn 與第二控制訊號 Sx2 以產生第二下拉控制訊號 SC2 饋入至第二下拉單元 270；以及

步驟 S1375：於第(I+1)畫面時間之第四時段內，第二下拉單元 270 根據第二下拉控制訊號 SC2 以下拉閘極訊號 SGn 與閘極訊號 SGn+1。

在一實施例中，第 I 畫面時間之第一、第二與第三時段係相互交錯，且第(I+1)畫面時間之第一、第二與第三時段係相互交錯，亦即第 I 畫面時間之第一、第二與第三時段係不互相重疊，且第(I+1)畫面時間之第一、第二與第三時段係不互相重疊。在另一實施例中，第 I 畫面時間之第一與第二時段係部分重疊，第 I 畫面時間之第二與第三時段係部分重疊，第(I+1)畫面時間之第一與第二時段係部分重疊，且第(I+1)畫面時間之第二與第三時段係部分重疊。步驟 S1330 與步驟 S1365 可另包含輔助下拉單元 280 根據閘極訊號 SG_{n+3} 以下拉閘極訊號 SG_n 與閘極訊號 SG_{n+1} ，而步驟 S1340 可另包含第一下拉單元 250 根據第一下拉控制訊號 $SC1$ 以下拉驅動控制電壓 VQ_n ，步驟 S1375 可另包含第二下拉單元 270 根據第二下拉控制訊號 $SC2$ 以下拉驅動控制電壓 VQ_n 。此外，若將步驟 S1330 與步驟 S1365 所述之閘極訊號 SG_{n+3} 變更為閘極訊號 SG_{n+2} ，則流程 1300 所示之閘極訊號產生方法係適用於第 10 圖之移位暫存器電路 900。

綜上所述，本發明移位暫存器電路之每一級移位暫存器係用以提供二閘極訊號，而且在用來產生此二閘極訊號的電路結構中，係共用輸入單元、控制單元、下拉單元與輔助下拉單元等電路，所以相較於習知移位暫存器電路，本發明移位暫存器電路係具有顯著簡化的電路結構。此外，在本發明移位暫存器電路之閘極訊號產生方法中，所使用之複數時脈訊號的脈波係可部分重疊或不重疊，因此

移位暫存器電路更易於被驅動以產生所需之閘極訊號。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何具有本發明所屬技術領域之通常知識者，在不脫離本發明之精神和範圍內，當可作各種更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為習知移位暫存器電路的示意圖。

第 2 圖為本發明第一實施例之移位暫存器電路的示意圖。

第 3 圖為第 2 圖之移位暫存器電路的第一電路運作實施例之相關訊號波形圖，其中橫軸為時間軸。

第 4 圖為第 2 圖之移位暫存器電路的第二電路運作實施例之相關訊號波形圖，其中橫軸為時間軸。

第 5 圖為本發明第二實施例之移位暫存器電路的示意圖。

第 6 圖為第 5 圖之移位暫存器電路的第一電路運作實施例之相關訊號波形圖，其中橫軸為時間軸。

第 7 圖為第 5 圖之移位暫存器電路的第二電路運作實施例之相關訊號波形圖，其中橫軸為時間軸。

第 8 圖為本發明第三實施例之移位暫存器電路的示意圖。

第 9 圖為第 8 圖之移位暫存器電路的電路運作實施例之相關訊號波形圖，其中橫軸為時間軸。

第 10 圖為本發明第四實施例之移位暫存器電路的示意圖。

第 11 圖為第 10 圖之移位暫存器電路的電路運作實施例之相關訊號波形圖，其中橫軸為時間軸。

第 12 圖為依本發明之閘極訊號產生方法的流程圖。

第 13 圖為依本發明之另一閘極訊號產生方法的流程圖。

【主要元件符號說明】

100、200、500、800、900	移位暫存器電路
101、201	畫素陣列
103、205、206、207、208	畫素單元
120	移位暫存器
125、230	輸入單元
130	上拉單元
135、240	第一控制單元
140、250	第一下拉單元
145、260	第二控制單元
150、270	第二下拉單元
160、280、880、980	輔助下拉單元
190	閘極線
211、511、811、911	第 M 級移位暫存器
212、512、812、912	第(M+1)級移位暫存器
220	第一上拉單元

221	第一電晶體
225	第二上拉單元
226	第二電晶體
231	第三電晶體
235	第一電容
236	第二電容
241	第四電晶體
242	第五電晶體
251	第六電晶體
252	第七電晶體
253	第八電晶體
281、881、981	第九電晶體
282、882、982	第十電晶體
283、883、983	第十一電晶體
261	第十二電晶體
262	第十三電晶體
271	第十四電晶體
272	第十五電晶體
273	第十六電晶體
1200、1300	流程
A11~A15、A21~A25、Ax1、 Ax2、Ay1、Ay2、B11~B15、	時段

B21~B25、Bx1、Bx2、By1、 By2、Tx1、Tx2、Ty1、Ty2	
DLi	資料線
GLn、GLn+1、GLn+2、GLn+3	閘極線
HC1	第一時脈訊號
HC2	第二時脈訊號
HC3	第三時脈訊號
HC4	第四時脈訊號
S1210~S1260、S1310~S1375	步驟
SC1	第一下拉控制訊號
SC2	第二下拉控制訊號
SGn-1、SGn、SGn+1、SGn+2、 SGn+3、SGn+4、SGn+5	閘極訊號
Sx1	第一控制訊號
Sx2	第二控制訊號
Vh1	第一高電壓
Vh2	第二高電壓
Vh3	第三高電壓
VQn	驅動控制電壓
Vss	低電源電壓

七、申請專利範圍：

1. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 M 級移位暫存器包含：
 - 一輸入單元，電連接於該些級移位暫存器之一第(M-1)級移位暫存器以接收一第(N-1)閘極訊號，用來將具高準位之該第(N-1)閘極訊號輸入為一驅動控制電壓；
 - 一第一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線，用來根據該驅動控制電壓與一第一時脈訊號以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線係用以傳輸該第 N 閘極訊號；
 - 一第二上拉單元，電連接於該輸入單元與該些閘極線之一第(N+1)閘極線，用來根據該驅動控制電壓與一第二時脈訊號以上拉該些閘極訊號之一第(N+1)閘極訊號，其中該第(N+1)閘極線係用以傳輸該第(N+1)閘極訊號；
 - 一第一控制單元，電連接於該輸入單元，用來根據該驅動控制電壓與一第一控制訊號產生一第一下拉控制訊號；
 - 一第一下拉單元，電連接於該第一控制單元、該輸入單元、該第 N 閘極線與該第(N+1)閘極線，用來根據該第一下拉控制訊號以下拉該驅動控制電壓、該第 N 閘極訊號與該第(N+1)閘極訊號；以及
 - 一輔助下拉單元，電連接於該輸入單元、該第 N 閘極線、該第

(N+1)閘極線與該些級移位暫存器之一第(M+1)級移位暫存器，用來根據該第(M+1)級移位暫存器所產生之一第(N+2)閘極訊號或一第(N+3)閘極訊號以下拉該驅動控制電壓、該第 N 閘極訊號與該第(N+1)閘極訊號；

其中 M 與 N 為正整數。

2. 如請求項 1 所述之移位暫存器電路，另包含：
 - 一電容，電連接於該輸入單元與該第 N 閘極線之間，用來儲存該驅動控制電壓。
3. 如請求項 1 所述之移位暫存器電路，另包含：
 - 一電容，電連接於該輸入單元與該第(N+1)閘極線之間，用來儲存該驅動控制電壓。
4. 如請求項 1 所述之移位暫存器電路，其中該第一上拉單元包含一電晶體，該電晶體包含：
 - 一第一端，用以接收該第一時脈訊號；
 - 一閘極端，電連接於該輸入單元以接收該驅動控制電壓；以及
 - 一第二端，電連接於該第 N 閘極線。
5. 如請求項 1 所述之移位暫存器電路，其中該第二上拉單元包含一電晶體，該電晶體包含：
 - 一第一端，用以接收該第二時脈訊號；

- 一閘極端，電連接於該輸入單元以接收該驅動控制電壓；以及
 - 一第二端，電連接於該第(N+1)閘極線。
6. 如請求項 1 所述之移位暫存器電路，其中該輸入單元包含一電晶體，該電晶體包含：
- 一第一端，電連接於該第(M-1)級移位暫存器以接收該第(N-1)閘極訊號；
 - 一閘極端，電連接於該電晶體之第一端；以及
 - 一第二端，電連接於該第一上拉單元與該第二上拉單元。
7. 如請求項 1 所述之移位暫存器電路，其中該第一控制單元包含：
- 一第一電晶體，包含：
 - 一第一端，用以接收該第一控制訊號；
 - 一閘極端，電連接於該第一電晶體之第一端；以及
 - 一第二端，電連接於該第一下拉單元，用以輸出該第一下拉控制訊號；以及
 - 一第二電晶體，包含：
 - 一第一端，電連接於該第一電晶體之第二端；
 - 一閘極端，電連接於該輸入單元以接收該驅動控制電壓；
 - 以及
 - 一第二端，用以接收一低電源電壓。
8. 如請求項 1 所述之移位暫存器電路，其中該第一下拉單元包含：

一第一電晶體，用來根據該第一下拉控制訊號以下拉該驅動控制電壓，該第一電晶體包含：

一第一端，電連接於該輸入單元；

一閘極端，電連接於該第一控制單元以接收該第一下拉控制訊號；以及

一第二端，用以接收一低電源電壓；

一第二電晶體，用來根據該第一下拉控制訊號以下拉該第 N 閘極訊號，該第二電晶體包含：

一第一端，電連接於該第 N 閘極線；

一閘極端，電連接於該第一電晶體之閘極端；以及

一第二端，用以接收該低電源電壓；以及

一第三電晶體，用來根據該第一下拉控制訊號以下拉該第(N+1)閘極訊號，該第三電晶體包含：

一第一端，電連接於該第(N+1)閘極線；

一閘極端，電連接於該第一電晶體之閘極端；以及

一第二端，用以接收該低電源電壓。

9. 如請求項 1 所述之移位暫存器電路，其中該輔助下拉單元包含：

一第一電晶體，用來根據該第(N+2)閘極訊號或該第(N+3)閘極訊號以下拉該驅動控制電壓，該第一電晶體包含：

一第一端，電連接於該輸入單元；

一閘極端，電連接於該第(M+1)級移位暫存器以接收該第(N+2)閘極訊號或該第(N+3)閘極訊號；以及

- 一 第二端，用以接收一低電源電壓；
- 一 第二電晶體，用來根據該第(N+2)閘極訊號或該第(N+3)閘極訊號以下拉該第 N 閘極訊號，該第二電晶體包含：
 - 一 第一端，電連接於該第 N 閘極線；
 - 一 閘極端，電連接於該第一電晶體之閘極端；以及
 - 一 第二端，用以接收該低電源電壓；以及
- 一 第三電晶體，用來根據該第(N+2)閘極訊號或該第(N+3)閘極訊號以下拉該第(N+1)閘極訊號，該第三電晶體包含：
 - 一 第一端，電連接於該第(N+1)閘極線；
 - 一 閘極端，電連接於該第一電晶體之閘極端；以及
 - 一 第二端，用以接收該低電源電壓。

10. 如請求項 1 所述之移位暫存器電路，其中該第 M 級移位暫存器另包含：

- 一 第二控制單元，電連接於該輸入單元，用來根據該驅動控制電壓與反相於該第一控制訊號的一第二控制訊號產生一第二下拉控制訊號；以及
- 一 第二下拉單元，電連接於該第二控制單元、該輸入單元、該第 N 閘極線與該第(N+1)閘極線，用來根據該第二下拉控制訊號以下拉該驅動控制電壓、該第 N 閘極訊號與該第(N+1)閘極訊號。

11. 如請求項 10 所述之移位暫存器電路，其中該第二控制單元包含：

一第一電晶體，包含：

一第一端，用以接收該第二控制訊號；

一閘極端，電連接於該第一電晶體之第一端；以及

一第二端，電連接於該第二下拉單元，用以輸出該第二下拉控制訊號；以及

一第二電晶體，包含：

一第一端，電連接於該第一電晶體之第二端；

一閘極端，電連接於該輸入單元以接收該驅動控制電壓；
以及

一第二端，用以接收一低電源電壓。

12. 如請求項 10 所述之移位暫存器電路，其中該第二下拉單元包含：

一第一電晶體，用來根據該第二下拉控制訊號以下拉該驅動控制電壓，該第一電晶體包含：

一第一端，電連接於該輸入單元；

一閘極端，電連接於該第二控制單元以接收該第二下拉控制訊號；以及

一第二端，用以接收一低電源電壓；

一第二電晶體，用來根據該第二下拉控制訊號以下拉該第 N 閘極訊號，該第二電晶體包含：

一第一端，電連接於該第 N 閘極線；

一閘極端，電連接於該第一電晶體之閘極端；以及

一第二端，用以接收該低電源電壓；以及

一第三電晶體，用來根據該第二下拉控制訊號以下拉該第(N+1)

閘極訊號，該第三電晶體包含：

- 一第一端，電連接於該第(N+1)閘極線；
- 一閘極端，電連接於該第一電晶體之閘極端；以及
- 一第二端，用以接收該低電源電壓。

13. 一種閘極訊號產生方法，用以產生複數閘極訊號饋入至複數閘極線，該閘極訊號產生方法包含：

提供一移位暫存器電路，該移位暫存器電路包含複數級移位暫

存器，該些級移位暫存器之一第 M 級移位暫存器包含：

一輸入單元，電連接於該些級移位暫存器之一第(M-1)級移位暫存器；

一第一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線；

一第二上拉單元，電連接於該輸入單元與該些閘極線之一第(N+1)閘極線；

一控制單元，電連接於該輸入單元；

一下拉單元，電連接於該控制單元、該輸入單元、該第 N 閘極線與該第(N+1)閘極線；以及

一輔助下拉單元，電連接於該些級移位暫存器之一第(M+1)級移位暫存器、該輸入單元、該第 N 閘極線與該第(N+1)閘極線；

於一第一時段內，該輸入單元將該第(M-1)級移位暫存器所產生

之一第(N-1)閘極訊號輸入為一驅動控制電壓；

於一第二時段內，該第一上拉單元根據該驅動控制電壓與一第

一時脈訊號以上拉一第 N 閘極訊號饋入該第 N 閘極線；

於一第三時段內，該第二上拉單元根據該驅動控制電壓與一第

二時脈訊號以上拉一第(N+1)閘極訊號饋入至該第(N+1)閘

極線；

於不重疊該第一時段、該第二時段與該第三時段的一第四時段

內，該輔助下拉單元根據該第(M+1)級移位暫存器所產生之

一第(N+2)閘極訊號或一第(N+3)閘極訊號以下拉該驅動控

制電壓；

於該第四時段內，該控制單元根據該驅動控制電壓與一控制訊

號以產生一下拉控制訊號饋入至該下拉單元；以及

於該第四時段內，該下拉單元根據該下拉控制訊號以下拉該第 N

閘極訊號與該第(N+1)閘極訊號。

14. 如請求項 13 所述之閘極訊號產生方法，其中該第一時段、該第二時段與該第三時段係相互交錯。

15. 如請求項 13 所述之閘極訊號產生方法，其中該第一時段與該第二時段係部分重疊，且該第二時段與該第三時段係部分重疊。

16. 如請求項 13 所述之閘極訊號產生方法，另包含：

於該第四時段內，該輔助下拉單元根據該第(N+2)閘極訊號或該

第(N+3)閘極訊號以下拉該第 N 閘極訊號與該第(N+1)閘極訊號；以及

於該第四時段內，該下拉單元根據該下拉控制訊號以下拉該驅動控制電壓。

17. 如請求項 13 所述之閘極訊號產生方法，其中該控制訊號係為該第一時脈訊號、該第二時脈訊號、一第三時脈訊號、或一直流電壓。

18. 一種閘極訊號產生方法，用以產生複數閘極訊號饋入至複數閘極線，該閘極訊號產生方法包含：

提供一移位暫存器電路，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 M 級移位暫存器包含：

一輸入單元，電連接於該些級移位暫存器之一第(M-1)級移位暫存器；

一第一上拉單元，電連接於該輸入單元與該些閘極線之一第 N 閘極線；

一第二上拉單元，電連接於該輸入單元與該些閘極線之一第(N+1)閘極線；

一第一控制單元，電連接於該輸入單元；

一第一下拉單元，電連接於該第一控制單元、該輸入單元、該第 N 閘極線與該第(N+1)閘極線；

一第二控制單元，電連接於該輸入單元；

一第二下拉單元，電連接於該第二控制單元、該輸入單元、
該第 N 閘極線與該第 $(N+1)$ 閘極線；以及
一輔助下拉單元，電連接於該些級移位暫存器之一第 $(M+1)$
級移位暫存器、該輸入單元、該第 N 閘極線與該第 $(N+1)$
閘極線；

於一第 I 畫面時間之一第一時段內，該輸入單元將該第 $(M-1)$ 級
移位暫存器所產生之一第 $(N-1)$ 閘極訊號輸入為一驅動控制
電壓；

於該第 I 畫面時間之一第二時段內，該第一上拉單元根據該驅動
控制電壓與一第一時脈訊號以上拉一第 N 閘極訊號饋入至
該第 N 閘極線；

於該第 I 畫面時間之一第三時段內，該第二上拉單元根據該驅動
控制電壓與一第二時脈訊號以上拉一第 $(N+1)$ 閘極訊號饋入
至該第 $(N+1)$ 閘極線；

於該第 I 畫面時間之不重疊其第一、第二與第三時段的一第四時
段內，該輔助下拉單元根據該第 $(M+1)$ 級移位暫存器所產生
之一第 $(N+2)$ 閘極訊號或一第 $(N+3)$ 閘極訊號以下拉該驅動
控制電壓、該第 N 閘極訊號與該第 $(N+1)$ 閘極訊號；

於該第 I 畫面時間之第四時段內，該第一控制單元根據該驅動控
制電壓與一第一控制訊號以產生一第一下拉控制訊號饋入
至該第一下拉單元；

於該第 I 畫面時間之第四時段內，該第一下拉單元根據該第一下
拉控制訊號以下拉該驅動控制電壓、該第 N 閘極訊號與該第

(N+1)閘極訊號；

於一第(I+1)畫面時間之一第一時段內，該輸入單元將該第(N-1)

閘極訊號輸入為該驅動控制電壓；

於該第(I+1)畫面時間之一第二時段內，該第一上拉單元根據該

驅動控制電壓與該第一時脈訊號以上拉該第 N 閘極訊號；

於該第(I+1)畫面時間之一第三時段內，該第二上拉單元根據該

驅動控制電壓與該第二時脈訊號以上拉該第(N+1)閘極訊

號；

於該第(I+1)畫面時間之不重疊其第一、第二與第三時段的一第

四時段內，該輔助下拉單元根據該第(N+2)閘極訊號或該第

(N+3)閘極訊號以下拉該驅動控制電壓、該第 N 閘極訊號與

該第(N+1)閘極訊號；

於該第(I+1)畫面時間之第四時段內，該第二控制單元根據該驅

動控制電壓與反相於該第一控制訊號之一第二控制訊號以

產生一第二下拉控制訊號饋入至該第二下拉單元；以及

於該第(I+1)畫面時間之第四時段內，該第二下拉單元根據該第

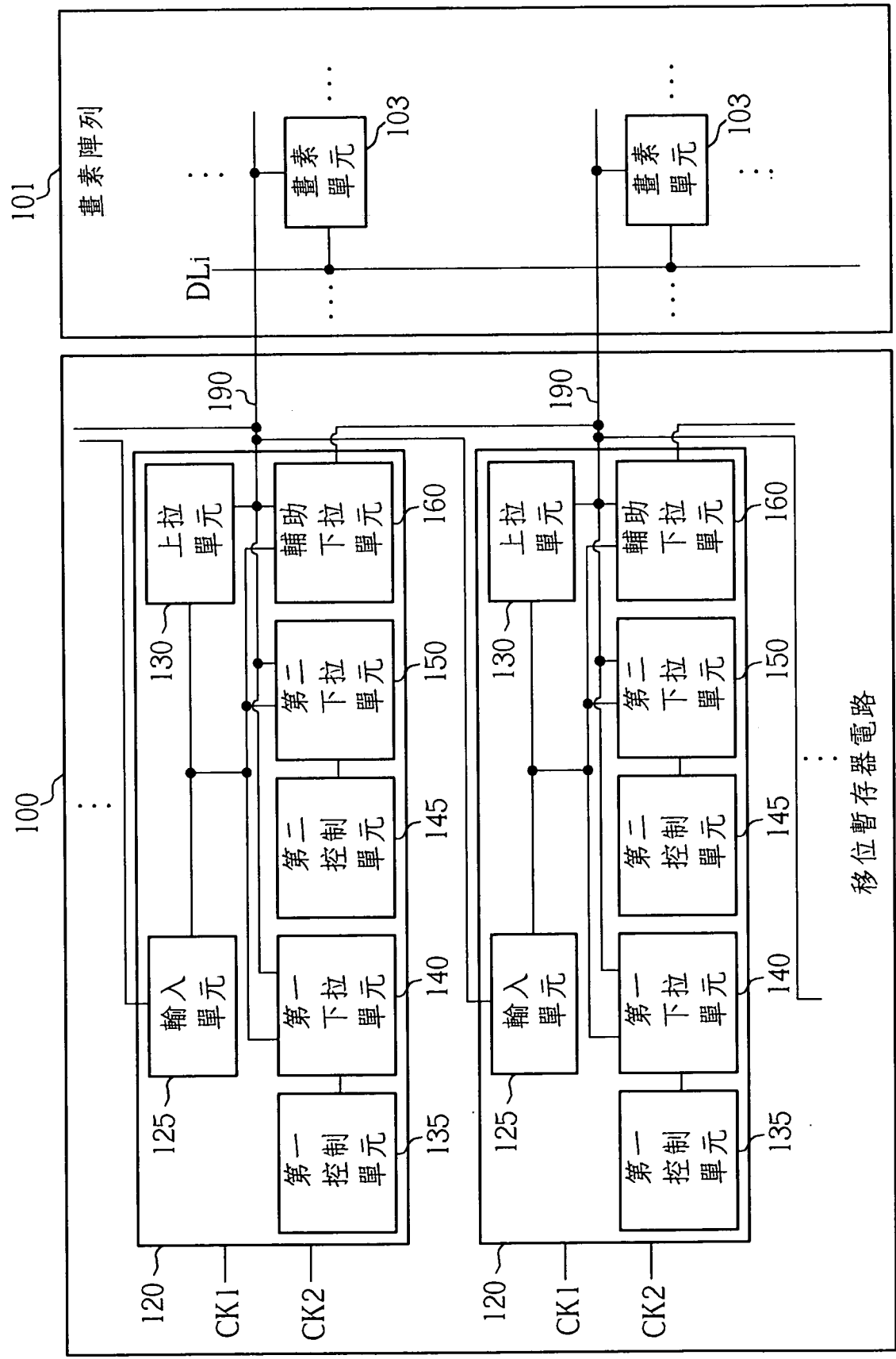
二下拉控制訊號以下拉該驅動控制電壓、該第 N 閘極訊號與

該第(N+1)閘極訊號。

19. 如請求項 18 所述之閘極訊號產生方法，其中該第 I 畫面時間之第一、第二與第三時段係相互交錯，且該第(I+1)畫面時間之第一、第二與第三時段係相互交錯。

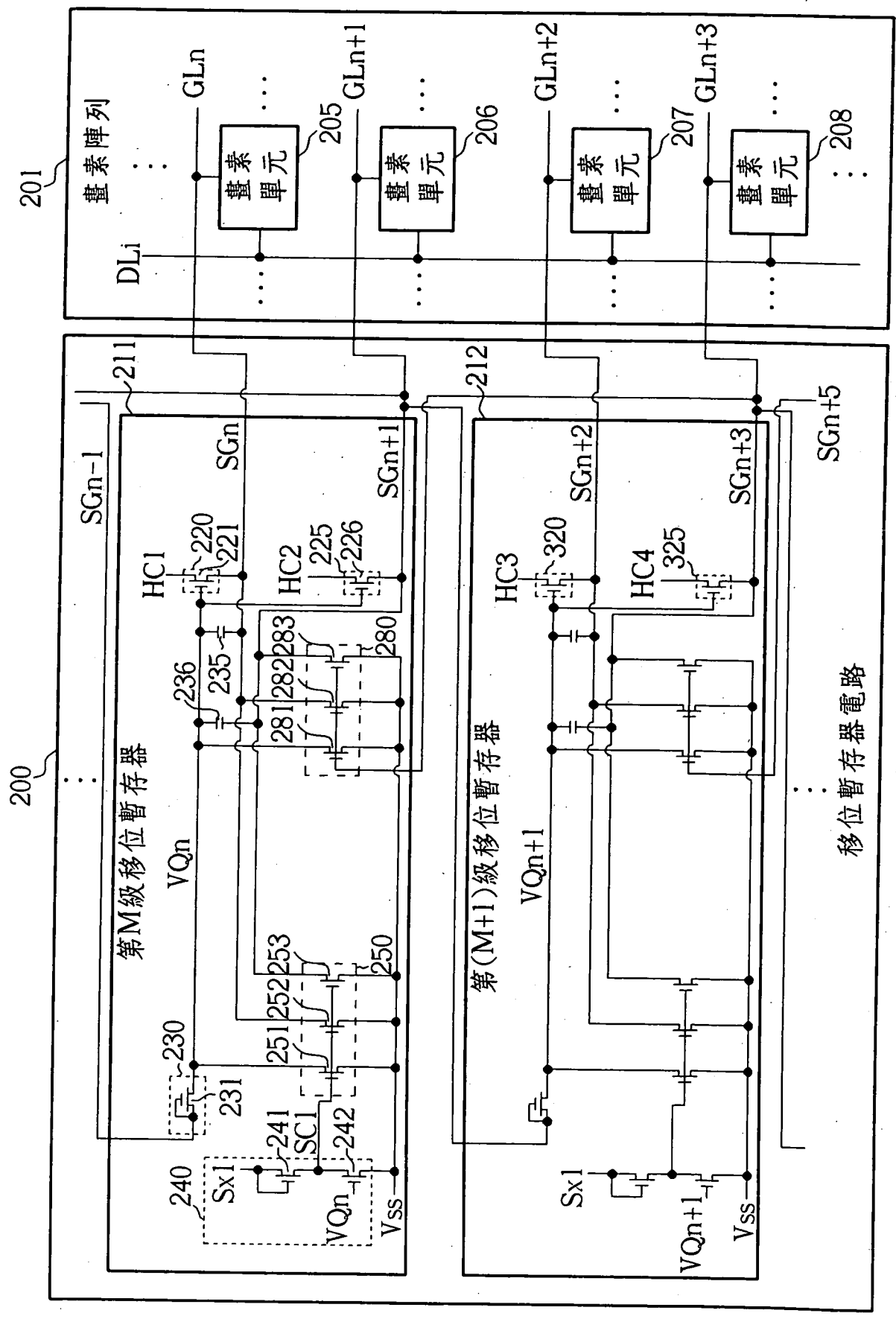
20. 如請求項 18 所述之閘極訊號產生方法，其中該第 I 畫面時間之第一與第二時段係部分重疊，該第 I 畫面時間之第二與第三時段係部分重疊，該第(I+1)畫面時間之第一與第二時段係部分重疊，且該第(I+1)畫面時間之第二與第三時段係部分重疊。

八、圖式：

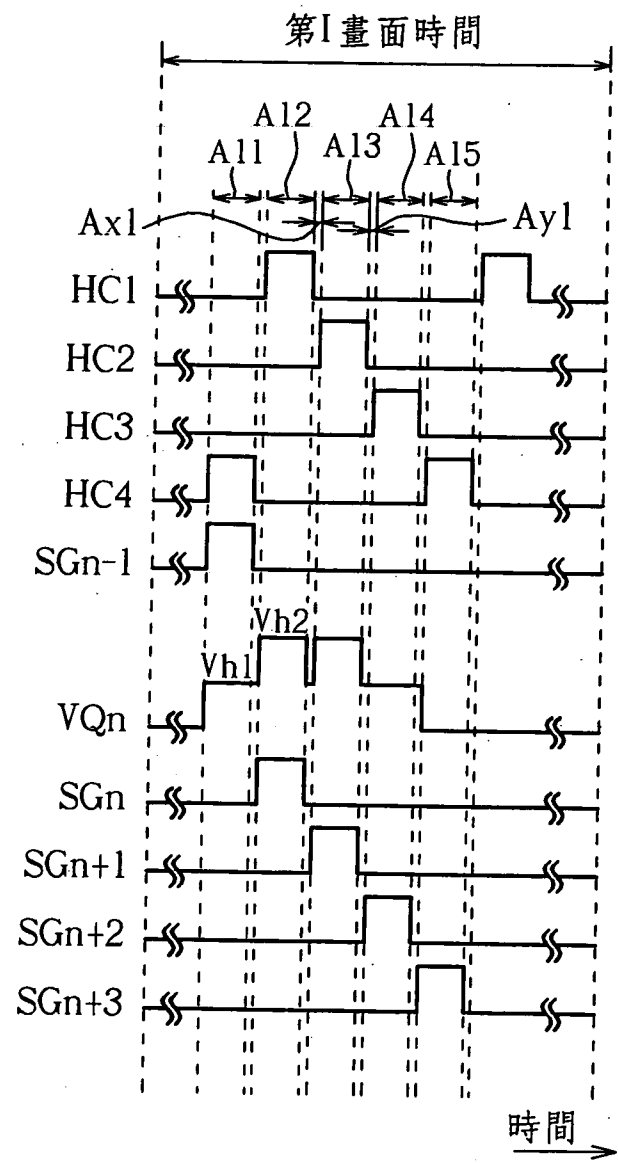


移位暫存器電路

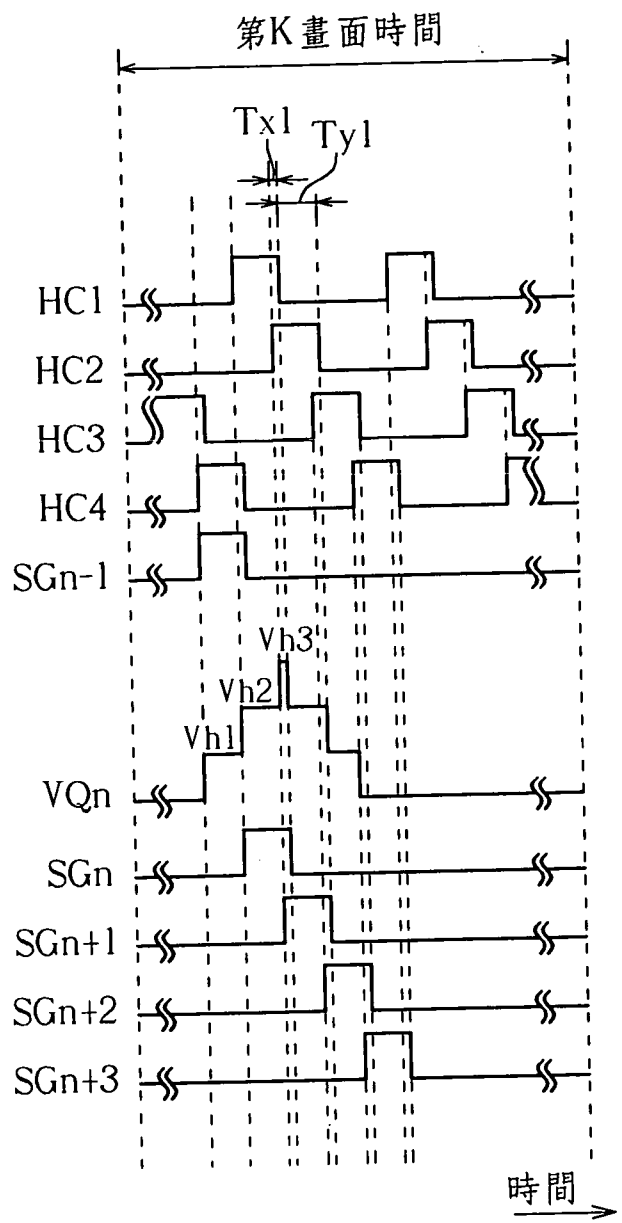
第1圖



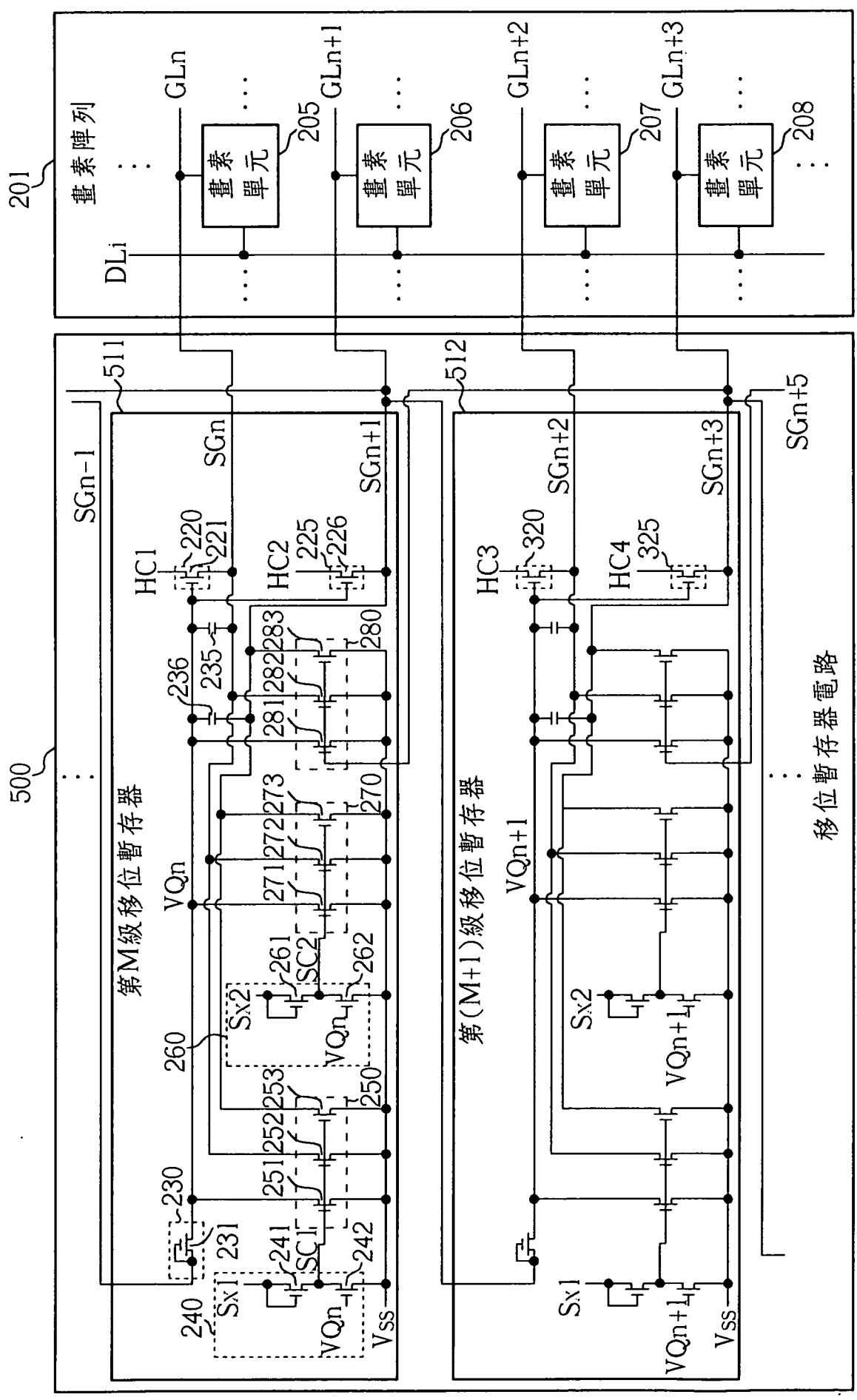
第2圖



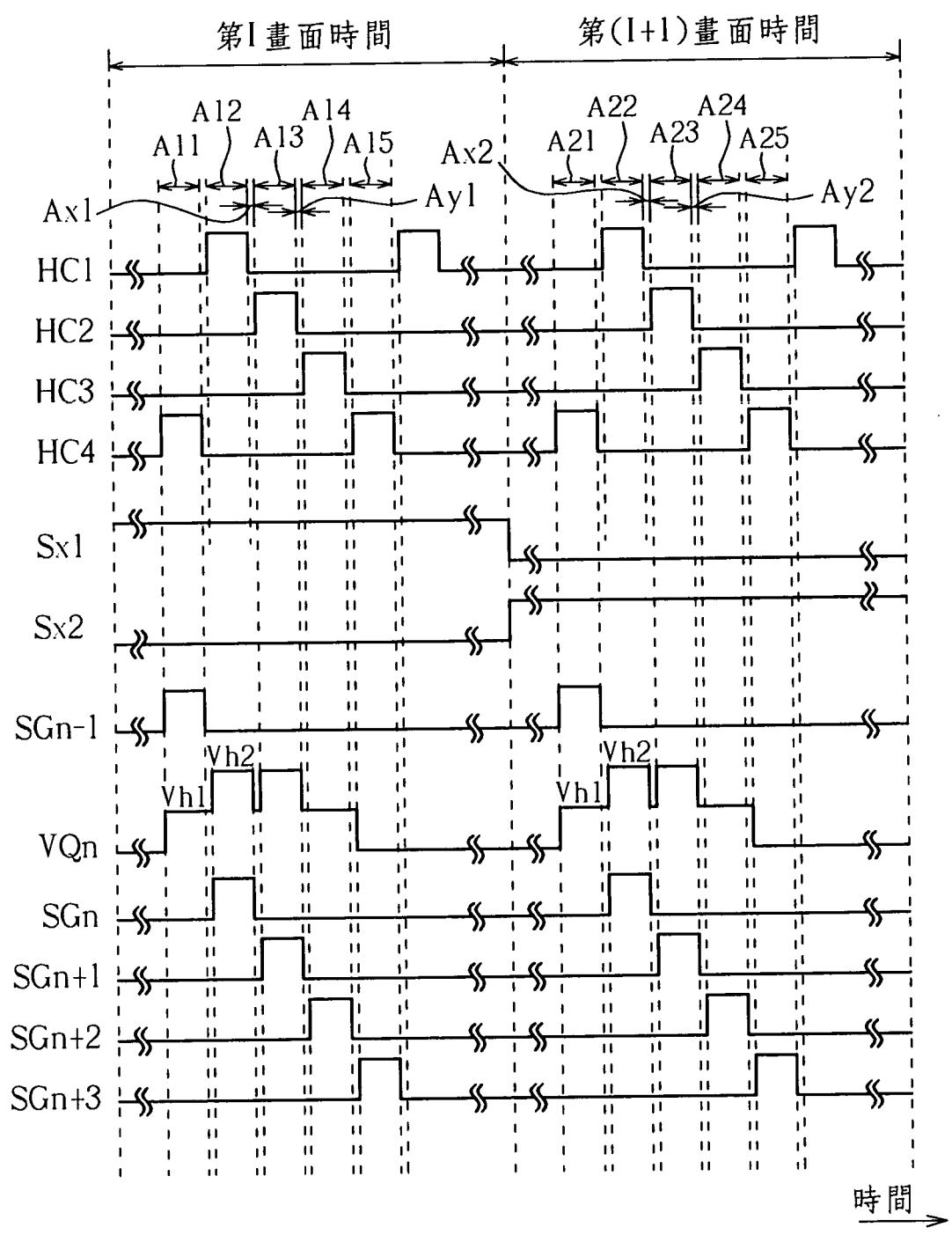
第3圖



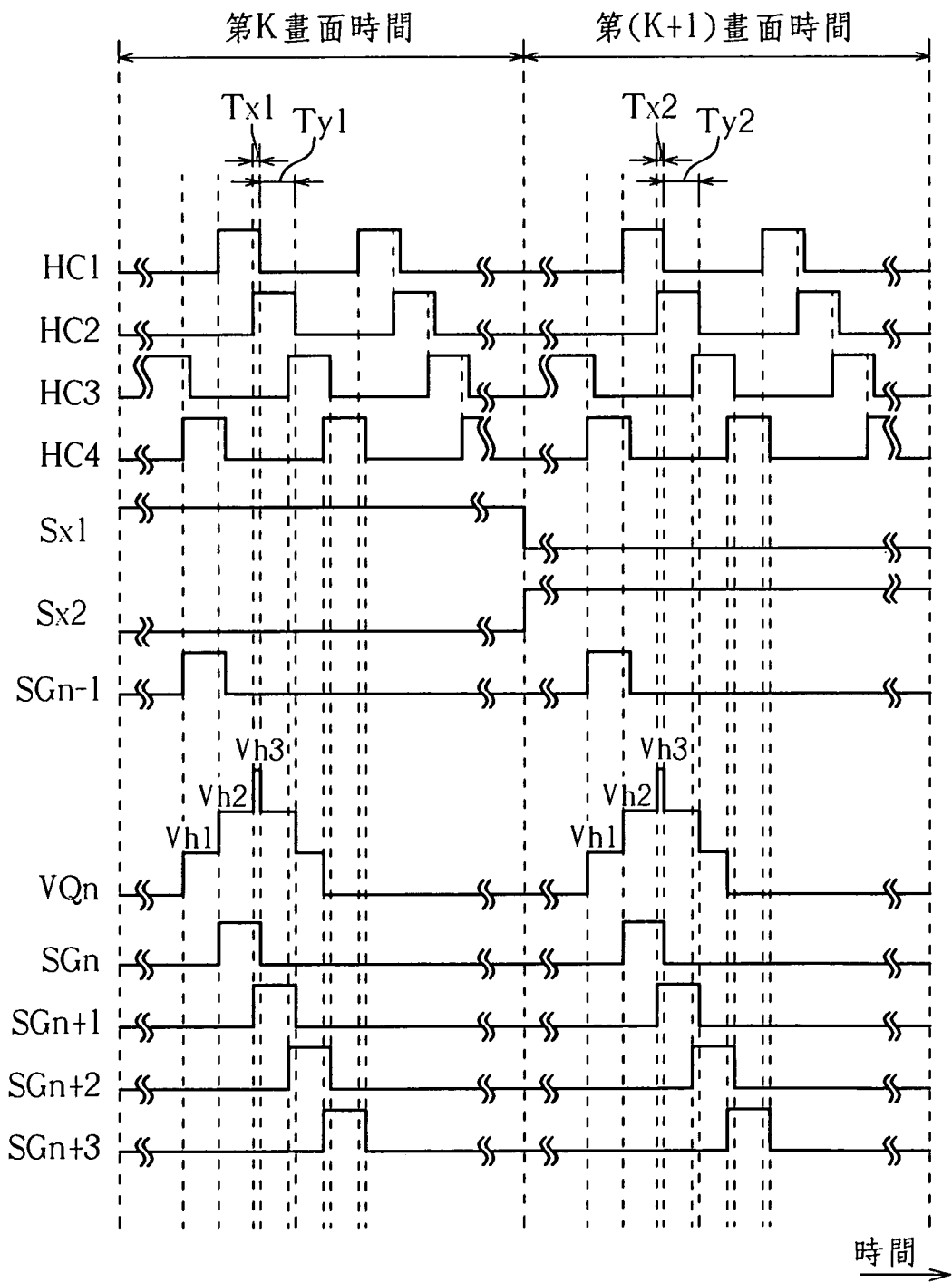
第4圖



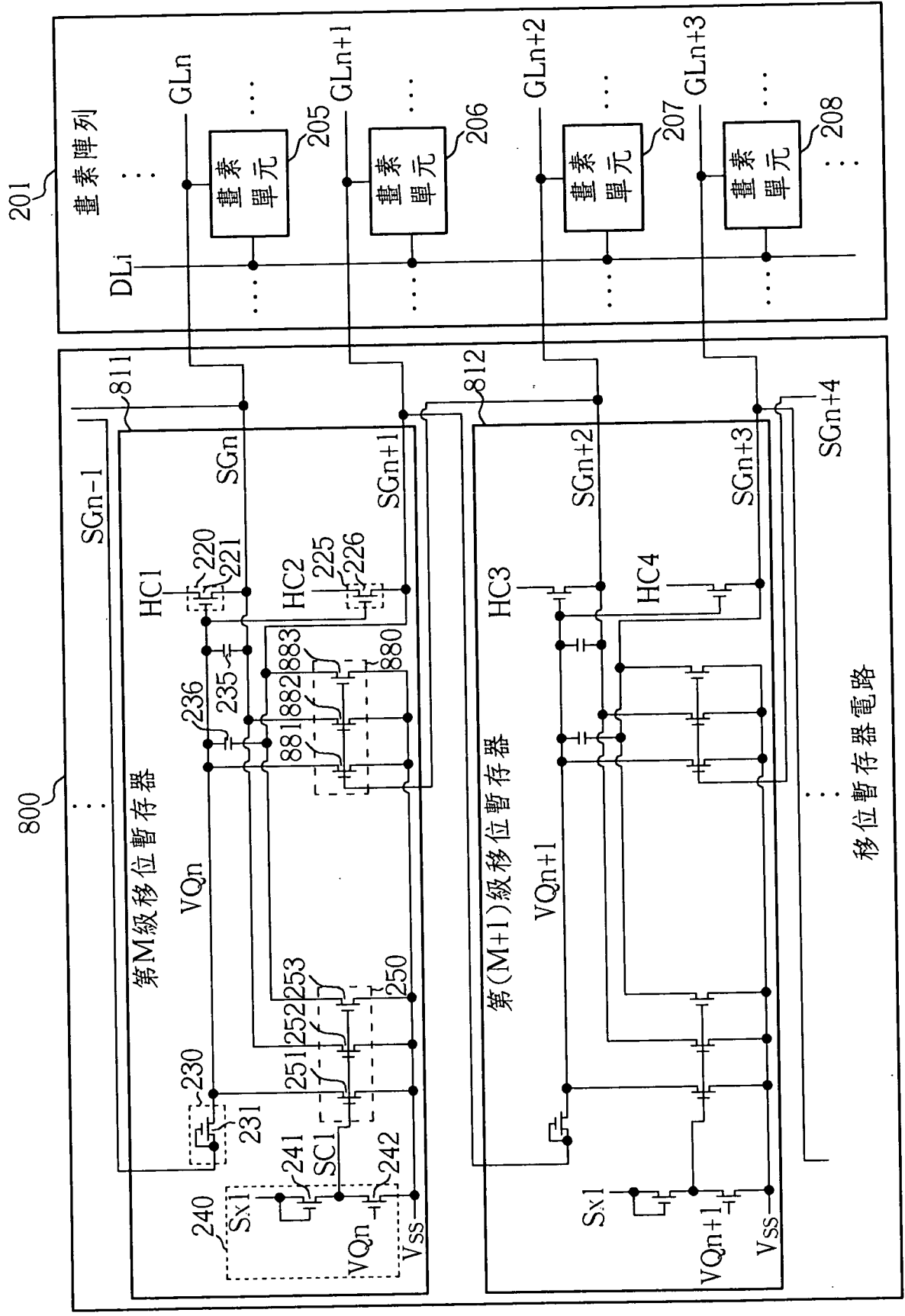
第5圖



第6圖

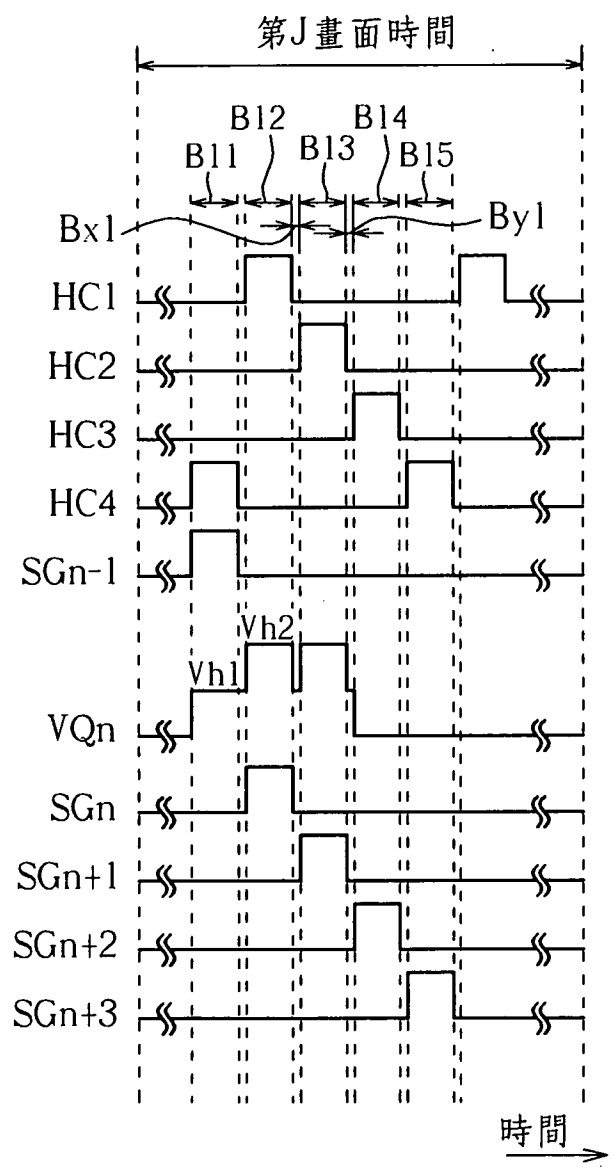


第7圖

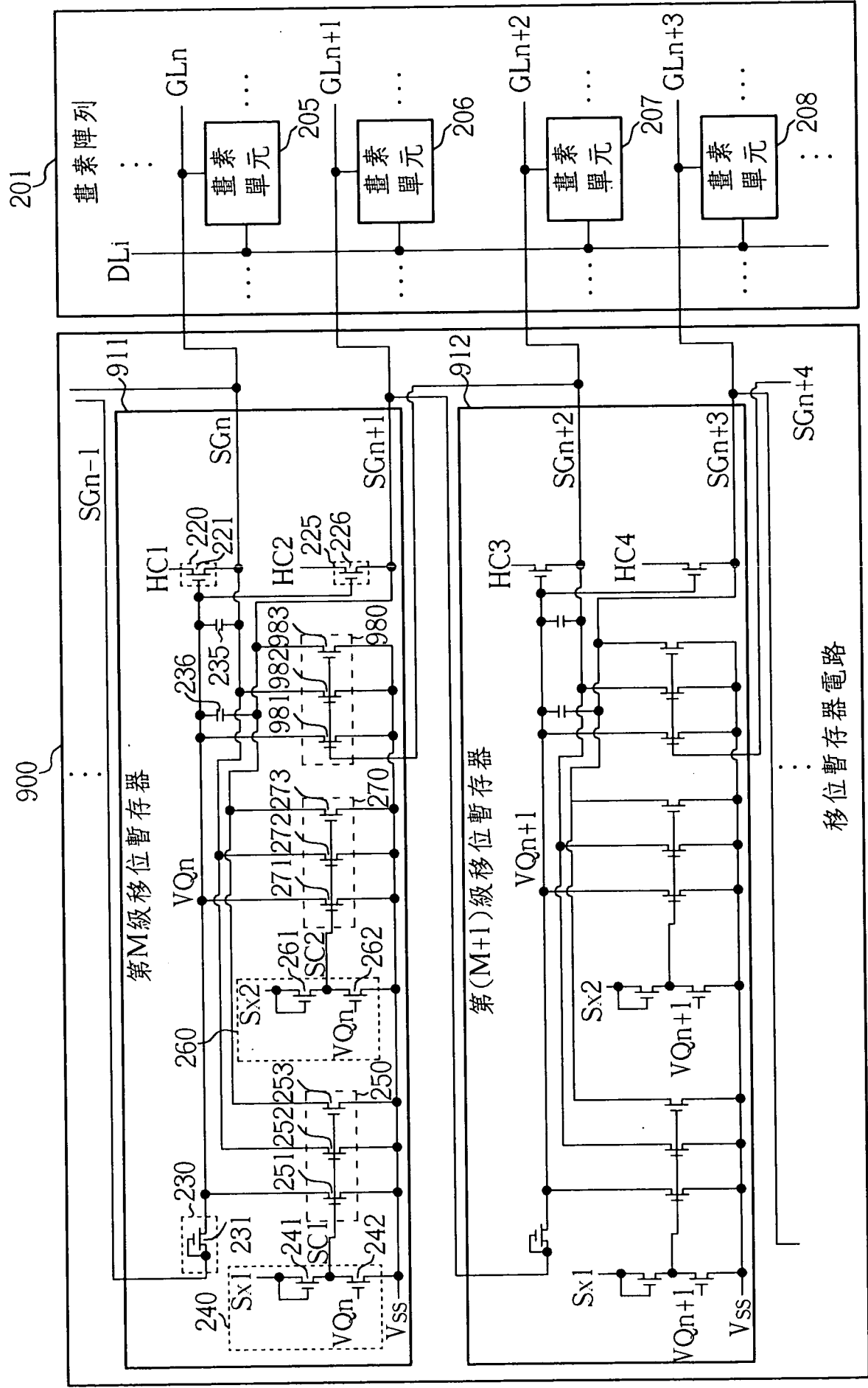


第8圖

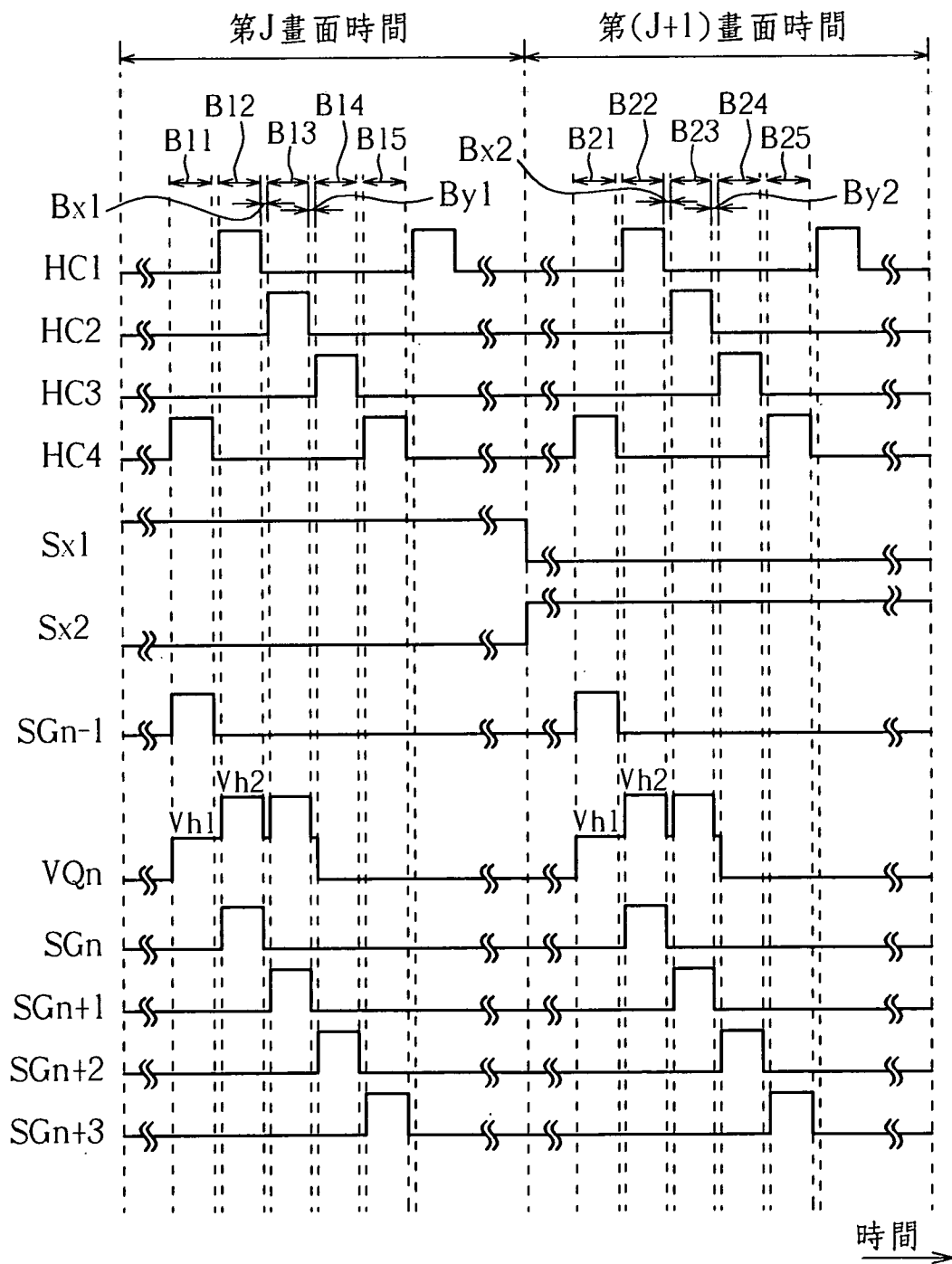
移位暫存器電路



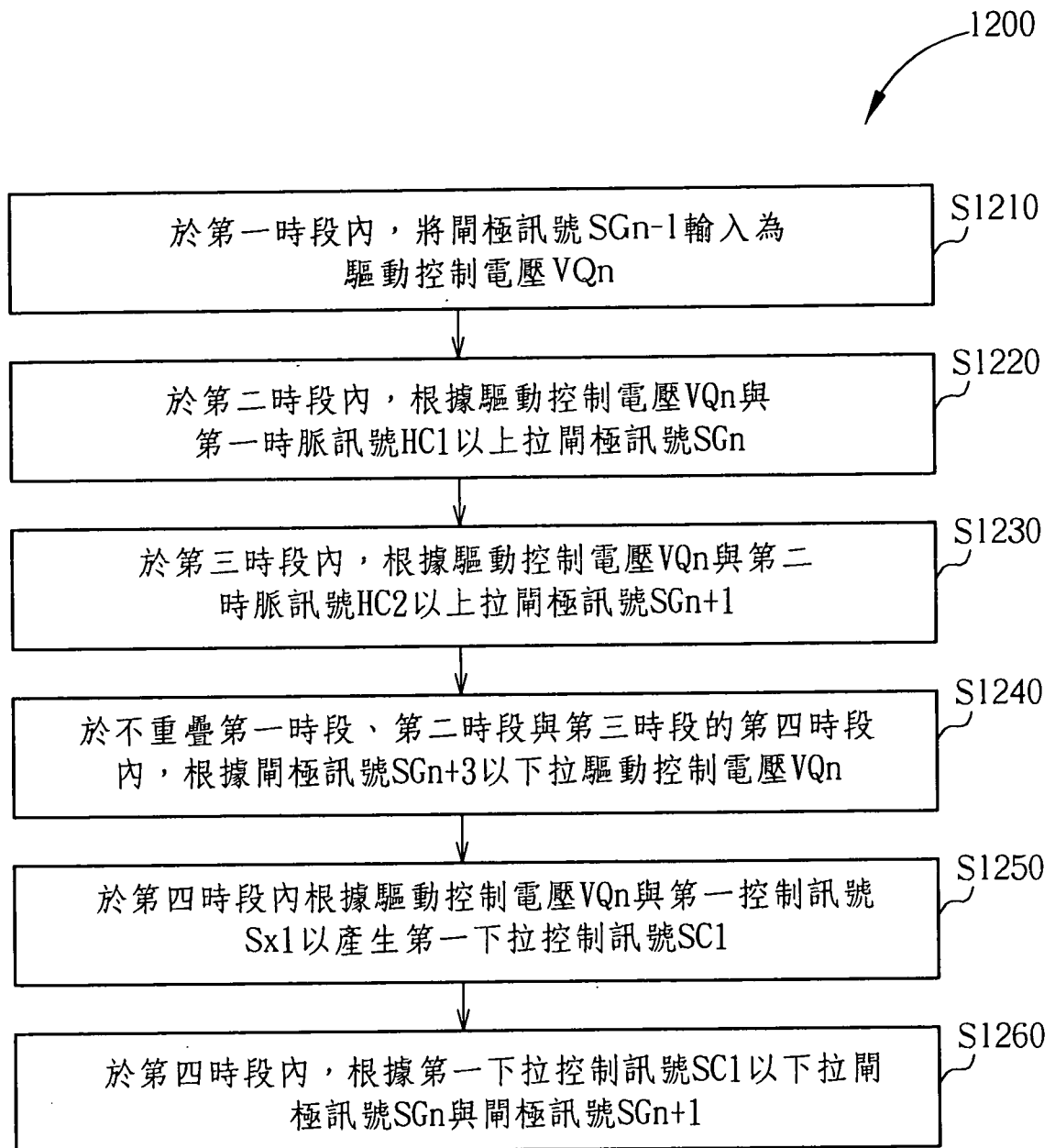
第9圖



第10圖



第11圖



第12圖



第13圖