



(12) 发明专利

(10) 授权公告号 CN 107768376 B

(45) 授权公告日 2023. 08. 29

(21) 申请号 201710316294.2  
 (22) 申请日 2017.05.08  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 107768376 A  
 (43) 申请公布日 2018.03.06  
 (30) 优先权数据  
 10-2016-0104982 2016.08.18 KR  
 (73) 专利权人 三星电子株式会社  
 地址 韩国京畿道水原市  
 (72) 发明人 金敬勋 金泓秀  
 (74) 专利代理机构 北京铭硕知识产权代理有限公司 11286  
 专利代理师 刘灿强 田野

(51) Int. Cl.  
 H10B 41/27 (2023.01)  
 H10B 41/35 (2023.01)  
 H10B 41/50 (2023.01)  
 H10B 43/27 (2023.01)  
 H10B 43/35 (2023.01)  
 H10B 43/50 (2023.01)

(56) 对比文件  
 US 2015340376 A1, 2015.11.26  
 US 2010133598 A1, 2010.06.03  
 CN 101794789 A, 2010.08.04  
 US 2012208347 A1, 2012.08.16  
 US 2016049423 A1, 2016.02.18

审查员 陈龙

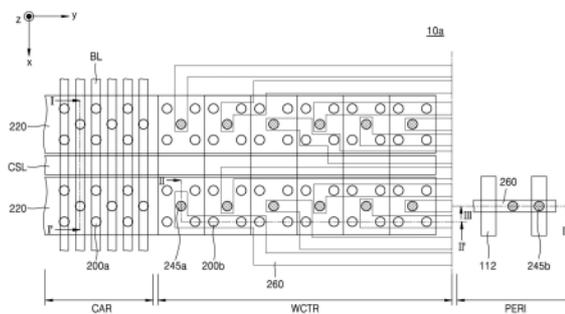
权利要求书2页 说明书14页 附图30页

(54) 发明名称

垂直存储器装置

(57) 摘要

提供一种垂直存储器装置,所述垂直存储器装置包括:基底,具有单元阵列区、字线接触区和外围电路区;栅电极,在单元阵列区和字线接触区中与基底平行,所述栅电极堆叠在垂直于基底的方向上并在所述垂直于基底的方向上间隔开;沟道结构,穿过单元阵列区中的栅电极,所述沟道结构电连接到基底;虚设沟道结构,穿过字线接触区中的栅电极,所述虚设沟道结构与基底间隔开;导线,平行于基底并电连接到第一栅电极,所述导线与虚设沟道结构的在竖直方向上的延伸部的至少一部分交叉。



1. 一种垂直存储器装置,所述垂直存储器装置包括:  
基底,包括单元阵列区、字线接触区和外围电路区;  
栅电极,在单元阵列区中和字线接触区中与基底的顶表面基本上平行地延伸,栅电极堆叠在基底上同时在第一方向上彼此间隔开,第一方向是基本上垂直于基底的顶表面的方向;  
沟道结构,在第一方向上穿过单元阵列区中的栅电极,沟道结构电连接到基底;  
虚设沟道结构,在第一方向上穿过字线接触区中的栅电极,虚设沟道结构在第一方向上与基底间隔开;  
导线,在外围电路区中和字线接触区中与基底的顶表面基本上平行地延伸,导线电连接到栅电极中的第一栅电极,  
其中,导线与虚设沟道结构的在第一方向上的延伸部的至少一部分交叉,  
其中,所述垂直存储器装置还包括位于虚设沟道结构与导线之间的虚设接触垫,导线与虚设接触垫的在第一方向上的延伸部的至少一部分交叉,并且  
其中,导线的底表面和虚设接触垫的顶表面位于同一水平处。
2. 根据权利要求1所述的垂直存储器装置,其中,沟道结构在第一方向上的长度小于虚设沟道结构在第一方向上的长度。
3. 根据权利要求1所述的垂直存储器装置,所述垂直存储器装置还包括电连接到沟道结构和基底的半导体图案,所述半导体图案位于沟道结构与基底之间。
4. 根据权利要求1所述的垂直存储器装置,所述垂直存储器装置还包括位于字线接触区中以限定基底的有源区的器件隔离膜,虚设沟道结构与基底间隔开,器件隔离膜置于虚设沟道结构与基底之间。
5. 根据权利要求1所述的垂直存储器装置,所述垂直存储器装置还包括在单元阵列区中和字线接触区中与基底的顶表面平行的层间绝缘膜,层间绝缘膜位于栅电极的最上栅电极上,层间绝缘膜的顶表面和导线的底表面位于同一水平处。
6. 根据权利要求1所述的垂直存储器装置,所述垂直存储器装置还包括:  
共源极线,在第一方向上穿过栅电极,在俯视图中,共源极线在单元阵列区中和字线接触区中与基底的顶表面基本上平行地延伸;  
第一布线塞,在第一方向上延伸以将导线和第一栅电极电连接;  
第二布线塞,在第一方向上延伸以将导线和位于外围电路区中的晶体管电连接,  
其中,第一布线塞、第二布线塞和共源极线中的每个包括相同的组成。
7. 根据权利要求6所述的垂直存储器装置,其中,第一布线塞的顶表面、第二布线塞的顶表面和共源极线的顶表面位于同一水平处。
8. 根据权利要求6所述的垂直存储器装置,其中,导线的底表面和第一布线塞的顶表面位于同一水平处。
9. 根据权利要求1所述的垂直存储器装置,其中,导线接触虚设接触垫。
10. 一种垂直存储器装置,所述垂直存储器装置包括:  
基底,具有单元阵列区和字线接触区;  
栅电极,在单元阵列区中和字线接触区中与基底的顶表面平行,栅电极在与基底的顶表面垂直的第一方向上堆叠并彼此间隔开;

沟道结构,在第一方向上穿过单元阵列区中的栅电极,沟道结构电连接到基底;  
虚设沟道结构,在第一方向上穿过字线接触区中的栅电极,虚设沟道结构在第一方向上与基底间隔开;

绝缘结构,位于虚设沟道结构与基底之间;

导线,平行于字线接触区中的基底的顶表面,导线电连接到栅电极的第一栅电极,其中,导线电连接到虚设沟道结构,

其中,所述垂直存储器装置还包括位于虚设沟道结构与导线之间的虚设接触垫,导线与虚设接触垫的在第一方向上的延伸部的至少一部分交叉,并且

其中,导线的底表面和虚设接触垫的顶表面位于同一水平处。

11. 根据权利要求10所述的垂直存储器装置,其中,虚设接触垫将虚设沟道结构与导线电连接。

12. 根据权利要求11所述的垂直存储器装置,其中,导线直接连接到虚设接触垫。

13. 根据权利要求12所述的垂直存储器装置,所述垂直存储器装置还包括在第一方向上的布线塞,布线塞将导线与字线接触区中的第一栅电极电连接,其中,布线塞的顶表面与虚设接触垫的顶表面位于同一水平处。

14. 一种垂直存储器装置,所述垂直存储器装置包括:

栅电极,基本上平行于基底的顶表面延伸,栅电极堆叠在基底上同时在正交于基底的顶表面的方向上彼此间隔开;

沟道结构,穿过栅电极并正交于基底的顶表面,所述沟道结构电连接到基底;

虚设沟道结构,穿过栅电极并正交于基底的顶表面;

绝缘结构,位于虚设沟道结构与基底之间;

导线,平行于基底的顶表面延伸,并与虚设沟道结构的顶部的至少一部分叠置,沟道结构将导线电连接到基底,

其中,所述垂直存储器装置还包括位于虚设沟道结构与导线之间的虚设接触垫,导线与虚设接触垫的在正交于基底的顶表面的方向上的延伸部的至少一部分交叉,并且

其中,导线的底表面和虚设接触垫的顶表面位于同一水平处。

15. 根据权利要求14所述的垂直存储器装置,其中,导线在沟道结构和虚设沟道结构的顶表面上方延伸。

16. 根据权利要求14所述的垂直存储器装置,所述垂直存储器装置还包括:

共源极线,穿过栅电极并平行于沟道结构;

第一布线塞,将导线与第一栅电极电连接;

第二布线塞,将导线与外围电路区中的晶体管电连接,

其中,第一布线塞、第二布线塞和共源极线包括相同的组成。

17. 根据权利要求16所述的垂直存储器装置,其中,第一布线塞的顶表面、第二布线塞的顶表面和共源极线的顶表面基本彼此水平。

18. 根据权利要求17所述的垂直存储器装置,其中,导线直接位于第一布线塞、第二布线塞和共源极线的顶表面上。

## 垂直存储器装置

[0001] 2016年8月18日在韩国知识产权局提交的名称为“Vertical Memory Device and Method of Fabricating the Same”的第10-2016-0104982号韩国专利申请通过引用全部包含与此。

### 技术领域

[0002] 实施例涉及存储器装置及其制造方法,更具体地,涉及垂直存储器装置及其制造方法。

### 背景技术

[0003] 消费者需要具有优异性能和低价格的存储器装置。为此,需要增大存储器装置的集成度。最近,正在开发存储器单元竖直堆叠在基底上的垂直存储器装置以产生高度集成的存储器装置。

### 发明内容

[0004] 根据实施例,提供一种垂直存储器装置,所述垂直存储器装置包括:基底,包括单元阵列区、字线接触区和外围电路区;栅电极,被配置为在单元阵列区和字线接触区中与基底的顶表面基本平行延伸并在堆叠的同时沿第一方向彼此间隔开,其中,第一方向是基本上垂直于基底的顶表面的方向;沟道结构,被配置为在第一方向上穿过单元阵列区中的栅电极,并电连接到基底;虚设沟道结构,被配置为在第一方向上穿过字线接触区中的栅电极并在第一方向上与基底间隔开;导线,被配置为在外围电路区和字线接触区中基本平行于基底的顶表面并电连接到第一栅电极,所述第一栅电极是所述栅电极中的任意一个,其中,所述导线与虚设沟道结构的在第一方向上的延伸部的至少一部分交叉。

[0005] 根据其它实施例,提供了一种垂直存储器装置,所述垂直存储器装置包括:基底,具有限于其上的单元阵列区和字线接触区;栅电极,被配置为在单元阵列区和字线接触区中与基底的顶表面基本平行延伸并在堆叠的同时沿第一方向彼此间隔开,其中,第一方向是基本上垂直于基底的顶表面的方向;沟道结构,被配置为在第一方向上穿过位于单元阵列区中的栅电极并且电连接到基底;虚设沟道结构,被配置为在第一方向上穿过字线接触区中的栅电极并在第一方向上与基底间隔开;绝缘结构,位于虚设沟道结构与基底之间;导线,被配置为在字线接触区中基本上平行于基底的顶表面并电连接到第一栅电极,所述第一栅电极是栅电极中的任意一个,其中,导线电连接到虚设沟道结构。

[0006] 根据其它实施例,提供了一种垂直存储器装置,所述垂直存储器装置包括:栅电极,基本上平行于基底的顶表面延伸,栅电极堆叠在基底上同时在与基底的顶表面正交的方向上彼此间隔开;沟道结构,穿过栅电极并与基底的顶表面正交,沟道结构电连接到基底;虚设沟道结构,穿过栅电极并与基底的顶表面正交;绝缘结构,位于虚设沟道结构与基底之间;导线,平行于基底的顶表面延伸并与虚设沟道结构的顶部的至少一部分叠置,沟道结构将导线电连接到基底。

## 附图说明

[0007] 通过参照附图详细描述示例性实施例,对本领域普通技术人员而言,特征将会变得明显,在附图中:

[0008] 图1示出了根据示例实施例的垂直存储器装置的示意性框图;

[0009] 图2示出了根据示例实施例的垂直存储器装置的单元阵列的简要电路图;

[0010] 图3A示出了根据示例实施例的垂直存储器装置的平面图;

[0011] 图3B示出了沿图3A中的线I-I'、II-II'和III-III'截取的剖视图;

[0012] 图4A示出了根据示例实施例的垂直存储器装置的平面图;

[0013] 图4B示出了沿图4A中的线I-I'和II-II'截取的剖视图;

[0014] 图5A至图5S示出了沿图3A中的线I-I'、II-II'和III-III'截取的剖视图以解释根据示例实施例的制造垂直存储器装置的方法中的阶段;

[0015] 图6A至图6E示出了沿图4A中的线I-I'和II-II'截取的剖视图以解释根据另一示例实施例的制造垂直存储器装置的方法中的阶段。

## 具体实施方式

[0016] 在下文中,将参照附图详细描述示例实施例。在附图中,同样的元件由同样的附图标记指示,并将略过关于其重复的解释。

[0017] 图1示出了根据示例实施例的垂直存储器装置的示意性框图。

[0018] 参照图1,根据本实施例的垂直存储器装置可以包括单元阵列区CAR、字线接触区WCTR和外围电路区PERI。在单元阵列区CAR中,可以形成三维布置的存储器单元以及电连接到存储器单元的位线和字线。字线接触区WCTR可以设置在单元阵列区CAR与外围电路区PERI之间,在字线接触区WCTR中,可以形成使存储器单元与外围电路连接的布线塞和导线。在外围电路区PERI中,可以形成驱动存储器单元并读取存储在存储器单元中的数据的外围电路。在一个实施例中,外围电路区PERI可以包括字线驱动器、感测放大器、行解码器、列解码器和控制电路。

[0019] 图2示出了根据示例实施例的单元阵列区CAR的电路图的一部分。

[0020] 参照图2,根据本实施例的垂直存储器装置的单元阵列区CAR可以包括共源极线CSL、位线BL以及位于共源极线CSL与位线BL之间的多个单元串CSTR。

[0021] 位线BL被二维布置,多个单元串CSTR与每个位线BL并联连接。单元串CSTR可以共同连接到共源极线CSL。即,多个单元串CSTR可以设置在多个位线BL和共源极线CSL之间。在一个示例性实施例中,可以二维地布置多个共源极线CSL。在这点上,相同的电压幅度可以施加到共源极线CSL或者不同的电压幅度可以施加到共源极线CSL。

[0022] 单元串CSTR中的每个可以包括连接到共源极线CSL的地选择晶体管GST、连接到位线BL的串选择晶体管SST和位于地选择晶体管GST与串选择晶体管SST之间的多个存储器单元晶体管MCT。串选择晶体管SST、存储器单元晶体管MCT和地选择晶体管GST可以串联连接。

[0023] 参照图2,一个地选择晶体管GST和一个串选择晶体管SST连接到串联连接的n个存储器单元晶体管MCT。然而,在一个实施例中,多个地选择晶体管GST或多个串选择晶体管SST可以连接到串联连接的n个存储器单元晶体管MCT。

[0024] 共源极线CSL可以共同连接到地选择晶体管GST的源极。位于共源极线CSL与位线

BL之间的地选择线GSL、多个字线WL0至WL3和串选择线SSL可以分别用作地选择晶体管GST的栅电极、存储器单元晶体管MCT的栅电极和串选择晶体管SST的栅电极。每个存储器单元晶体管MCT可以包括数据存储元件。

[0025] 串选择晶体管SST的漏极端子可以连接到位线BL。当通过串选择线SSL将信号施加到串选择晶体管SST的栅电极时,通过位线BL施加的信号串行传输到存储器单元晶体管MCT,从而能够读取或写入数据。当信号通过地选择线GSL施加到地选择晶体管GST的栅极端子时,可以执行擦除操作,在擦除操作中完全去除存储在存储器单元晶体管MCT中的电荷。

[0026] 图3A示出了根据示例实施例的垂直存储器装置10a的平面图。图3B示出了沿图3A中的线I-I'、II-II'和III-III'截取的剖视图。

[0027] 参照图3A和图3B,第一方向(z方向)基本上垂直于基底100的顶表面(例如与基底100的顶表面正交),第二方向(x方向)和第三方向(y方向)平行于基底100的顶表面,其中,第二方向与第三方向交叉。在一个实施例中,第二方向可以基本上垂直于第三方向,第二方向可以与第三方向交叉。第二方向和第三方向可以基本上垂直于第一方向。在这里的附图中,箭头方向和与其相反的方向被认为是同一方向。关于方向的描述共同应用于本说明书中使用的附图。

[0028] 参照图3A和图3B,根据示例实施例的垂直存储器装置10a可以包括先前参照图1至图2描述的全部构成基底100的单元阵列区CAR、字线接触区WCTR和外围电路区PERI。在单元阵列区CAR中,可设置栅电极220、沟道结构200a、共源极线CSL和位线BL。在字线接触区WCTR中,可设置虚设沟道结构200b、第一布线塞245a和导线260。在外围电路区PERI中,可设置外围晶体管110、第二布线塞245b和导线260。

[0029] 基底100可以包括限定有源区的器件隔离膜102。基底100可以包括具有半导体特性的材料,例如硅晶片。栅电极220和层间绝缘膜140可以围绕沟道结构200a的侧壁并可以从单元阵列区CAR延伸到字线接触区WCTR。在字线接触区WCTR中,栅电极220可以被布置为形成连续的台阶结构。因此,栅电极220的水平长度可以变化。栅电极220可以具有距基底100越远越短(即,随着距离增大而变短)的水平长度。在一个实施例中,来自栅电极220中的最下栅电极220可以具有最长的水平长度,最上栅电极220可以具有最短的水平长度。栅电极220可以通过层间绝缘膜140彼此绝缘。

[0030] 栅电极220可以包括至少一个地选择栅电极、多个存储器单元栅电极和串选择栅电极。地选择栅电极可以是最下栅电极220,串选择栅电极可以是最上栅电极。存储器单元栅电极可以堆叠在地选择栅电极与串选择栅电极之间。参照图3B,其中示出了四(4)个存储器单元栅电极。然而,实施例不限于此,例如,八(8)、十六(16)、三十二(32)或六十四(64)个存储器单元栅电极可以形成在地选择栅电极与串选择栅电极之间。

[0031] 存储器单元栅电极的厚度可以基本上相同。地选择栅电极和串选择栅电极的厚度可以与存储器单元栅电极的厚度不同。在一个实施例中,地选择栅电极和串选择栅电极的厚度可以比存储器单元栅电极的厚度大。在示例实施例中,存储器单元栅电极可以是字线。地选择栅电极可以是地选择线,串选择栅电极可以是串选择线。栅电极220可以包括例如钨、铜或金属硅化物。

[0032] 层间绝缘膜140的厚度可以彼此不相同,例如,最下层间绝缘膜140可以比其它层

间绝缘膜140厚。层间绝缘膜140可以包括绝缘材料,例如氧化硅,氮化硅或氮氧化硅等。

[0033] 在单元阵列区CAR中,栅电极220和层间绝缘膜140可以交替地堆叠。沟道结构200a可以在第一方向(z方向)上穿过堆叠的栅电极220和层间绝缘膜140,并接触半导体图案190。存储器单元晶体管MCT和串选择晶体管SST可以设置在沟道结构200a与栅电极220交叉处。地选择晶体管GST可以设置在半导体图案190与栅电极220交叉处。

[0034] 沟道结构200a中的每个可以包括第一介电膜图案201a、第一垂直沟道图案203a和第一填充绝缘膜图案205a。第一垂直沟道图案203a可以经由半导体图案190电连接到基底100。在一个或更多个实施例中,半导体图案190可以设置在沟道结构200a与基底100之间,并可以被构造为将沟道结构200a与基底100电连接。沟道结构200a中的每个可以具有位于比最下栅电极220的顶表面高的水平面处的底表面。接触垫207a可以形成在沟道结构200a的顶表面上。接触垫207a可以均包括例如掺杂有杂质的多晶硅。

[0035] 参照图3A,在沟道结构200a的俯视图中,沟道结构200a可以形成行和列,从而形成二维布置。沟道结构200a可以以Z字形形状布置。在一个或更多个实施例中,沟道结构200a的行或列可以交替布置并彼此间隔开。共源极线CSL可以在第一方向(z方向)上穿过栅电极220和层间绝缘膜140。共源极线CSL可以包括例如导电材料,例如钨(W)。杂质区211可以是基底100接触共源极线CSL的位置,绝缘间隔件225可以设置在共源极线CSL的侧壁上。杂质区211可以包括注入到基底100中的杂质,例如P或As。

[0036] 共源极线CSL可以竖直地延伸穿过栅电极220和层间绝缘膜140,并接触杂质区211。共源极线CSL可以具有坝状形状。在一个实施例中,在共源极线CSL的俯视图中,共源极线CSL可以具有线或条形状。绝缘间隔件225可以形成在共源极线CSL与栅电极220之间。绝缘间隔件225可以设置在共源极线CSL的侧壁上。绝缘间隔件225可以使共源极线CSL与栅电极220绝缘。绝缘间隔件225可以包括例如氧化硅、氮化硅、氮氧化硅或其它绝缘材料。

[0037] 第一布线塞245a可以在第一方向(z方向)上延伸穿过最上层间绝缘膜140、顶绝缘膜175或者穿过顶绝缘膜175和底绝缘图案165两者,并可以将任何一个栅电极220与导线260电连接。第二布线塞245b可以在第一方向(z方向)上延伸穿过顶绝缘膜175和外围绝缘膜120,并可以将导线260与形成在外围电路区PERI中的外围晶体管110电连接。

[0038] 第一布线塞245a可以连接到串选择栅电极、存储器单元栅电极和地选择栅电极。参照图3A,第一布线塞245a可以在字线接触区WCTR中的栅电极220上布置成行。第二布线塞245b可以连接到外围电路区PERI中的每个外围晶体管110的外围栅电极112和源极/漏极区113。

[0039] 在这点上,第一布线塞245a和第二布线塞245b可以包括例如以钨为例的导电材料。第一布线塞245a、第二布线塞245b和共源极线CSL的顶表面可以位于同一水平处。这是因为,如稍后所要描述的,可以通过回蚀工艺或化学机械抛光(CMP)工艺形成第一布线塞245a、第二布线塞245b和共源极线CSL。

[0040] 虚设沟道结构200b可以具有与沟道结构200a的形状和结构相似的形状和结构。在一个实施例中,每个虚设沟道结构200b可以包括第二介电图案201b、第二垂直沟道图案203b和第二填充绝缘膜图案205b。虚设沟道结构200b的顶表面可以与沟道结构200a的顶表面位于同一水平处。虚设沟道结构200b可以穿过栅电极220和层间绝缘膜140与字线接触区WCTR的器件隔离膜102接触。沟道结构200a的底表面可以比虚设沟道结构200b的底表面距

基底100的顶表面更远。在一个实施例中,每个沟道结构200a在第一方向上的长度可以小于每个虚设沟道结构200b在第一方向上的长度。虚设沟道结构200b的底表面可以位于比沟道结构200a的底表面低的水平处。

[0041] 参照图3A,在虚设沟道结构200b的俯视图中,穿过栅电极220的虚设沟道结构200b以这样的方式布置成行和列:四个虚设沟道结构200b围绕与栅电极220连接的每个第一布线塞245a。然而,实施例不限于此。

[0042] 虚设接触垫207b可以形成在虚设沟道结构200b的顶表面上。虚设接触垫207b的组成可以与接触垫207a的组成基本上相同。虚设接触垫207b的顶表面可以与接触垫207a的顶表面位于同一水平处。在这点上,虚设接触垫207b的顶表面可以与第一布线塞245a、第二布线塞245b和共源极线CSL的顶表面位于同一水平处。

[0043] 在单元阵列区CAR中,半导体图案190可以从基底100突出并可以设置在沟道结构200a与基底100之间。半导体图案190的顶表面可以位于比最下栅电极220的顶表面高的水平处。半导体图案190可以接触每个沟道结构200a的第一垂直沟道图案203a。第一垂直沟道图案203a可以通过半导体图案190电连接到基底100。可以通过使用基底100的顶表面作为种子的选择性外延生长(SEG)工艺来形成半导体图案190。因此,半导体图案190可以仅形成在暴露基底100的顶表面的沟道孔180a内,而不形成在形成在器件隔离膜102上的虚设孔180b内。

[0044] 底栅绝缘膜101可以设置在单元阵列区CAR中的最下栅电极220与基底100之间。底栅绝缘膜101可以包括例如氧化硅、氮化硅、氮氧化硅等的绝缘材料。底栅绝缘膜101在第一方向(z方向)上的厚度可以小于每个层间绝缘膜140在第一方向上的厚度。

[0045] 底绝缘图案165可以设置在字线接触区WCTR中。在一些情况下,底绝缘图案165的一部分可以延伸到外围电路区PERI。在字线接触区WCTR中,底绝缘图案165可以设置在层间绝缘膜140和栅电极220的顶表面或侧表面以及外围绝缘膜120的侧表面上,并设置在器件隔离膜102上。底绝缘图案165的顶表面和外围绝缘膜120的顶表面可以形成单个平面。底绝缘图案165可以包括诸如氧化硅的绝缘材料。

[0046] 外围晶体管110可以在外围电路区PERI中的基底100上形成外围电路。每个外围晶体管110可以包括外围栅极绝缘图案111、外围栅电极112、源极/漏极区113和栅极间隔件115。外围晶体管110可以被外围绝缘膜120覆盖。顶绝缘膜175可以形成在层间绝缘膜140和栅电极220的在字线接触区WCTR中的顶表面和侧表面上以及底绝缘图案165和外围绝缘膜120上。在一个实施例中,顶绝缘膜175可围绕虚设沟道结构200b、第一布线塞245a和第二布线塞245b的侧表面。在一个实施例中,第一布线塞245a、第二布线塞245b和虚设沟道结构200b可以垂直穿过顶绝缘膜175。顶绝缘膜175和最上层间绝缘膜140可以形成单个平面。即,顶绝缘膜175的顶表面可以与最上层间绝缘膜140的顶表面位于同一水平处,从而形成连续平面。

[0047] 导线260可以设置在字线接触区WCTR和外围电路区PERI中。导线260可以沿着与基底100的顶表面平行的方向在第一布线塞245a、第二布线塞245b、最上层间绝缘膜140和顶绝缘膜175上延伸。例如,导线260均可以具有弯曲结构或弯折结构。在一个实施例中,导线260均可以具有沿第二方向(x方向)延伸的部分或沿第三方向(y方向)延伸的部分,如图3A所示出的。即,导线260均可以具有双向结构。

[0048] 导线260可以通过第一布线塞245a电连接到栅电极220,并且通过第二布线塞245b电连接到外围晶体管110。在这点上,导线260可以与在第一方向(z方向)上延伸的每个虚设沟道结构200b的至少一部分交叉。在一个实施例中,导线260可以与在第一方向(z方向)上延伸的每个虚设接触垫207b的至少一部分交叉。虚设接触垫207b的顶表面和导线260的底表面可以位于基本同一水平处。在一个或更多个实施例中,导线260可以与虚设接触垫207b接触。在一个或更多个实施例中,导线260可以直接地连接到虚设接触垫207b。如上所述,第一布线塞245a、第二布线塞245b、共源极线CSL、虚设接触垫207b、最上层间绝缘膜140和顶绝缘膜175的顶表面可以与导线260的底表面位于同一水平处。

[0049] 如将结合图5Q描述的,由于共源极线CSL、第一布线塞245a和第二布线塞245b同时(例如,同步地)形成,因此共源极线CSL的顶表面以及第一布线塞245a和第二布线塞245b的顶表面位于同一水平处。与相关方法相比,例如,当在形成第一布线塞和第二布线塞之前形成共源极线时,虚设接触垫207b的顶表面与导线260的底表面之间在第一方向(z方向)上的距离会减小。因此,当导线260与虚设沟道结构200b的一部分交叉时,导线260可能会通过虚设接触垫207b和虚设沟道结构200b与基底100短路。

[0050] 此外,当每条导线260具有弯曲结构或弯折结构时,或者当导线260具有在第二方向(x方向)和第三方向(y方向)上延伸的双向结构时,每个导线260的弯折部分可以经历圆角化。因此,对于与在第一方向(z方向)上延伸的每个虚设沟道结构200b的一部分不交叉的导线260,在具有双向结构的导线的设计上存在限制。

[0051] 因此,根据一个或更多个实施例,将虚设沟道结构200b形成在器件隔离膜102上,例如,器件隔离膜102将虚设沟道结构200b的底部与基底100完全分离。因此,由SEG形成的半导体图案190可以仅形成在单元阵列区CAR的沟道孔180a中,而不形成在字线接触区WCTR的虚设孔180b中。此外,虚设沟道结构200b与基底100间隔开,器件隔离膜102置于虚设沟道结构200b与基底100之间。因此,即使当导线260与每个虚设沟道结构200b的在第一方向(z方向)上延伸的部分交叉时,导线260也不会相对于基底100短路。换句话说,即使当导线260被构造为通过虚设接触垫207b电连接到虚设沟道结构200b时,例如由于其经由器件隔离膜102而分离,导线260也不会相对于基底100短路。因此,导线260可以与在第一方向(z方向)上延伸的每个虚设接触垫207b的一部分交叉。因此,导线260(即,字线接触区WCTR中的导线260)可以具有较高的自由度。

[0052] 顶层间绝缘膜235可以形成在最上层间绝缘膜140和顶绝缘膜175上,顶层间绝缘膜235覆盖沟道结构200a、共源极线CSL和虚设沟道结构200b。顶层间绝缘膜235可以围绕位线塞240的侧表面。在一个实施例中,位线塞240可以垂直地穿过顶层间绝缘膜235。顶层间绝缘膜235可以围绕导线260的侧表面和顶表面。

[0053] 顶绝缘膜175和顶层间绝缘膜235可以包括例如高密度等离子体(HDP)氧化物膜、正硅酸四乙酯(TEOS)、等离子体增强正硅酸四乙酯(PE-TEOS)、03-四乙基硅酸酯(03-TEOS)、未掺杂的硅玻璃(USG)、磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG)、硼磷硅酸盐玻璃(BPSG)、氟硅酸盐玻璃(FSG)、旋涂玻璃(SOG)、tonensilazene(TOSZ)或它们的组合。

[0054] 位线BL可以形成在顶层间绝缘膜235上。位线塞240可以设置在位线BL与沟道结构200a之间。位线塞240可以将位线BL与沟道结构200a电连接。位线BL和位线塞240均可以包括例如掺杂硅、金属硅化物或金属的导电材料。

[0055] 图4A示出了根据示例实施例的垂直存储器装置10b的平面图。图4B示出了沿图4A中所示出的线I-I'和II-II'截取的剖视图。

[0056] 参照图4A和4B,根据本实施例的垂直存储装置10b可以包括位于基底100上的单元阵列区CAR、字线接触区WCTR和外围电路区PERI。基底100可以包括第一基底100a和第二基底100b。第一基底100a可以设置在第二基底100b下面。外围电路区PERI可以设置在第一基底100a上,单元阵列区CAR和字线接触区WCTR可以设置在第二基底100b上。用于形成外围电路的外围晶体管110可以设置在第一基底100a上。在这种情况下,每个外围晶体管110可以包括外围栅极绝缘图案111、外围栅电极112、源极/漏极区113和栅极间隔件115。第一外围绝缘膜120b可以设置在具有外围晶体管110的第一基底100a上。外围导线116和第二外围绝缘膜120a可以设置在第一外围绝缘膜120b上,以将外围晶体管110彼此电连接。

[0057] 用于形成外围电路的外围晶体管110可以形成在第一基底100a上,所得到的结构被外围绝缘膜120覆盖,然后,可以在外围绝缘膜120上形成第二基底100b。第二基底100b可以包括用于限定有源区的器件隔离膜102。在单元阵列区CAR和字线接触区WCTR中形成在第二基底100b上的元件与已结合图3A描述的元件相同。因此,这里将省略对它们的描述。

[0058] 参照图4B,外围导线116中的仅一个导线连接到第二布线塞245b中的任意一个布线塞。然而,在一个或多个实施例中,外围导线116可以分别连接到第二布线塞245b。

[0059] 图5A至5S示出了沿图3A中所示出的线I-I'、II-II'和III-III'截取的剖视图以解释根据示例实施例的制造垂直存储器装置的方法中的阶段。

[0060] 参照图5A,可以在基底100中形成器件隔离膜102以限定有源区。可以通过执行浅沟槽隔离(STI)工艺形成器件隔离膜102。STI工艺可以包括在基底100中形成隔离沟槽并由例如氧化硅的绝缘材料填充隔离沟槽。基底100可以包括具有半导体特性的材料,例如,硅晶片。基底100可以包括单元阵列区CAR、外围电路区PERI和字线接触区WCTR。

[0061] 参照图5B,可以在外围电路区PERI中形成外围晶体管110。每个外围晶体管110可以包括外围栅电极112、外围栅极绝缘图案111、源极/漏极区113和栅极间隔件115。可以形成外围绝缘膜120和外围牺牲膜125以覆盖外围电路区PERI中的基底100。

[0062] 在一个示例实施例中,外围电路的形成可以包括形成已经结合图1描述的字线驱动器、感测放大器、行解码器、列解码器和控制电路。在一个实施例中,如图5B中所示出的,可以以如下方式在外围电路区PERI中的基底100上形成构成外围电路的外围晶体管110。在基底100上顺序地堆叠外围栅极绝缘膜和外围栅极膜。使外围栅极绝缘膜和外围栅极膜的堆叠结构图案化以形成外围栅电极112和外围栅极绝缘图案111。可以通过使用例如掺杂了杂质的多晶硅或金属材料形成外围栅电极112。外围栅极绝缘图案111可以包括例如通过热氧化工艺形成的氧化硅。然后,可以在基底100的由外围栅电极112暴露的部分上或由外围栅电极112暴露的部分中形成源极/漏极区113和栅极间隔件115。

[0063] 可以通过在基底100的表面上设置绝缘材料并使所得到的结构平坦化来形成外围绝缘膜120。在一个实施例中,外围绝缘膜120可以包括例如氧化硅。可以在外围绝缘膜120上设置外围牺牲膜125。外围牺牲膜125可以包括相对于外围绝缘膜120具有蚀刻选择性的材料。在一个实施例中,外围牺牲膜125可以包括例如氮化硅、氮氧化硅、碳化硅和碳氧化硅。

[0064] 可以使外围绝缘膜120和外围牺牲膜125图案化成仅保留在外围电路区PERI内。因

此,外围绝缘膜120和外围牺牲膜125可以暴露与单元阵列区CAR对应的基底100和与字线接触区WCTR对应的器件隔离膜102。

[0065] 参照图5C,可以在基底100的其上形成有外围晶体管110的表面上形成底部堆叠结构150。在示例实施例中,可以在单元阵列区CAR、字线接触区WCTR和外围电路区PERI中形成底部堆叠结构150。底部堆叠结构150可以与基底100的其上具有外围绝缘膜120和外围牺牲膜125的表面共形。底部堆叠结构150可以覆盖外围绝缘膜120的侧壁和外围牺牲膜125的顶表面。

[0066] 底部堆叠结构150可以包括层间绝缘膜140和多个牺牲膜130。可以通过沉积工艺交替地重复堆叠层间绝缘膜140和牺牲膜130。

[0067] 层间绝缘膜140均可以包括在湿蚀刻期间相对于牺牲膜130中的材料显示出高蚀刻选择性的材料。在一个实施例中,层间绝缘膜140可以包括例如氧化硅和氮化硅中的至少一种,牺牲膜130可以从例如硅膜、氧化硅膜、碳化硅和氮化硅膜中选择,它们均相对于层间绝缘膜140具有蚀刻选择性。

[0068] 可以在底部堆叠结构150的顶部上形成单元牺牲膜145。单元牺牲膜145可以包括与外围牺牲膜125中的材料相同的材料。单元牺牲膜145可以包括相对于层间绝缘膜140或牺牲膜130具有蚀刻选择性的绝缘材料。在一个实施例中,单元牺牲膜145可以包括例如硅、氧化硅、氮氧化硅、碳化硅和碳氧化硅中的至少一种。在示例实施例中,当在均包括氧化硅膜的层间绝缘膜140上形成单元牺牲膜145时,可以通过使用氮化硅膜形成单元牺牲膜145。

[0069] 在形成底部堆叠结构150之前,可以在基底100上形成包括热氧化膜的底栅极绝缘膜101。由于通过热氧化工艺形成底栅极绝缘膜101,所以底栅极绝缘膜101可以形成在暴露基底100的表面的单元阵列区CAR中,底栅极绝缘膜101在第一方向(z方向)上的厚度可以小于每个层间绝缘膜140的厚度。

[0070] 参照图5D,使底部堆叠结构150图案化以在单元阵列区CAR和字线接触区WCTR中的基底100上形成底部单元结构152。底部单元结构152可以具有通过使底部堆叠结构150多次图案化而获得的台阶状结构。底部单元结构152可以从单元阵列区CAR延伸到字线接触区WCTR,并可以具有台阶形状的接触部分。如上所述,由于底部单元结构152具有台阶状结构,所以层间绝缘膜140和牺牲膜130的端部可以位于字线接触区WCTR中。层间绝缘膜140和牺牲膜130可以在远离基底100的方向上具有较小的面积。换句话说,随着远离基底100,牺牲膜130和层间绝缘膜140的侧表面可以更远离外围电路区PERI。

[0071] 在一个示例实施例中,由于底部堆叠结构150的图案化工艺,可以暴露字线接触区WCTR中的器件隔离膜102的与外围电路区PERI相邻的部分。在一个实施例中,由于底部堆叠结构150的图案化,可以暴露外围电路区PERI中的外围牺牲膜125和外围绝缘膜120。

[0072] 参照图5E,可以形成覆盖底部单元结构152、器件隔离膜102、外围牺牲膜125和外围绝缘膜120的底绝缘膜160。

[0073] 可以通过化学气相沉积(CVD)形成底绝缘膜160,所述底绝缘膜160具有与在单元阵列区CAR、字线接触区WCTR和外围电路区PERI中的基底100上的所得结构共形的结构。可以通过使用相对于底部单元结构152的牺牲膜130和单元牺牲膜145以及外围牺牲膜125具有蚀刻选择性的材料来形成底绝缘膜160。

[0074] 在一个实施例中,底绝缘膜160可以是顶绝缘膜175和顶层间绝缘膜235。底绝缘膜

160可以包括例如氮化硅、氮氧化硅或具有低介电常数的材料。

[0075] 参照图5F,可以通过使用单元牺牲膜145和外围牺牲膜125作为平坦化停止物的平坦化工艺使底绝缘膜160平坦化。由于平坦化工艺,可以去除底绝缘膜160的局部台阶,从而在底部单元结构152和外围绝缘膜120之间形成平坦化的底绝缘图案165。

[0076] 可以通过例如CMP使底绝缘膜160平坦化。当对底绝缘膜160执行CMP工艺时,单元牺牲膜145可以防止蚀刻设置在其下的层间绝缘膜140,外围牺牲膜125可以防止蚀刻外围绝缘膜120。

[0077] 参照图5G,可以去除单元牺牲膜145和外围牺牲膜125。因此,底部单元结构152、底绝缘图案165和外围绝缘膜120可以具有共同的顶表面。

[0078] 在一个实施例中,可以通过各向异性或各向同性蚀刻工艺使用相对于底部单元结构152的层间绝缘膜140、底绝缘图案165和外围绝缘膜120具有蚀刻选择性的蚀刻配方来去除单元牺牲膜145和外围牺牲膜125。在示例实施例中,当单元牺牲膜145和外围牺牲膜125均包括氮化硅膜时,包括磷酸的蚀刻剂可以用于各向同性蚀刻工艺。

[0079] 参照图5H,可以在底部单元结构152、底绝缘图案165和外围绝缘膜120上形成顶部堆叠结构170。与底部堆叠结构150(参见图5C)类似,顶部堆叠结构170可以包括多个层间绝缘膜140和多个牺牲膜130,并可以形成在基底100的表面上方。可以通过沉积工艺交替地重复堆叠层间绝缘膜140和牺牲膜130。

[0080] 参照图5I,可以使顶部堆叠结构170图案化以在底部单元结构152上形成顶部单元结构172。可以通过使顶部堆叠结构170多次图案化来形成顶部单元结构172。由于顶部堆叠结构170的图案化,所以从外围电路区PERI和字线接触区WCTR去除顶部堆叠结构170,从而暴露底绝缘图案165和外围绝缘膜120。

[0081] 顶部单元结构172可从单元阵列区CAR延伸到字线接触区WCTR,并可以具有台阶形接触部分。在字线接触区WCTR中,顶部单元结构172的接触部分和底部单元结构152的接触部分均可以具有台阶形形状。顶部单元结构172的接触部分接触将在随后的工艺中形成的第一布线塞245a(参见图5Q),并电连接到导线260。在示例实施例中,在单元阵列区CAR中,构成底部单元结构152和顶部单元结构172的牺牲膜130的数量可以与在单元阵列区CAR中垂直堆叠的栅电极220的数量相同。

[0082] 在一个示例性实施例中,牺牲膜130中的最上牺牲膜和最下牺牲膜可以具有比其它牺牲膜的厚度大的厚度,除此之外,底部单元结构152和顶部单元结构172的每个牺牲膜130的厚度可以相同。

[0083] 然而,构成底部单元结构152和顶部单元结构172的膜的数量、每个膜的厚度以及形成每个膜的材料不限于以上所述和相关附图。即,数量、厚度和材料可以根据所应用的产品种类、存储器单元晶体管的电特性以及使底部单元结构152和顶部单元结构172图案化的效率或技术难度而变化。

[0084] 参照图5J,可以在外围电路区PERI和字线接触区WCTR中的基底100上形成顶绝缘膜175。可以通过使用材料来形成顶绝缘膜175,该材料在去除底部单元结构152和顶部单元结构172的牺牲膜130时相对于牺牲膜130具有蚀刻选择性。顶绝缘膜175可以通过例如物理气相沉积(PVD)、化学气相沉积(CVD)、低于大气压的CVD(SACVD)、低压CVD(LPCVD)、等离子体增强CVD(PECVD)或高密度等离子体CVD(HDP CVD)来形成。通过这些沉积工艺,可以提供

顶绝缘膜175以覆盖基底100上的结构,即,结合图5I已经说明的位于单元阵列区CAR、字线接触区WCTR和外围电路区PERI中的结构。

[0085] 此后,可以对顶绝缘膜175执行平坦化工艺。因此,平坦化的顶绝缘膜175可以暴露最上层间绝缘膜140的顶表面。顶绝缘膜175可以包括与底绝缘膜160的材料基本相同的材料。

[0086] 参照图5K,可以在单元阵列区CAR中形成沟道孔180a,可以在字线接触区WCTR中形成虚设孔180b,可以形成半导体图案190以填充每个沟道孔180a的底部。在一个示例实施例中,形成沟道孔180a可以包括在顶部单元结构172上形成掩模图案,并且通过使用掩模图案作为蚀刻掩模各向异性地连续蚀刻顶部单元结构172和底部单元结构152以及底栅极绝缘膜101直到暴露基底100的顶表面为止。沟道孔180a可以暴露牺牲膜130和层间绝缘膜140的侧表面,并可以穿过底栅极绝缘膜101以暴露基底100的顶表面。在一个示例实施例中,当形成沟道孔180a时,对基底100的被通道孔180a暴露的顶表面进行过蚀刻以形成具有预定深度的凹部。基底100的顶表面对应于单元阵列区CAR的有源区。

[0087] 在一个示例实施例中,形成虚设孔180b可以包括通过使用掩模图案作为蚀刻掩模对顶绝缘膜175、顶部单元结构172和底部单元结构152进行各向异性的连续蚀刻,直到暴露基底100的器件隔离膜102为止。虚设孔180b可以穿过顶绝缘膜175、牺牲膜130和层间绝缘膜140以暴露基底100的器件隔离膜102。在一个示例实施例中,当形成虚设孔180b时,器件隔离膜102的被虚设孔180b暴露的部分可被过蚀刻以形成具有预定深度的凹部。可以通过各向异性蚀刻同时形成沟道孔180a和虚设孔180b。

[0088] 在一个示例实施例中,可以使用基底100的被沟道孔180a暴露的顶表面作为种子,通过SEG工艺来形成填充每个沟道孔180a的底部的半导体图案190。然而,半导体图案190不形成在被虚设孔180b暴露的器件隔离膜102上。这是因为器件隔离膜102包括例如氧化硅膜的绝缘膜,并不能用作于SEG工艺的种子。因此,半导体图案190可以仅形成在单元阵列区CAR中的沟道孔180a内。半导体图案190可以包括单晶硅或单晶硅锗。在一个或更多个实施例中,半导体图案190可以包括掺杂的杂质离子。半导体图案190的顶表面可以位于比最下牺牲膜130高的水平处。

[0089] 参照图5L,可以在半导体图案190上的沟道孔180a中形成沟道结构200a和接触垫207a。同时,可以在被虚设孔180b暴露的器件隔离膜102上形成虚设沟道结构200b和虚设接触垫207b。

[0090] 每个沟道结构200a可以包括顺序堆叠的第一介电膜图案201a、第一垂直沟道图案203a和第一填充绝缘膜图案205a。沟道结构200a可以接触半导体图案190并可以电连接到基底100。沟道结构200a的底表面可以位于比最下牺牲膜的顶表面高的水平处,但是实施例不限于此。

[0091] 每个虚设沟道结构200b可以包括顺序堆叠的第二介电图案201b、第二垂直沟道图案203b和第二填充绝缘膜图案205b。虚设沟道结构200b可以穿透最下牺牲膜130接触器件隔离膜102。因此,虚设沟道结构200b可以与基底100竖直地间隔开,同时使器件隔离膜102置于虚设沟道结构200b与基底100之间。即,虚设沟道结构200b可以通过器件隔离膜102而与基底100电绝缘。虚设沟道结构200b的底表面可以位于比最下牺牲膜130的底表面低的水平处。在一个或更多个实施例中,虚设沟道结构200b的底表面可以位于比沟道结构200a的

底表面低的水平处。

[0092] 第一介电图案201a和第二介电图案201b均可以具有管形状,并可以分别形成在沟道孔180a和虚设孔180b中。第一介电图案201a和第二介电图案201b均可以包括多个绝缘膜。在一个实施例中,第一介电图案201a和第二介电图案201b中的每个可以包括多个膜,所述多个膜包括例如氧化硅膜、氮化硅膜,氮氧化硅膜和高介电膜。

[0093] 可以将第一垂直沟道图案203a和第二垂直沟道图案203b形成为具有中空的柱形形状或杯形形状。可以使用第一填充绝缘膜图案205a和第二填充绝缘膜图案205b分别填充由第一垂直沟道图案203a和第二垂直沟道图案203b限定的空白区域。第一垂直沟道图案203a和第二垂直沟道图案203b中的每个可以包括掺杂了杂质的半导体或者未掺杂杂质的本征半导体。在一个实施例中,半导体材料可以包括例如硅(Si)、锗(Ge)或它们的混合物。第一填充绝缘膜图案205a和第二填充绝缘膜图案205b均可以通过使用具有间隙填充特性的绝缘材料形成。在一个实施例中,第一填充绝缘膜图案205a和第二填充绝缘膜图案205b中的每个可以包括例如高密度等离子体氧化膜、旋涂玻璃(SOG)膜或CVD氧化物膜。

[0094] 可以分别在沟道结构200a和虚设沟道结构200b上形成接触垫207a和虚设接触垫207b。接触垫207a和虚设接触垫207b中的每个可以通过使用掺杂多晶硅或金属材料形成。

[0095] 参照图5M,可以在相邻的沟道结构200a之间形成竖直穿过牺牲膜130和层间绝缘膜140的沟槽210。沟槽210可以在虚设沟道结构200b之间延伸。

[0096] 沟槽210的形成可以包括形成掩模图案,该掩模图案在顶部单元结构172和顶绝缘膜175上限定将要形成沟槽210的位置,并通过使用该掩模图案作为蚀刻掩模对顶部单元结构172、底部单元结构152和顶绝缘膜175进行各向异性蚀刻。沟槽210可以垂直穿过层间绝缘膜140、牺牲膜130、顶绝缘膜175和底栅极绝缘膜101来暴露基底100的顶表面的一部分。沟槽210可以与基底100的位于单元阵列区CAR和字线接触区WCTR中的顶表面平行地延伸。沟槽210可以与沟道结构200a和虚设沟道结构200b间隔开,并可以暴露顶绝缘膜175、牺牲膜130、层间绝缘膜140和底部栅极绝缘膜101的侧壁。在沟槽210的平面图中,沟槽210可以具有线形、条形或矩形形状。沟槽210可以以竖直深度暴露基底100和器件隔离膜102的顶表面。在一个示例实施例中,当形成沟槽210时,基底100和器件隔离膜102的由沟槽210暴露的顶表面可以被过蚀刻并凹陷。

[0097] 在一个示例实施例中,一旦形成沟槽210,可以在由沟槽210暴露的基底100上局部地形成杂质区211。在形成杂质区211的离子注入工艺期间,具有沟槽210的底部单元结构152和顶部单元结构172可以用作掩模。与沟槽210的水平形状相似,杂质区211可以具有沿一个方向延伸的线形状。由于杂质的扩散,杂质区211可以与底部单元结构152和顶部单元结构172中的每个的底部的一部分叠置。杂质区211可以具有与基底100的导电类型相反的导电类型。例如,当基底100具有n型导电性时,杂质区可以具有p型导电性,当基底100具有p型导电性时,杂质区可以具有n型导电性。

[0098] 参照图5N,通过执行蚀刻工艺来去除由沟槽210的侧壁暴露的牺牲膜130,从而形成侧间隙区213。

[0099] 蚀刻工艺可以包括通过使用相对于层间绝缘膜140、底栅极绝缘膜101和顶绝缘膜175具有蚀刻选择性的蚀刻剂,经由沟槽210对牺牲膜130进行各向同性蚀刻。在一个实施例中,当牺牲膜130均是氮化硅膜,层间绝缘膜140、底栅极绝缘膜101和顶绝缘膜175是氧化硅

膜时,可以通过使用包括磷酸的蚀刻剂执行蚀刻工艺。侧间隙区213可以在层间绝缘膜140之间自沟槽210水平延伸以暴露沟道结构200a和虚设沟道结构200b的一部分。

[0100] 参照图50,以栅电极220来填充侧间隙区213。

[0101] 栅电极220的形成可以包括在侧间隙区213和沟槽210中形成导电膜并去除沟槽210中的导电膜。栅电极220可以彼此竖直地间隔开。

[0102] 可以通过提供优异的台阶覆盖性能的沉积技术形成导电膜。这种沉积技术可以是例如化学气相沉积技术或原子层沉积技术。因此,导电膜可以填充侧间隙区213。导电膜可以共形地形成在沟槽210内。导电膜可以包括例如掺杂多晶硅、钨、金属氮化物膜和金属硅化物中的至少一种。在一个示例实施例中,导电膜的形成可以包括以顺序方式形成例如金属氮化物的阻挡金属膜和例如钨的金属膜。然而,实施例不限于闪存装置,因此导电膜可以具有除了这里所述的之外的其它材料和结构。此后,从沟槽210去除导电膜,从而使栅电极220彼此竖直间隔开。

[0103] 在一个实施例中,栅电极220可以用作已经结合图2进行了说明的串选择线SSL、地选择线GSL和字线WL。在一个实施例中,栅电极220的最上层和最下层分别用作串选择线SSL和地选择线GSL,栅电极220的位于最上层和最下层之间的剩余层可以用作字线WL。串选择晶体管SST可以形成在串选择线SSL与沟道结构200a交叉的位置,地选择晶体管GST可以形成在地选择线GSL与半导体图案190交叉的位置,存储器单元晶体管MCT可以形成在字线WL与沟道结构220a交叉的位置。

[0104] 可以在沟槽210的侧壁上形成绝缘间隔件225。可以以这样的方式形成绝缘间隔件225:在基底100的表面和沟槽210的侧壁上设置用于间隔件的绝缘膜,然后在垂直于基底100的顶表面的方向上对绝缘膜执行各向异性蚀刻,直到暴露杂质区211。绝缘间隔件225可以包括例如氧化硅、氮化硅、氮氧化硅或其它绝缘材料。

[0105] 参照图5P,在字线接触区WCTR和外围电路区PERI中分别形成第一接触孔215a和第二接触孔215b。第一接触孔215a可以暴露作为栅电极220中的任何一个栅电极的第一栅电极的一部分。第二接触孔215b可以暴露外围晶体管110的外围栅电极112的顶表面的一部分和源极/漏极区113的上表面的一部分。

[0106] 参照图5Q,可以通过使用例如相同的导电材料(例如,钨)填充沟槽210、第一接触孔215a和第二接触孔215b并在其上执行回蚀刻工艺或CMP来形成共源极线CSL、第一布线塞245a和第二布线塞245b。因此,共源极线CSL、第一布线塞245a和第二布线塞245b可以具有相同的组成,并且共源极线CSL、第一布线塞245a和第二布线塞245b的顶表面可以位于同一水平处,例如,基本水平并且彼此共平面。通过与第一布线塞245a和第二布线塞245b同时形成共源极线CSL,例如不是按顺序形成,可以减少由例如CMP消耗的导电材料的量。

[0107] 在一个示例性实施例中,形成共源极线CSL、第一布线塞245a和第二布线塞245b中的每个可以包括以顺序方式形成例如金属氮化物膜的阻挡金属膜和例如钨膜的金属膜。共源极线CSL可以接触并电连接到杂质区211。共源极线CSL可以具有沿一个方向延伸的线形。

[0108] 参照图5R,可以在虚设接触垫207b以及位于字线接触区WCTR和外围电路区PERI中的第一布线塞245a和第二布线塞245b上形成导线260,导线260可以与基底100的顶表面平行地延伸。导线的形成可以包括以顺序方式形成例如金属氮化物膜的阻挡金属膜和例如钨膜的金属膜。导线260可以与虚设沟道结构200b和虚设接触垫207b的竖直延伸部的至少一

部分交叉,例如,叠置。

[0109] 参照图5S,可以在基底100的表面上方形成顶层间绝缘膜235,可以在单元阵列区CAR中形成位线塞240和位线BL。位线塞240可以被构造为接触形成在沟道结构200a上的接触垫207a以电连接到沟道结构200a。位线BL可以形成在位线塞240上并可以与栅电极220交叉。形成位线塞240可以包括在单元阵列区CAR中的接触垫上穿过顶层间绝缘膜235形成接触孔并用导电材料填充所述接触孔。位线塞240可以包括金属材料,该金属材料可以包括例如金属氮化物膜的阻挡金属膜和例如钨膜的金属膜。

[0110] 在一个示例性实施例中,位线BL的形成可以包括以顺序方式形成例如金属氮化物膜的阻挡金属膜和例如钨膜的金属膜。

[0111] 图6A至6E示出沿图4A中所示出的线I-I'和II-II'截取的剖视图以解释根据另一示例性实施例的制造垂直存储器装置的方法中的阶段。

[0112] 参照图6A,可以在第一基底100a上形成外围晶体管110和将外围晶体管110彼此连接的外围导线116。第一基底100a可以包括例如硅晶片的具有半导体特性的材料。第一基底100a可以包括外围电路区PERI。

[0113] 外围晶体管110中的每个可以包括外围栅极绝缘图案111、外围栅电极112、源极/漏极区113和栅极间隔件115。外围晶体管110和导线116可以被外围绝缘膜120覆盖。外围绝缘膜120可以包括第一外围绝缘膜120b和第二外围绝缘膜120a。第一外围绝缘膜120b和第二外围绝缘膜120a均可以包括氧化硅膜。

[0114] 参照图6B,可以在第二外围绝缘膜120b上形成第二基底100b。可以通过提供具有半导体特性的材料(例如,多晶硅或非晶硅)并且使其单晶化来形成第二基底100b。第二基底100b可以包括单元阵列区CAR和字线接触区WCTR。可以在第二基底100b中形成器件隔离膜102。可以通过STI工艺形成器件隔离膜102。STI工艺可以包括在基底100b中形成隔离沟槽,以及使用例如氧化硅填充隔离沟槽。

[0115] 参照图6C,可以在第二基底100b上形成堆叠结构270。堆叠结构270可以包括顺序地重复堆叠的层间绝缘膜140和牺牲膜130。在形成堆叠结构270之前,可以在第二基底100b的顶表面上形成包括热氧化膜的底栅极绝缘膜101。

[0116] 参照图6D,使堆叠结构270图案化以在单元阵列区CAR中的基底100b上形成单元结构272。可以通过使堆叠结构270多次图案化以形成台阶状结构来形成单元结构272。单元结构272可以从单元阵列区CAR延伸至字线接触区WCTR,从而形成具有台阶状形状的接触部分。由于形成具有台阶状结构的单元结构272,层间绝缘膜140和牺牲膜130的端部可以位于字线接触区WCTR中。

[0117] 参照图6E,可以在字线接触区WCTR中的第二基底100b上形成顶绝缘膜175。

[0118] 用于形成垂直存储器器的后续工艺与结合图5K至5S所说明的工艺相似。因此,这里将不再详细描述。

[0119] 在如上所述的制造垂直存储器装置的方法中,同时提供第一布线塞245a、第二布线塞245b和共源极线CSL。由于同时形成,导电材料的使用量被最小化,导线260和基底100的顶表面之间的垂直距离减小,从而在后续工艺中提供用于形成布线的空间,并减小垂直存储器装置的尺寸,使得能够小型化和集成。

[0120] 在这一点上,如果要减小导线260的底表面与形成在虚设沟道结构200b上的虚设

接触垫207b的顶表面之间的竖直距离,而基底100与虚设沟道结构200b之间不具有器件隔离膜102,导线260会通过虚设接触垫207b和虚设沟道结构200b与基底100a和100b短路。然而,在示例实施例中,由于虚设孔180b形成在器件隔离膜102上,所以在虚设孔180b中不会形成由SEG形成的半导体图案190。因此,虚设沟道结构200b可以与基底100a和100b绝缘,导线260可以与基底100a和100b绝缘。通过这样做,导线260横跨虚设沟道结构200b的垂直延伸部,因此,可以增大设计布线的自由度。

[0121] 通过总结和回顾,实施例提供了在布线方面具有高自由度的垂直存储器装置。实施例还提供了一种制造垂直存储器装置的方法。即,在器件隔离区上形成虚设沟道,使得虚设沟道经由器件隔离区的绝缘材料与基底绝缘。因此,与虚设沟道交叉的金属线不会与基底短路。

[0122] 已经在这里公开了示例实施例,尽管采用了专用术语,但是仅以一般性和描述性的意义而非出于限制的目的来使用和解释它们。在一些情况下,除非另有明确说明,否则如在提交本申请时对于本领域普通技术人员显而易见的是,结合特定实施例描述的特征、特性和/或元件可以单独使用或与结合其它实施例描述的特征、特性和/或元件组合使用。因此,本领域技术人员将理解的是,在不脱离如权利要求中阐述的本发明的精神和范围的情况下,可以进行形式和细节上的各种改变。

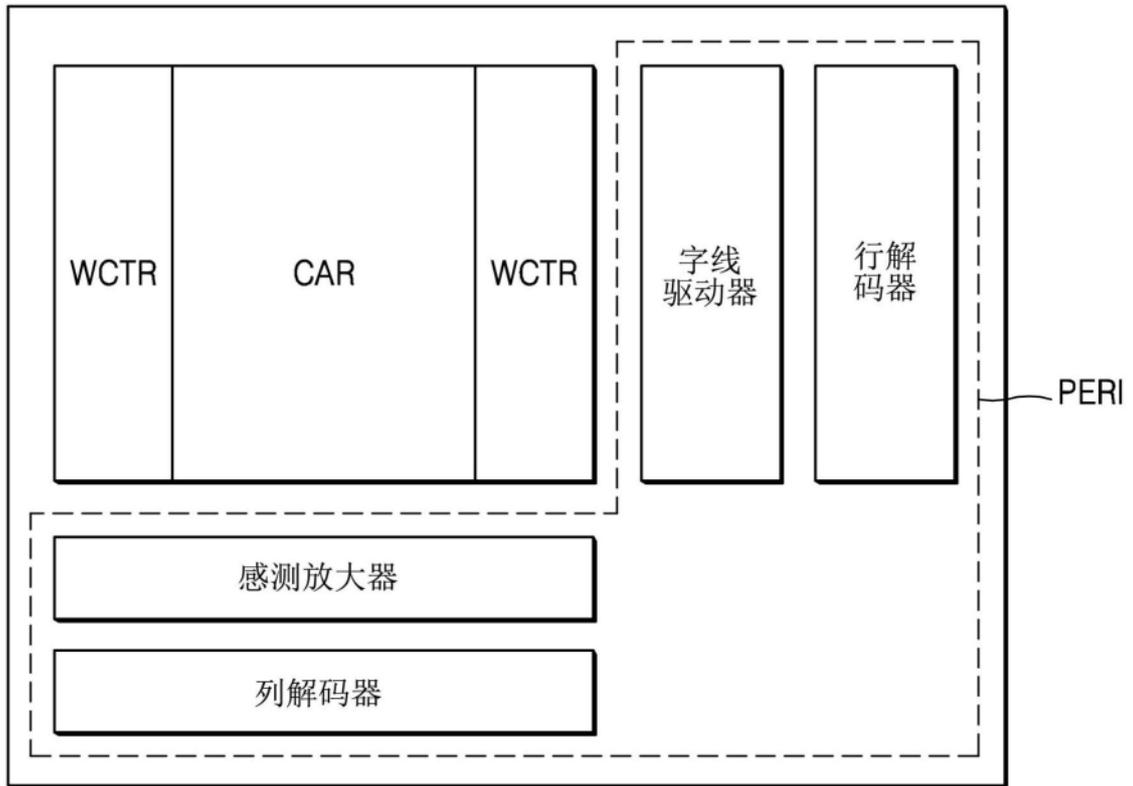


图1

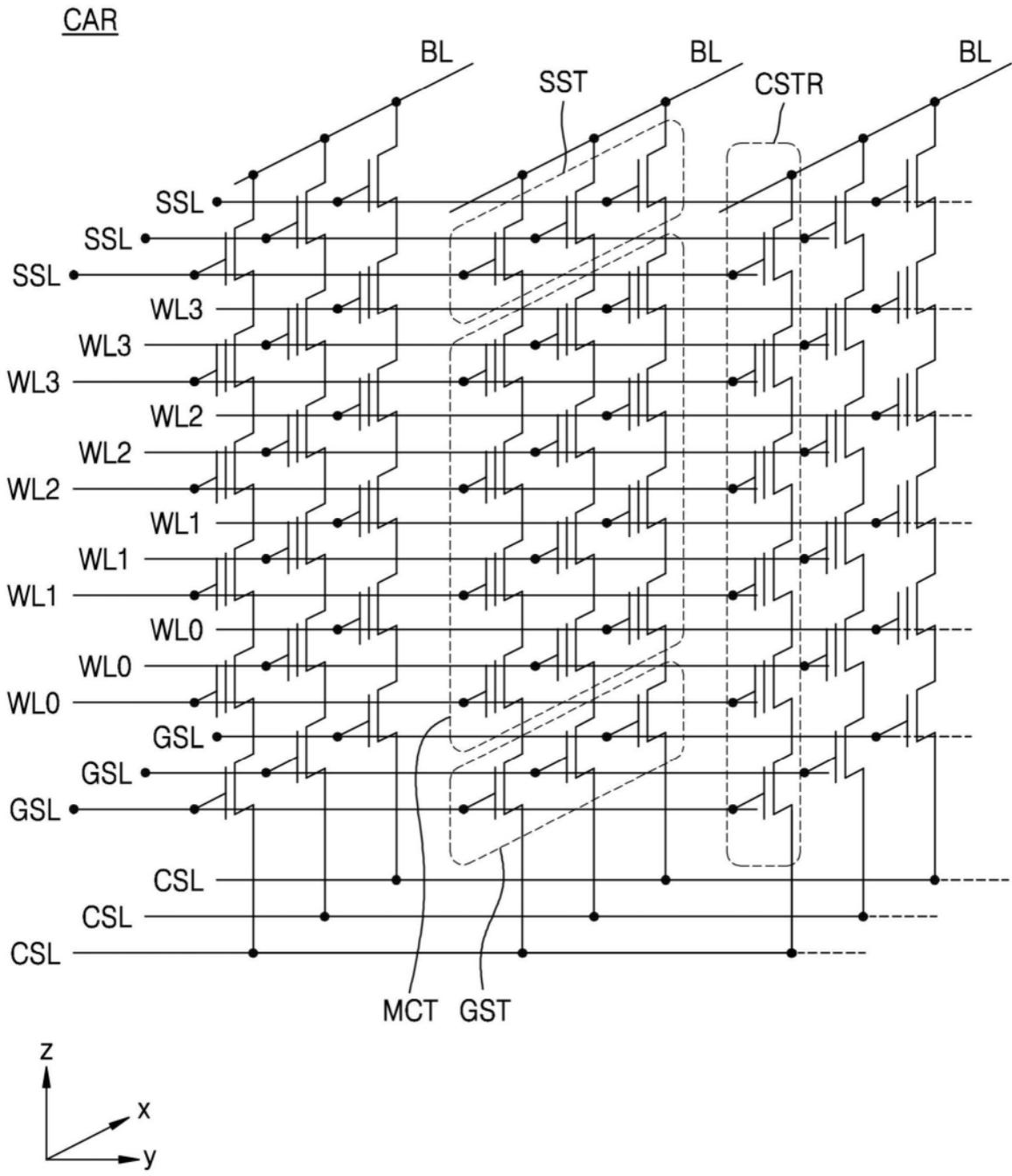


图2

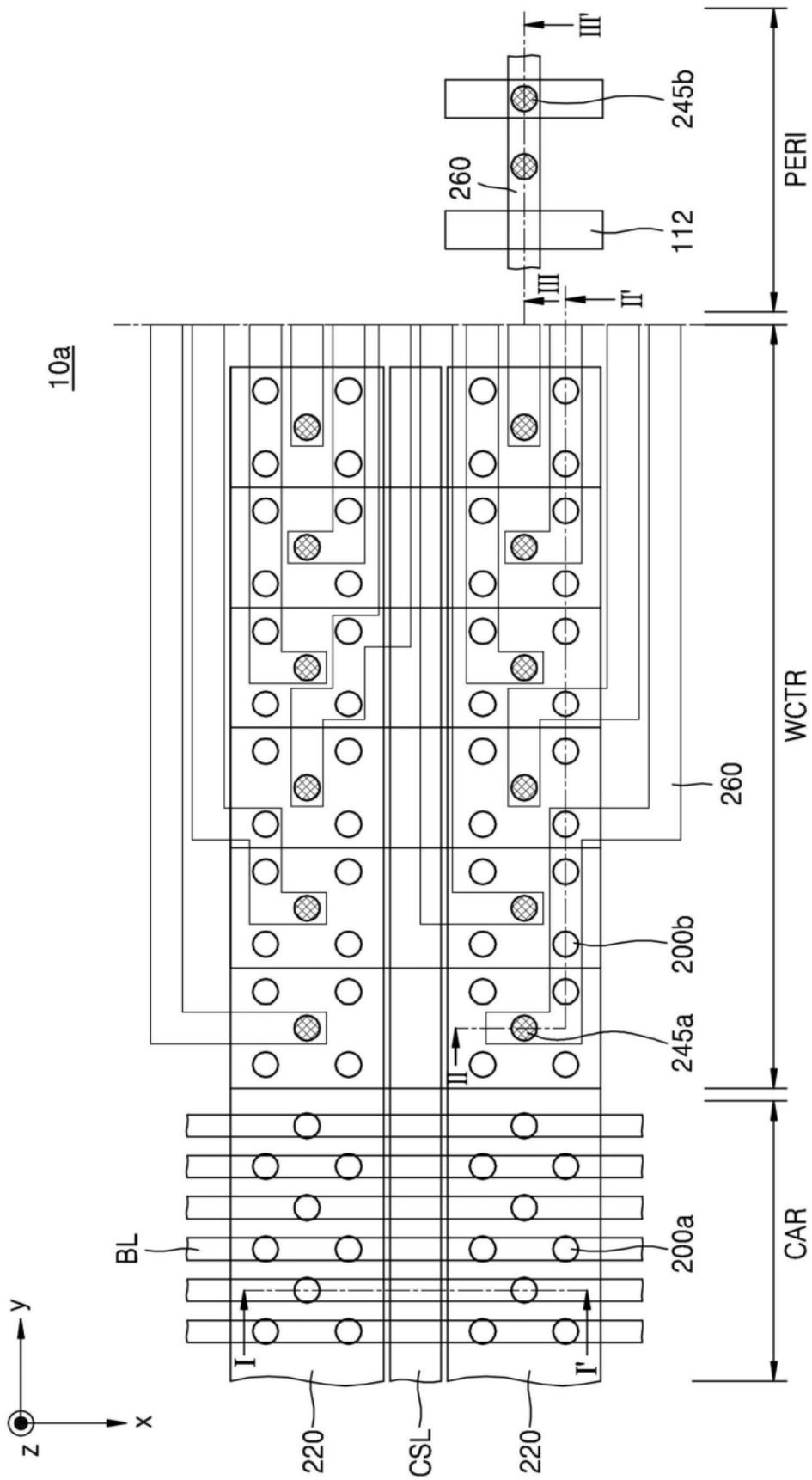


图3A



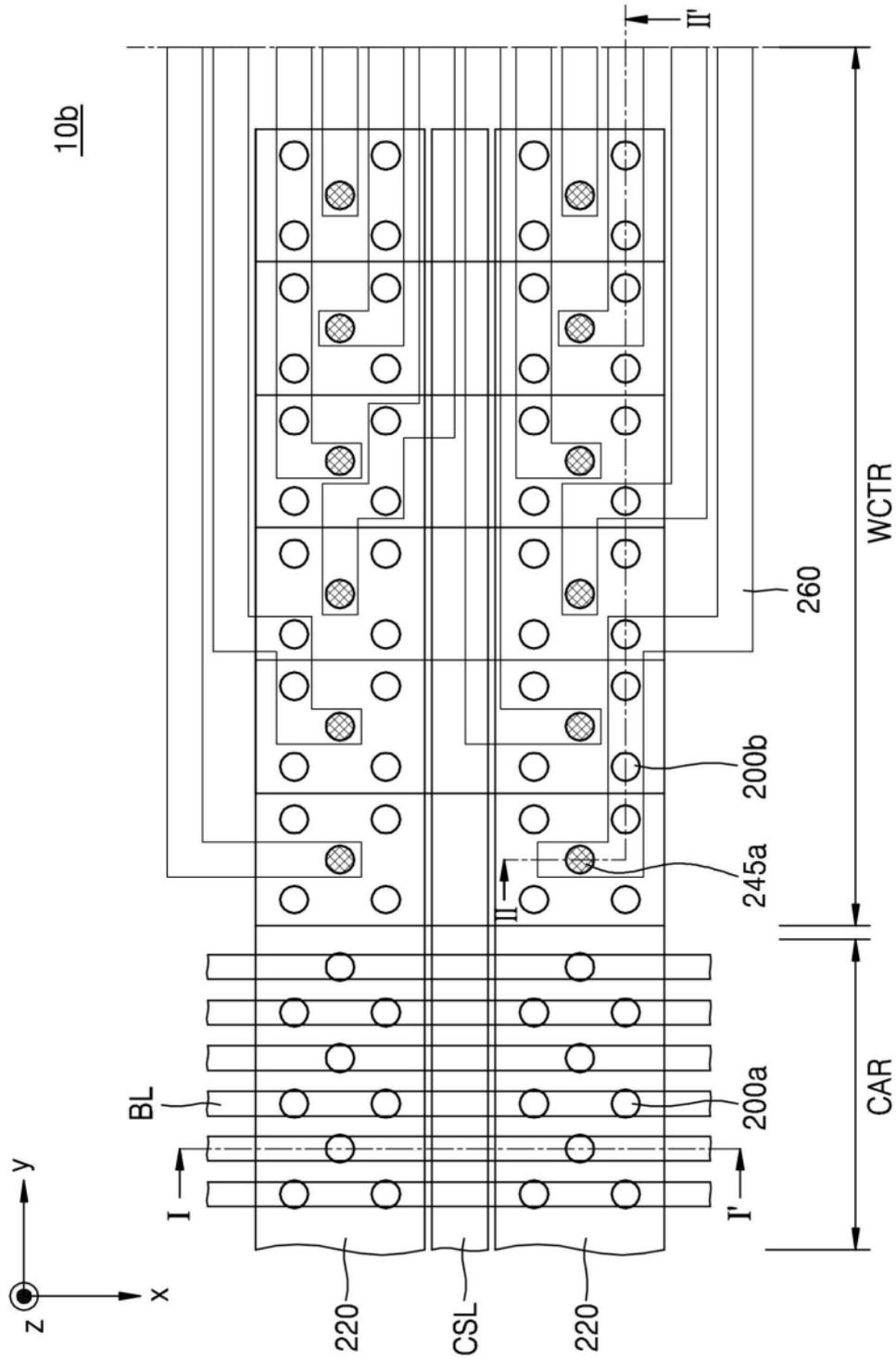


图4A

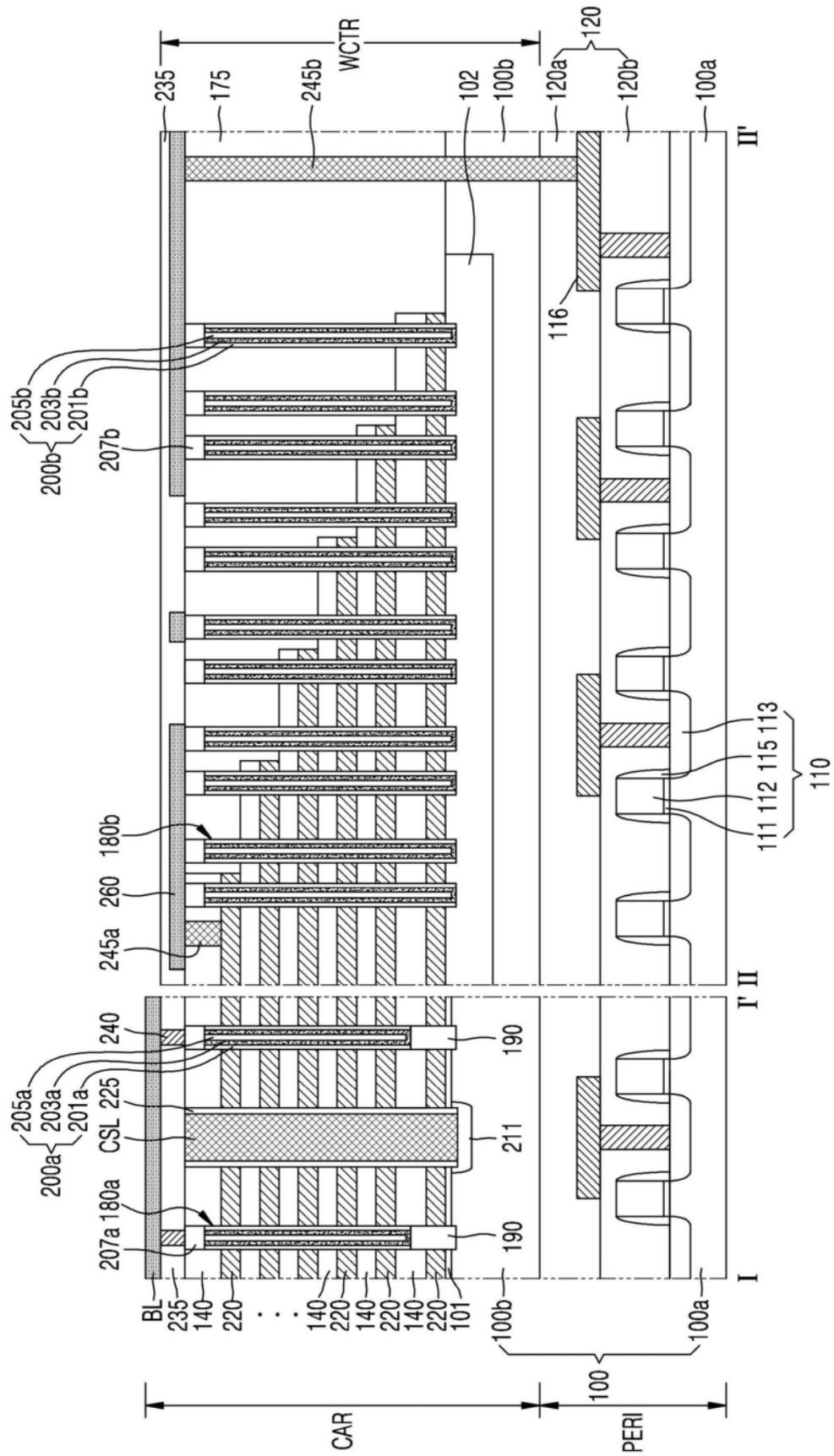


图4B

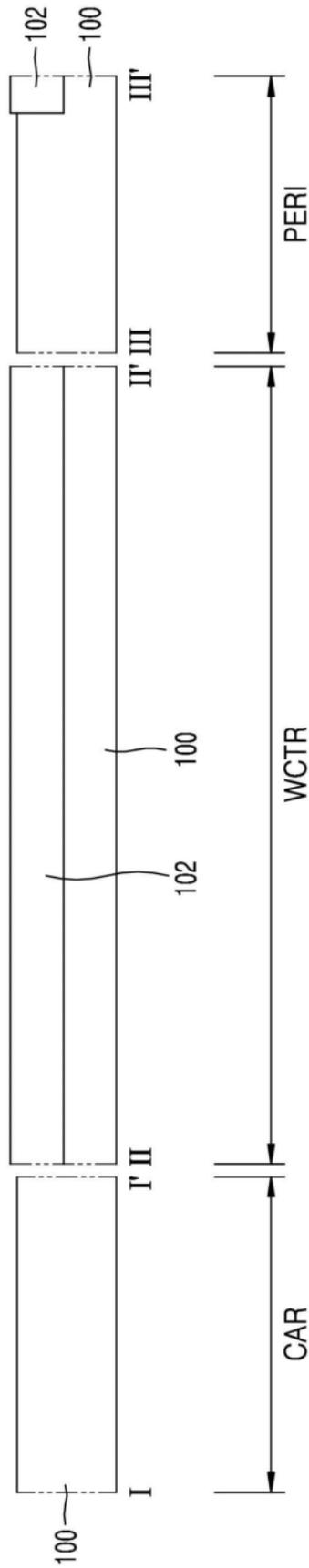


图5A

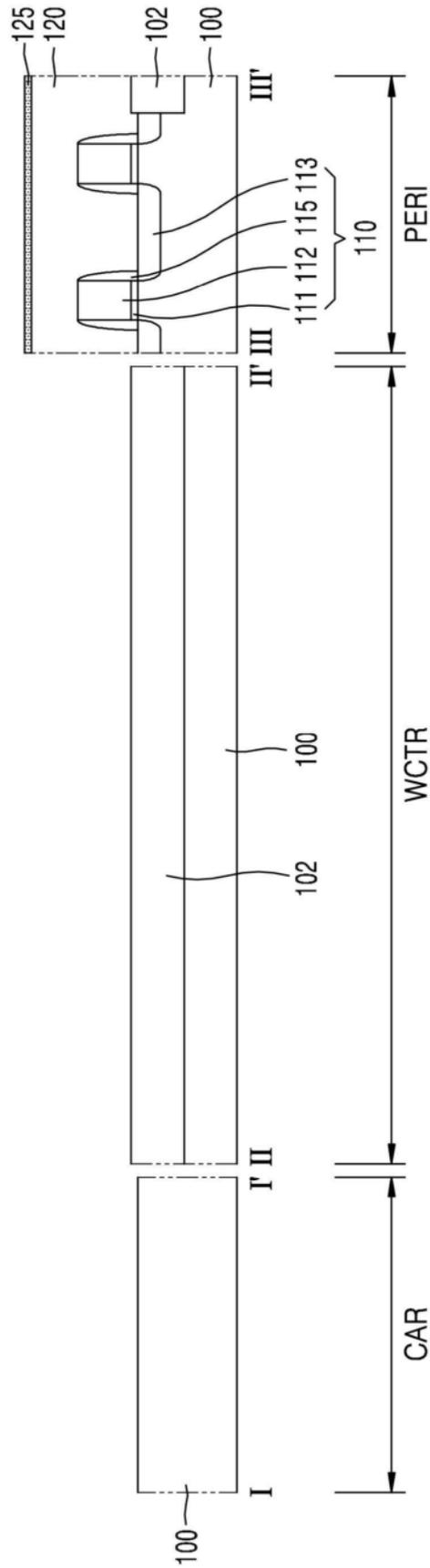


图5B

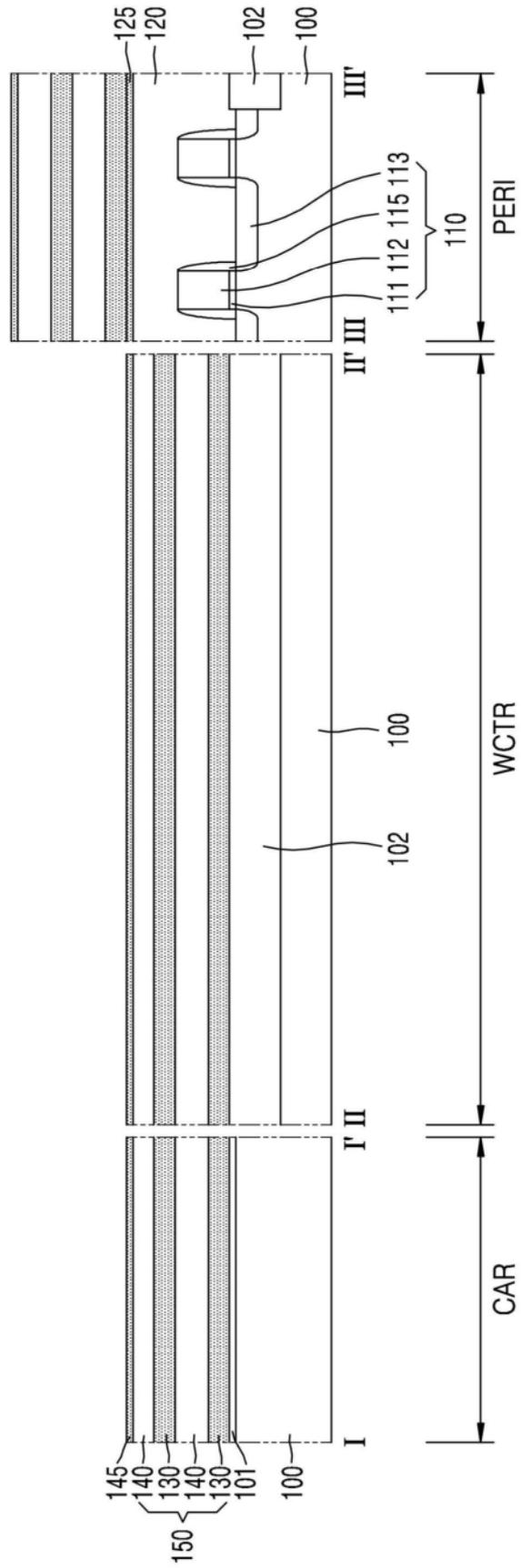


图5C

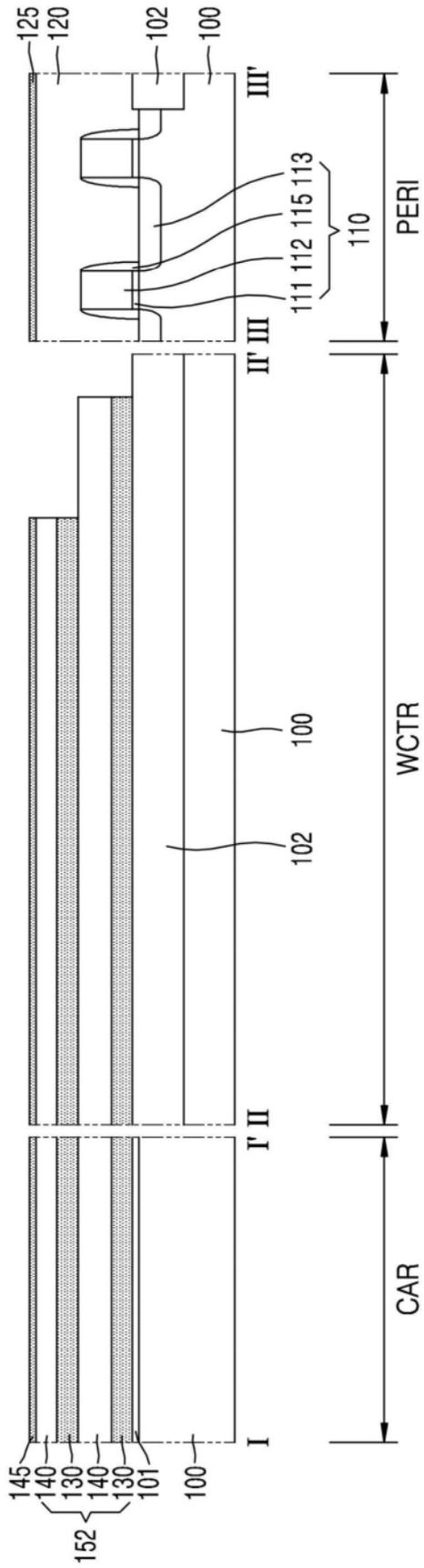


图5D

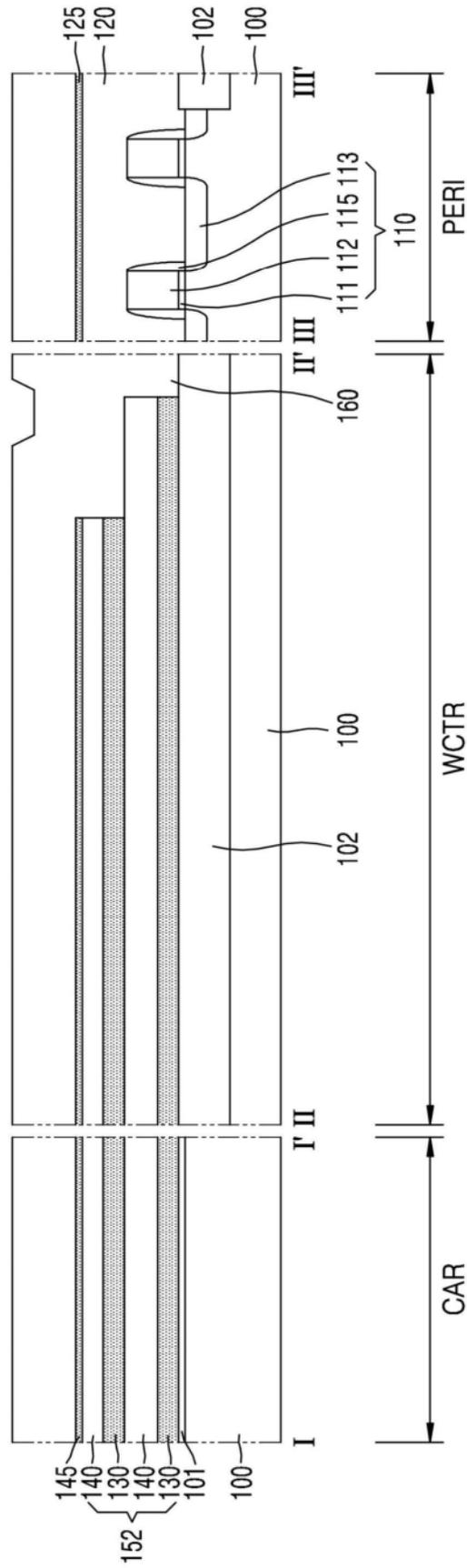


图5E

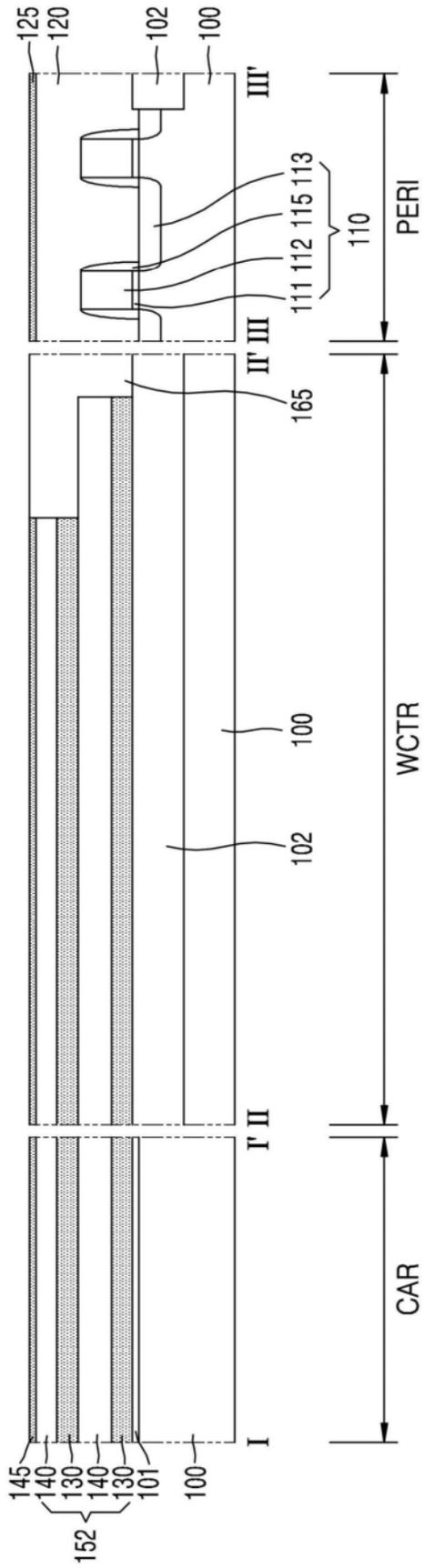


图5F

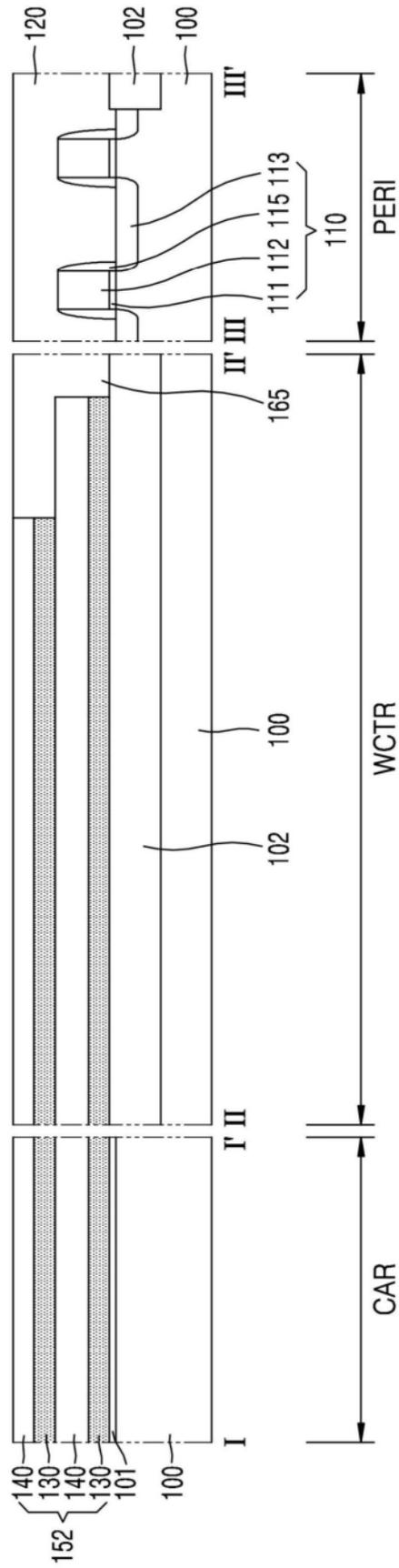


图5G

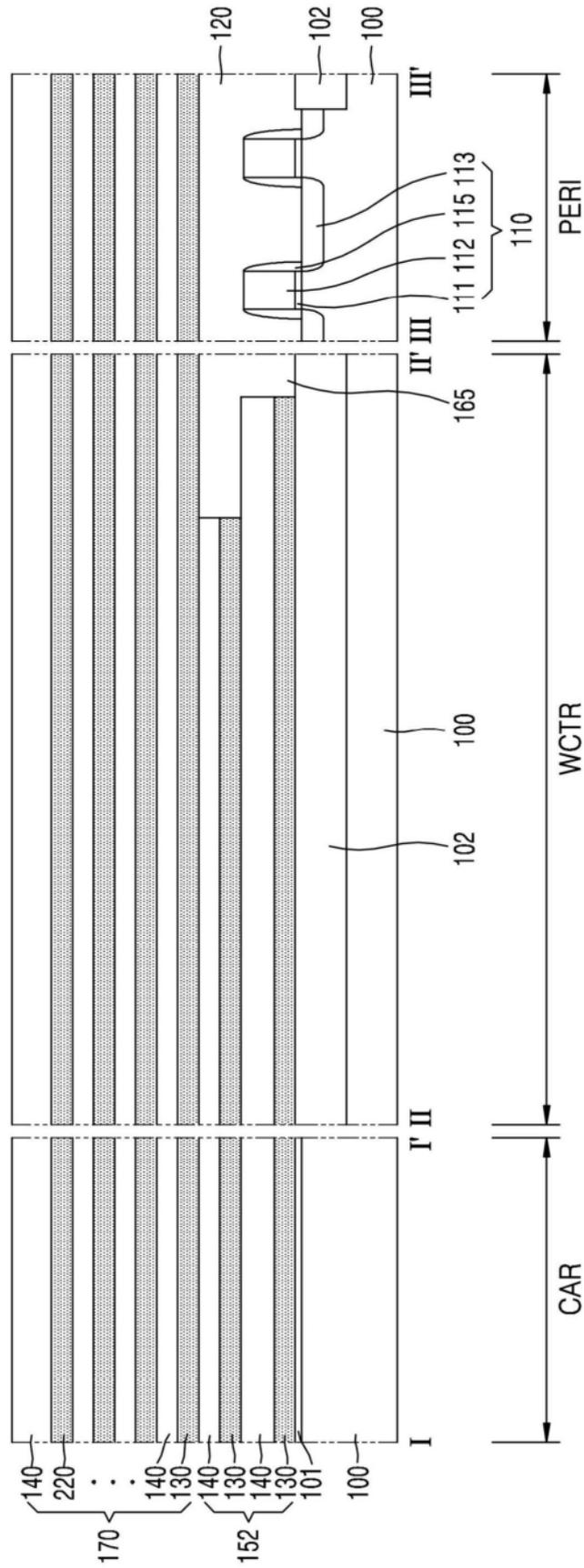


图5H

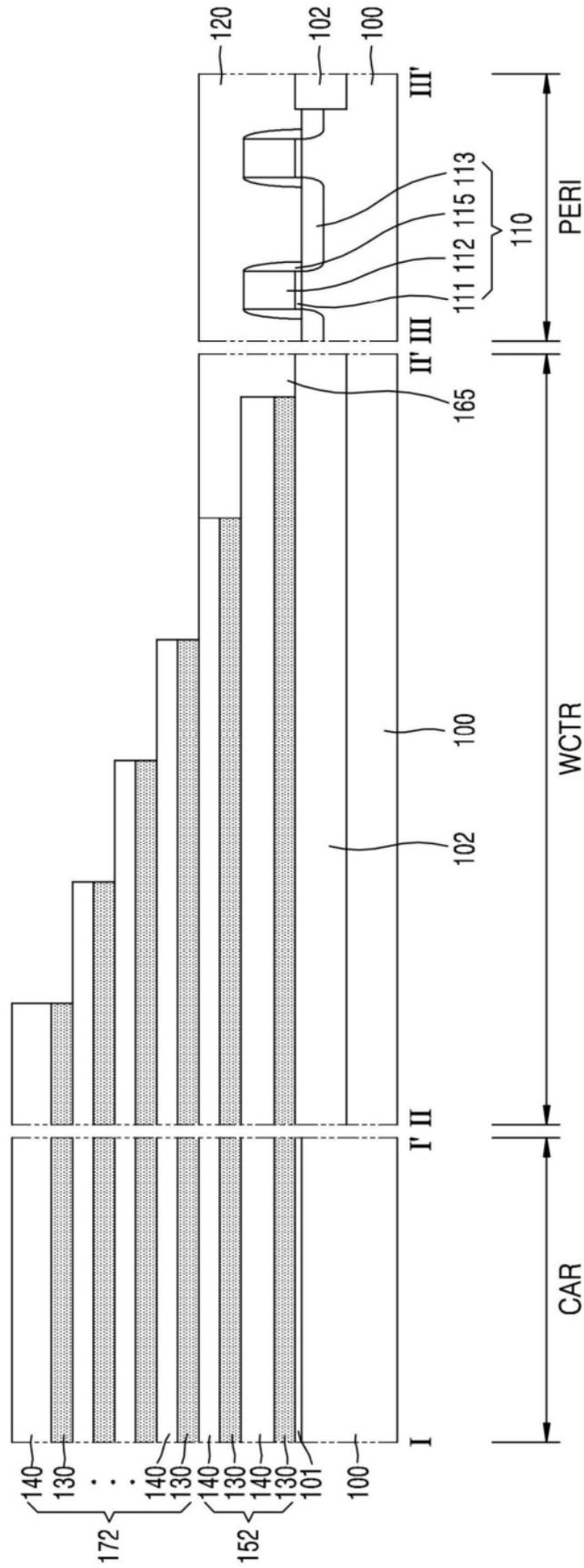


图5I

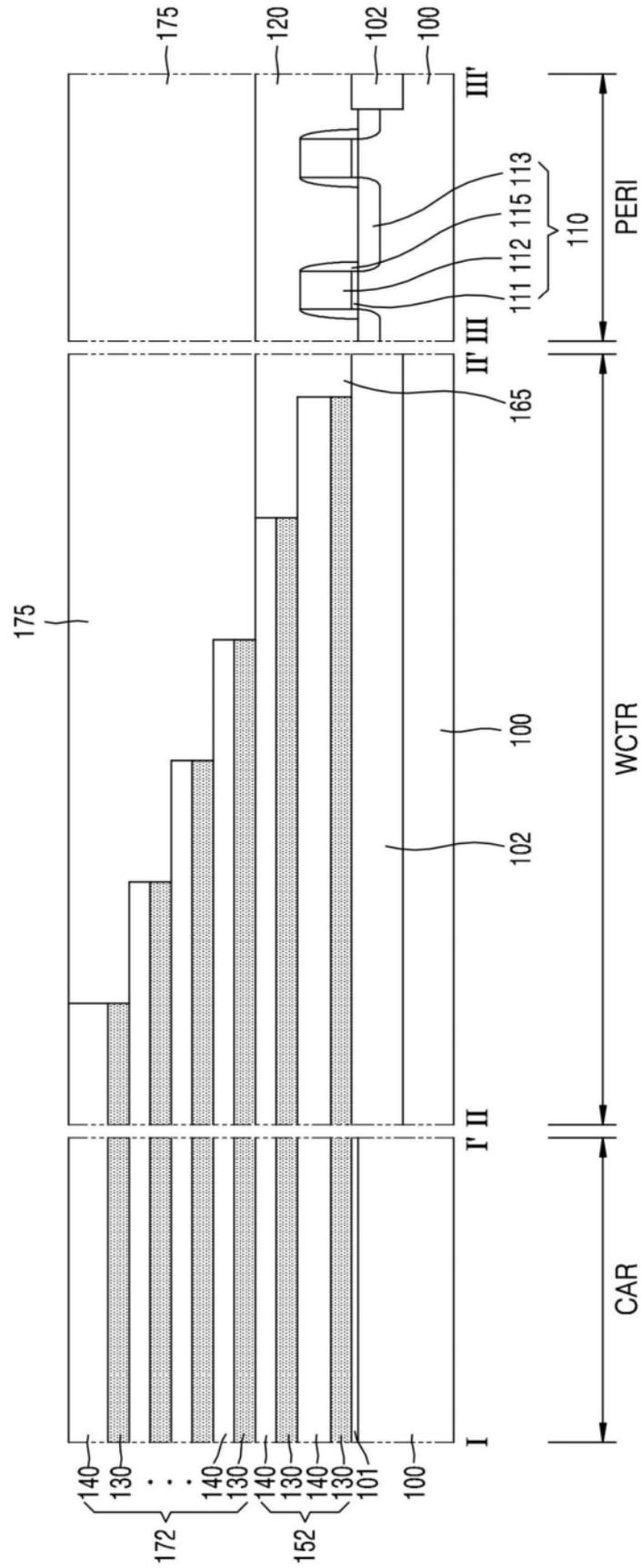


图5J





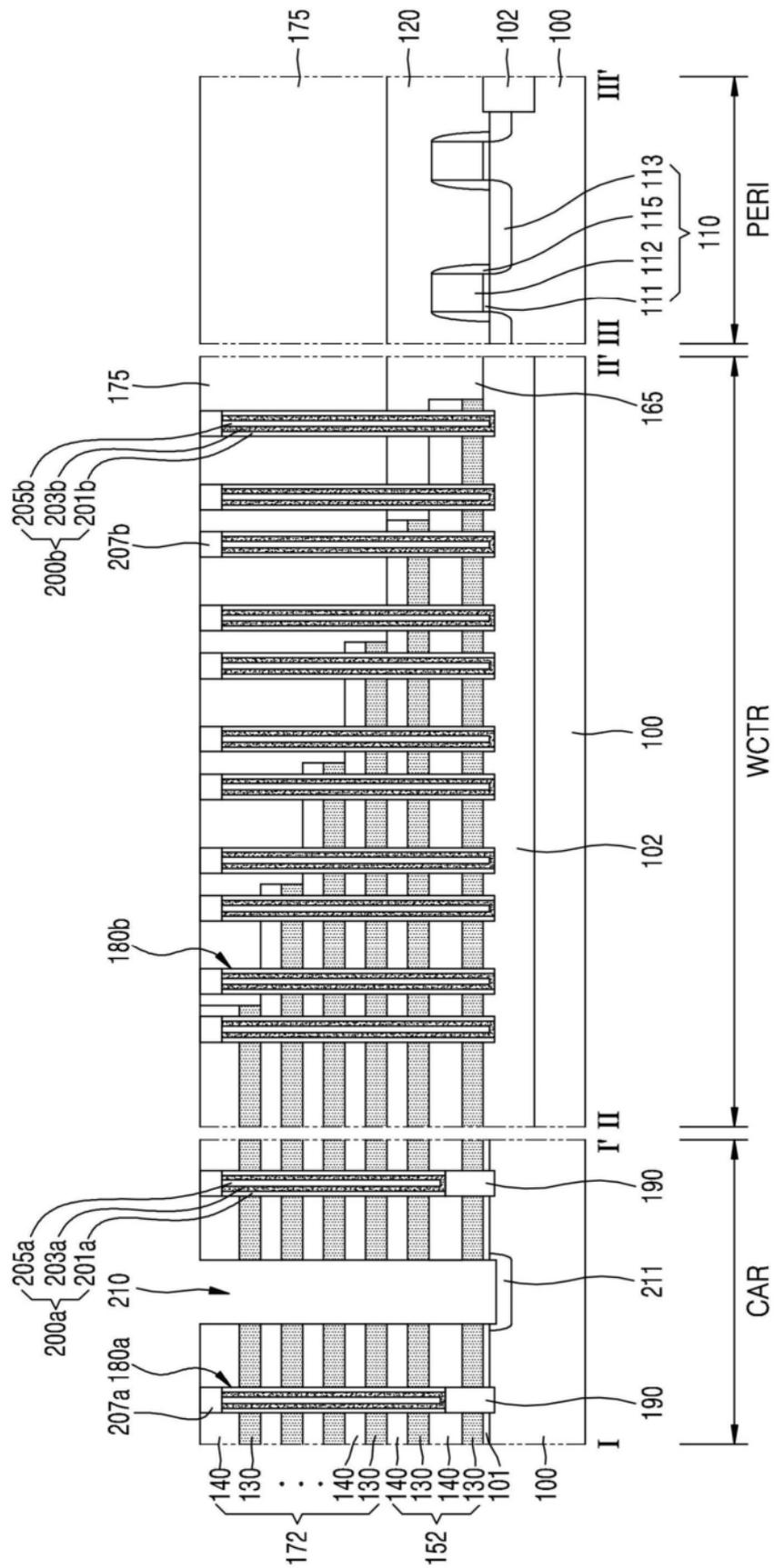


图5M



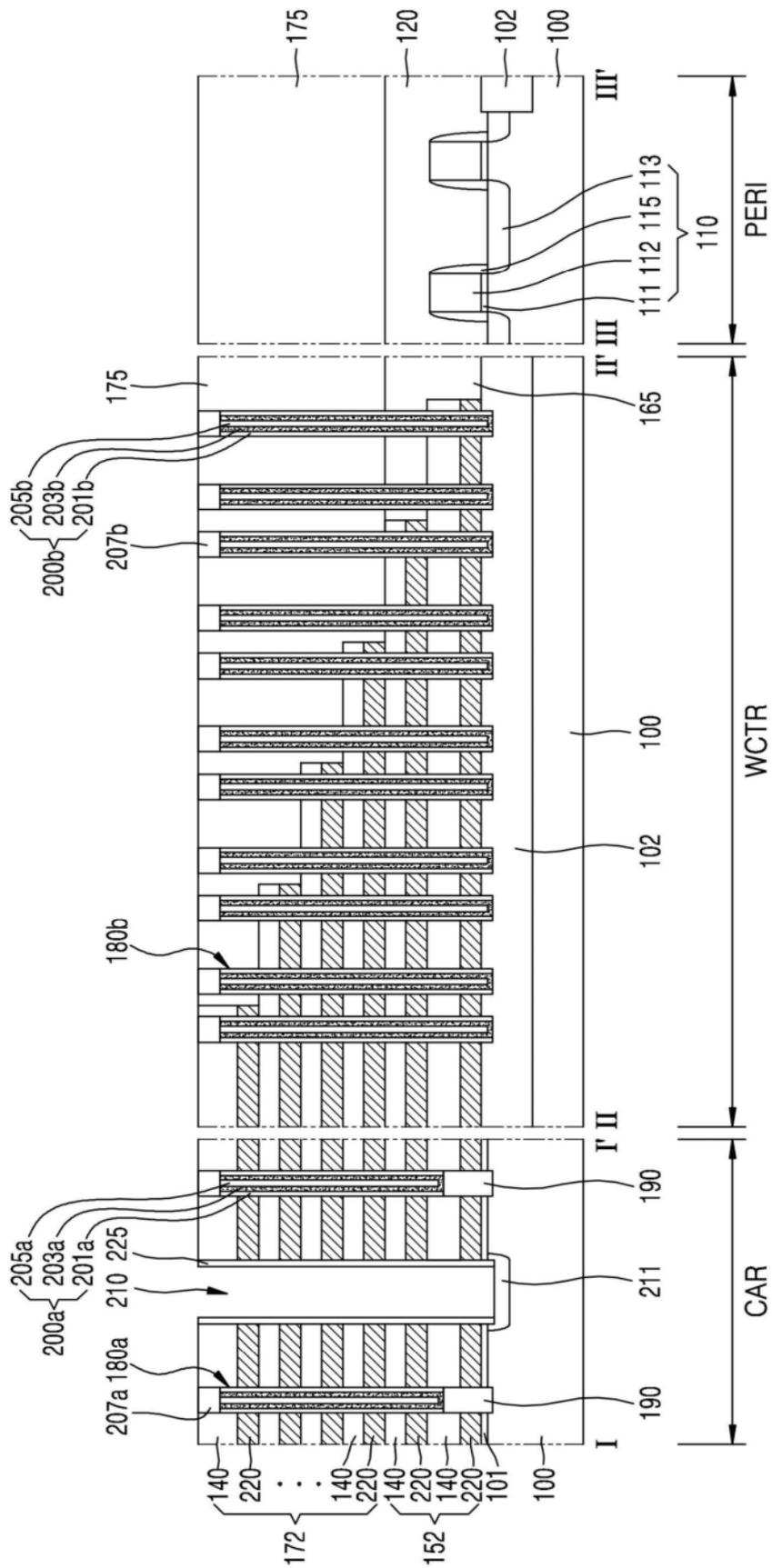


图50

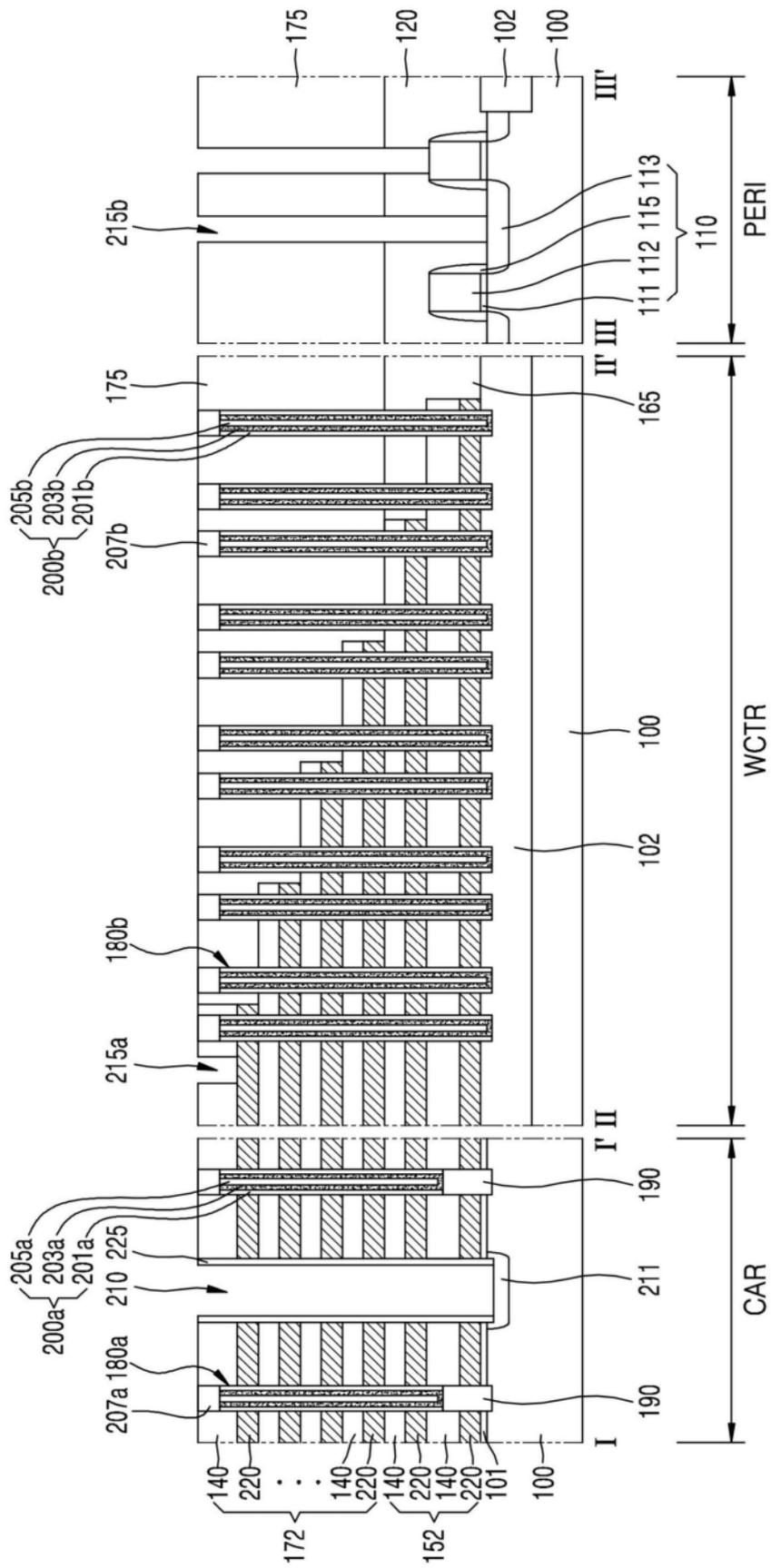


图5P

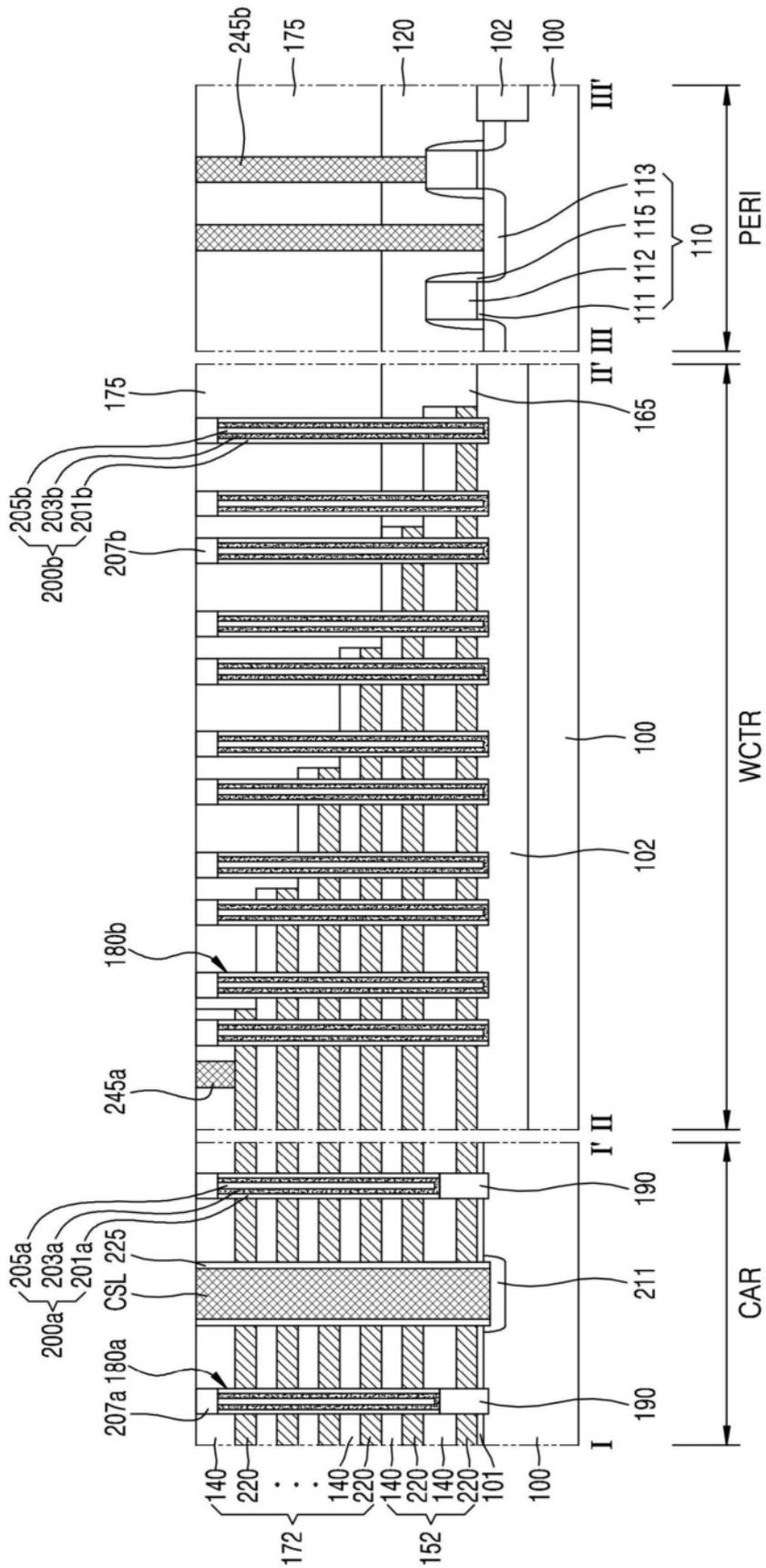


图5Q

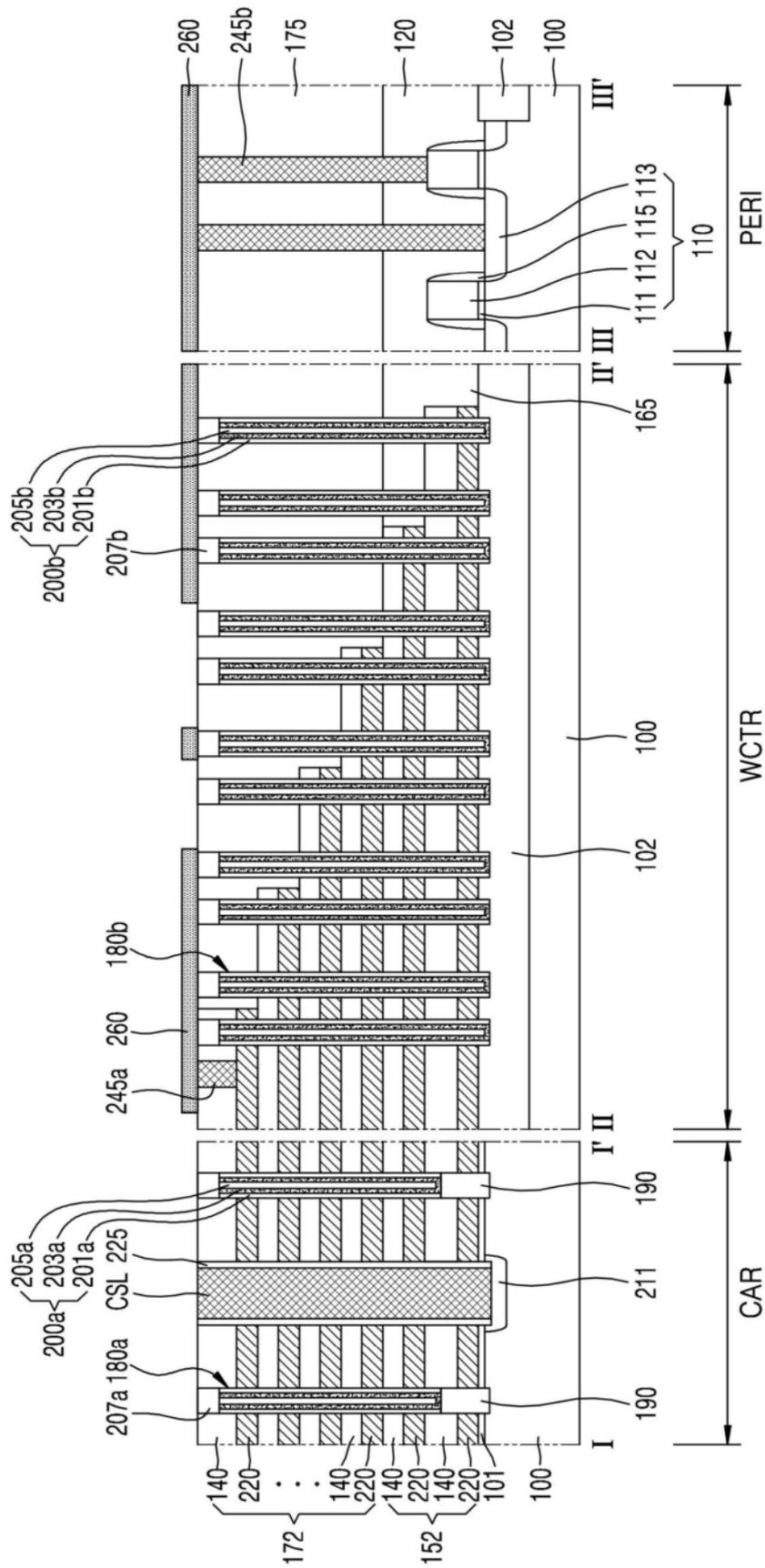


图5R

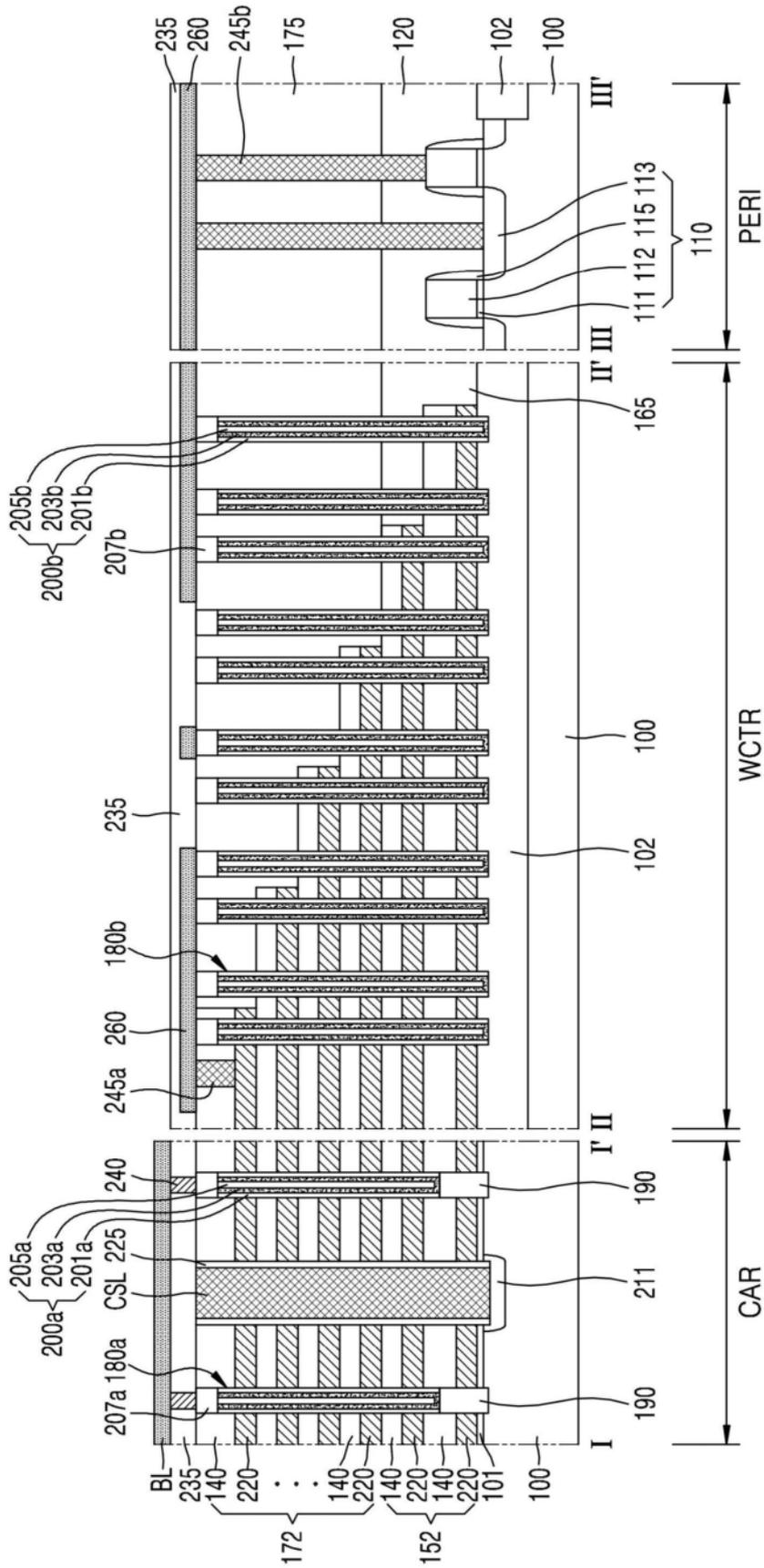


图5S

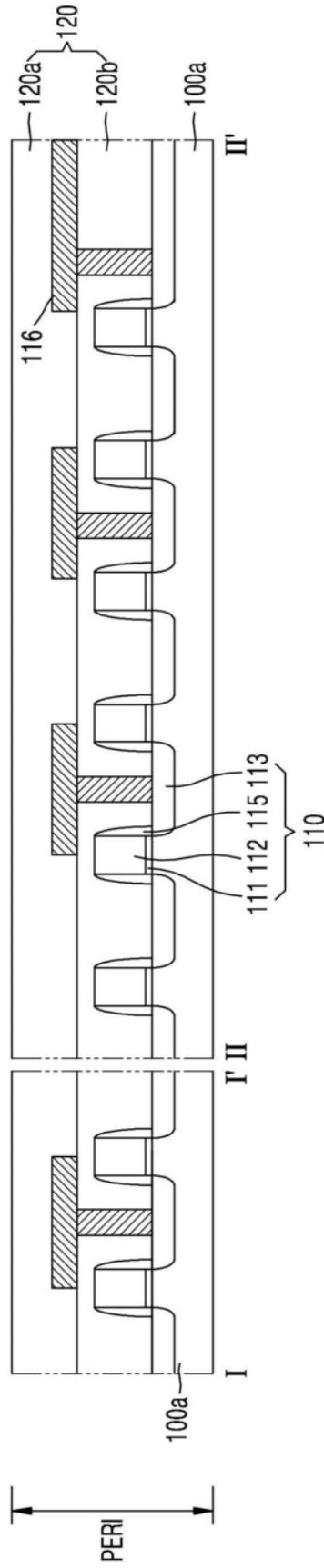


图6A

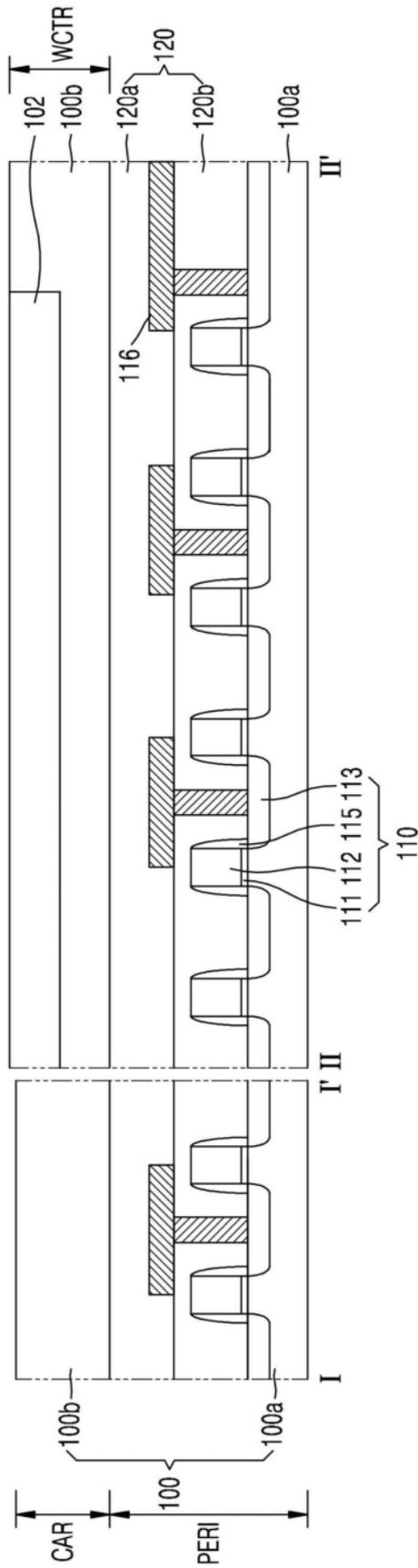


图6B

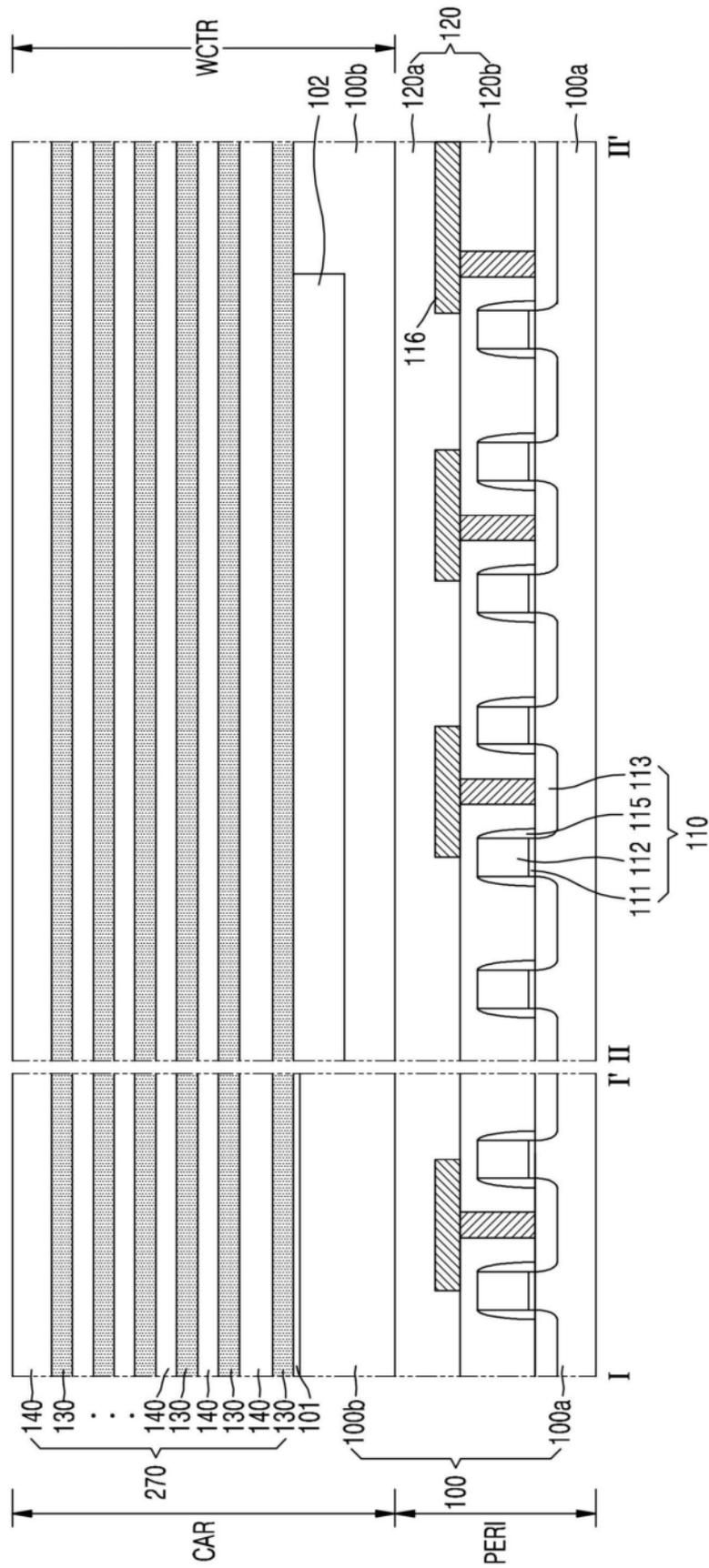


图6C

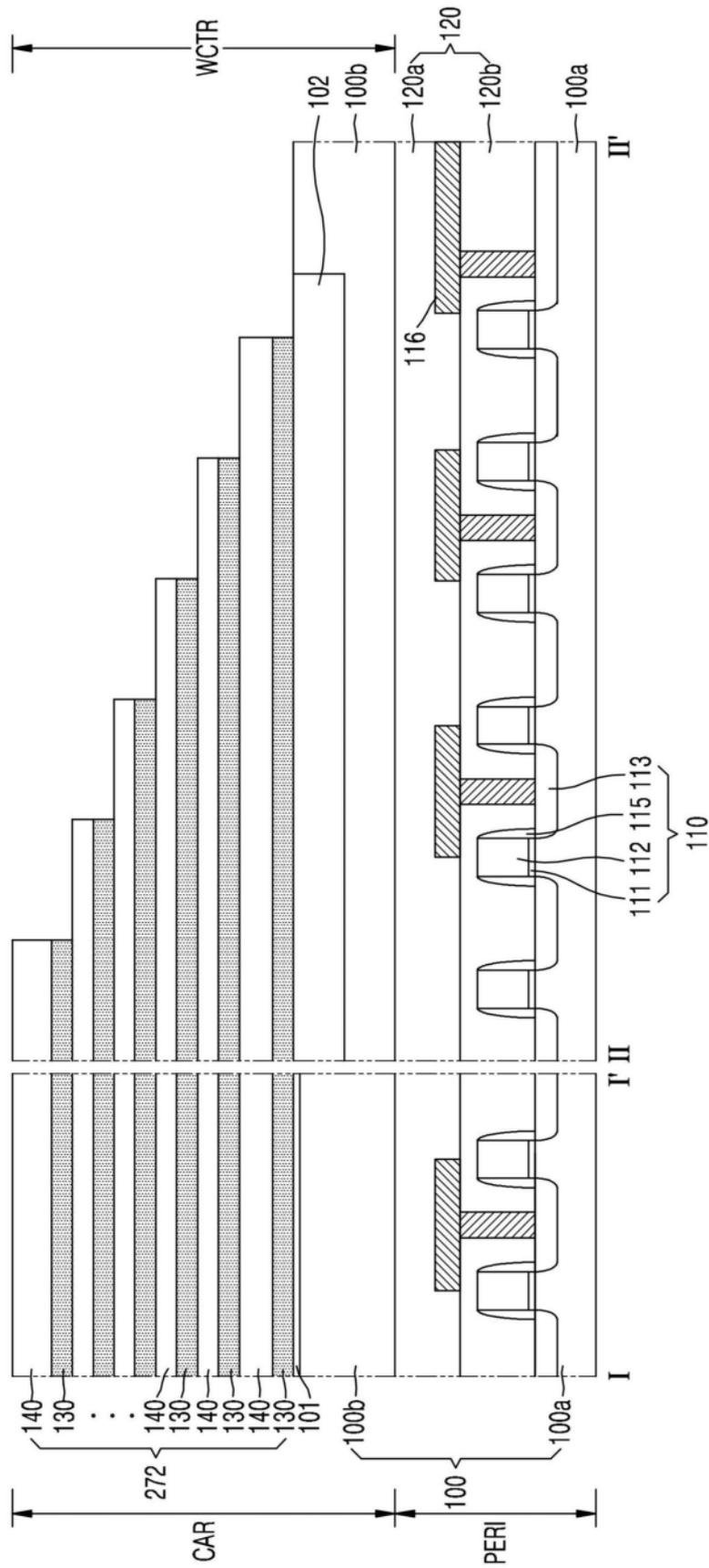


图6D

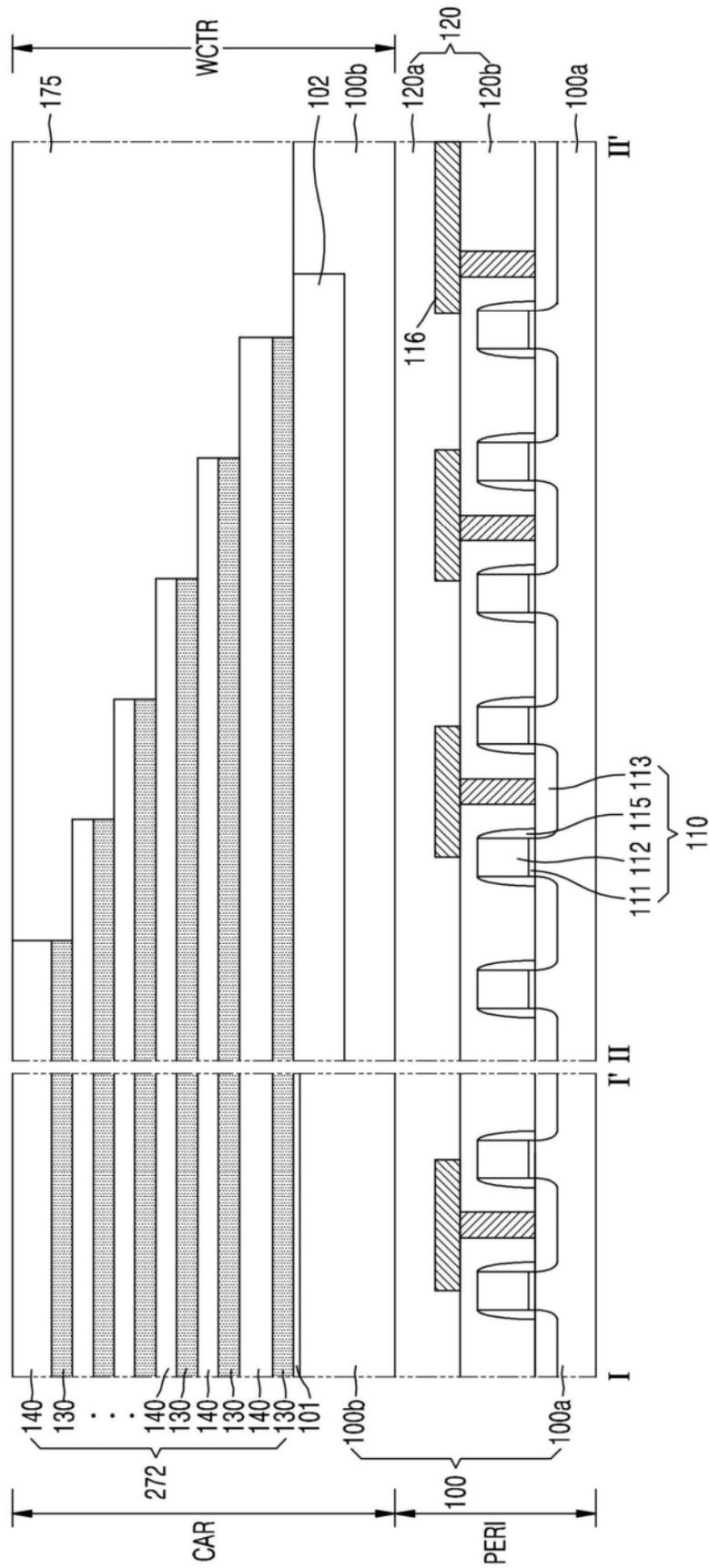


图6E