

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4035034号
(P4035034)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

| | | | |
|----------------|-----------|--------------|---|
| (51) Int. Cl. | | F I | |
| HO 1 L 25/10 | (2006.01) | HO 1 L 25/10 | Z |
| HO 1 L 25/18 | (2006.01) | HO 1 L 21/88 | J |
| HO 1 L 21/3205 | (2006.01) | | |
| HO 1 L 23/52 | (2006.01) | | |

請求項の数 32 (全 38 頁)

| | | | |
|--|-------------------------------|-----------|-------------------|
| (21) 出願番号 | 特願2002-347895 (P2002-347895) | (73) 特許権者 | 503121103 |
| (22) 出願日 | 平成14年11月29日(2002.11.29) | | 株式会社ルネサステクノロジ |
| (65) 公開番号 | 特開2004-186187 (P2004-186187A) | | 東京都千代田区大手町二丁目6番2号 |
| (43) 公開日 | 平成16年7月2日(2004.7.2) | (74) 代理人 | 100110423 |
| 審査請求日 | 平成17年7月8日(2005.7.8) | | 弁理士 曾我 道治 |
| | | (74) 代理人 | 100084010 |
| | | | 弁理士 古川 秀利 |
| (出願人による申告) 国等の委託研究の成果に係る特許出願(平成13年度、新エネルギー・産業技術総合開発機構、「超高密度電子S I技術の研究開発(エネルギー使用合理化技術開発)」委託研究、産業活力再生特別措置法第30条の適用を受けるもの) | | (74) 代理人 | 100094695 |
| | | | 弁理士 鈴木 憲七 |
| | | (74) 代理人 | 100111648 |
| | | | 弁理士 梶並 順 |
| | | (73) 特許権者 | 000003078 |
| | | | 株式会社東芝 |
| | | | 東京都港区芝浦一丁目1番1号 |

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

互いに対向配置された対向面を有する第1および第2の半導体基板と、
 前記第1の半導体基板の対向面上に形成され、第1の半導体回路および第1の電極からなる第1の半導体素子と、
 前記第2の半導体基板の対向面上に形成され、第2の半導体回路および第2の電極からなる第2の半導体素子と、
 前記第1および第2の電極の間に挟持された導電材からなる第1の配線層と、
 前記第1の半導体基板を貫通するとともに、前記第1の配線層を介して前記第1および第2の電極に接続された貫通電極とを備え、
 前記第2の半導体基板は前記第1の半導体基板に搭載され、前記貫通電極の側面方向に離間配置され、
 前記第1の半導体基板から突出した前記貫通電極の側面および前記第2の半導体素子の側面は絶縁材で被覆され、
 前記貫通電極の一端は、前記第1の半導体基板の裏面で第1の外部端子として露出し、
 前記貫通電極の他端は、前記第2の半導体基板の裏面と同一高さ位置するとともに、第2の外部端子として前記絶縁材から露出したことを特徴とする半導体装置。

【請求項2】

前記第1の外部端子は、前記第2の半導体基板の搭載領域内において前記第1の半導体基板の裏面から露出した外部端子を含むことを特徴とする請求項1に記載の半導体装置。

10

20

【請求項 3】

前記第 2 の半導体基板の裏面を絶縁材で被覆したことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 および第 2 の半導体基板の絶縁材の表面と、前記第 2 の外部端子の露出面とに導電材からなる第 2 の配線層を備え、

前記第 2 の配線層は、前記第 2 の外部端子として露出した前記貫通電極と接続されたことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記第 2 の配線層は、複数の第 2 の外部端子として構成されたことを特徴とする請求項 4 に記載の半導体装置。 10

【請求項 6】

前記第 1 の電極と前記第 2 の電極との間に素子接続用突起電極を設け、

前記第 1 および第 2 の半導体素子は、前記素子接続用突起電極を介して接続されたことを特徴とする請求項 1 から請求項 5 までのいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 1 の外部端子と、前記第 2 の外部端子との少なくとも一方に、前記貫通電極の露出面から突出する装置接続用突起電極を設け、

前記装置接続用突起電極を外部端子としたことを特徴とする請求項 1 から請求項 6 までのいずれか 1 項に記載の半導体装置。 20

【請求項 8】

前記第 1 の半導体基板として S O I 基板を用い、

前記 S O I 基板は、前記第 1 の半導体基板の裏面に形成された S O I 絶縁膜を露出したことを特徴とする請求項 1 から請求項 7 までのいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 1 の半導体基板の前記 S O I 絶縁膜上に、前記第 1 の外部端子と接続される第 3 の配線層を設けたことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記装置接続用突起電極は、前記第 3 の配線層から突出して、半導体装置の外部端子として設けられたことを特徴とする請求項 9 に記載の半導体装置。 30

【請求項 11】

前記第 2 の半導体基板として S O I 基板を用い、

前記 S O I 基板は、前記第 2 の半導体基板の裏面に形成された S O I 絶縁膜を露出したことを特徴とする請求項 1 から請求項 10 までのいずれか 1 項に記載の半導体装置。

【請求項 12】

前記第 2 の半導体基板の前記 S O I 絶縁膜上に、前記第 2 の外部端子と接続される第 4 の配線層を設けたことを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記装置接続用突起電極は、前記第 4 の配線層から突出して、半導体装置の外部端子としたことを特徴とする請求項 12 に記載の半導体装置。 40

【請求項 14】

前記第 2 の半導体基板に搭載された第 3 の半導体基板と、

前記第 3 の半導体基板上に形成され、第 3 の半導体回路および第 3 の電極からなる第 3 の半導体素子とを備え、

前記第 2 の外部端子を介して、前記第 3 の電極と接続し、前記第 3 の半導体素子の側面および、前記第 3 の半導体基板の前記第 3 の半導体回路形成面側を絶縁材で被覆したことを特徴とする請求項 1 から請求項 13 までのいずれか 1 項に記載の半導体装置。

【請求項 15】

前記第 1 の半導体素子と、前記第 2 の半導体素子と同一構造の半導体素子とを 3 つ以上備え、

前記第 1 の半導体素子および前記第 2 の半導体素子と同一構造の複数の半導体素子は各貫通電極に接続され、前記第 1 の半導体素子および前記複数の半導体素子の半導体回路形成面側を絶縁材で被覆したことを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】

前記第 1 の半導体基板に所定間隔で、前記貫通電極と前記第 1 の半導体回路とを対で形成し、

前記複数の第 1 の半導体回路の第 1 の電極のそれぞれに、前記第 2 の電極を接続して前記第 2 の半導体素子を載置し、

前記第 1 および第 2 の半導体基板の半導体回路形成面と、各第 2 の半導体基板の側面と、各貫通電極の側面とを絶縁材で被覆し、1 枚の第 1 の半導体基板上に平面的に一体化したことを特徴とする請求項 1 から請求項 10 までのいずれか 1 項に記載の半導体装置。

10

【請求項 17】

前記各貫通電極の露出部の少なくとも一方に突起電極を形成したことを特徴とする請求項 16 に記載の半導体装置。

【請求項 18】

前記複数の第 1 の半導体回路の第 1 の電極に接続する半導体装置の少なくとも 1 つに、半導体素子を複数積層したことを特徴とする請求項 16 または請求項 17 に記載の半導体装置。

【請求項 19】

前記第 1 の半導体基板の厚さを 20 μm 以下としたことを特徴とする請求項 1 から請求項 18 までのいずれか 1 項に記載の半導体装置。

20

【請求項 20】

前記第 1 の半導体基板と、前記第 1 の半導体基板上に載置された前記第 2 の半導体素子と、それぞれを接続する接合部との高さの合計を 100 μm 以下としたことを特徴とする請求項 1 から請求項 19 までのいずれか 1 項に記載の半導体装置。

【請求項 21】

第 1 の半導体基板上に、接続端子部を含む第 1 の半導体回路を形成する回路形成ステップと、

前記第 1 の半導体基板上の、予め第 2 の半導体基板上に形成された第 2 の半導体回路および第 2 の電極を有する第 2 の半導体素子の載置位置の外側に、前記第 1 の半導体基板の半導体基板母材に達する所定深さの第 1 の孔を形成する孔形成ステップと、

30

前記第 1 の孔の側面部および底部と、前記第 1 の半導体基板の第 1 の半導体回路形成面側の面部とに、絶縁膜を堆積する絶縁膜堆積ステップと、

前記孔底部と、前記接続端子部に形成された前記絶縁膜を除去する絶縁膜除去ステップと、

一端を前記孔底部の半導体基板母材に接続し、他端を前記接続端子部に接続した導電材からなる配線層を形成し、前記他端を第 1 の電極とする配線接続ステップと、

前記第 1 の半導体回路形成面側に、レジストを塗布し、前記第 1 の孔の形成部を開口した所定厚のレジストパターンを形成するレジストパターン形成ステップと、

前記第 1 の半導体基板母材を陰極とし、電気めっきにより前記レジストパターン開口部の前記導電材上に貫通電極を形成する電極形成ステップと、

40

前記レジストを除去するレジスト除去ステップと、

前記第 1 の電極および前記第 2 の電極を介して、前記第 1 の半導体基板上に形成された前記第 1 の半導体回路および前記第 1 の電極を有する第 1 の半導体素子と、前記第 2 の半導体素子とを接続する素子接続ステップと、

前記第 1 の半導体基板の回路形成面上で、前記第 2 の半導体基板と前記貫通電極とを絶縁材で被覆する貫通電極絶縁被覆ステップと、

前記第 1 の半導体基板の前記第 2 の半導体基板の載置側から、前記貫通電極が露出するまで、前記貫通電極絶縁被覆ステップで被覆した絶縁材を研削する表面研削ステップと、

前記第 1 の半導体基板の裏面を所定厚だけ研削する裏面研削ステップと

50

を備えたことを特徴とする半導体装置の製造方法。

【請求項 2 2】

前記表面研削ステップの後、前記第 1 の半導体基板を陰極として、電気めっきにより、前記第 2 の半導体基板側に露出した前記貫通電極の頭頂部に突起電極を形成する突起電極形成ステップを備えたことを特徴とする請求項 2 1 に記載の半導体装置の製造方法。

【請求項 2 3】

前記裏面研削ステップの後、前記貫通電極が前記第 1 の半導体基板から突出するまで、前記第 1 の半導体基板の裏面に露出した前記半導体基板母材をエッチング除去する裏面エッチングステップを備えたことを特徴とする請求項 2 1 または請求項 2 2 に記載の半導体装置の製造方法。

10

【請求項 2 4】

前記裏面エッチングステップは、突出した前記貫通電極の底部表面に、前記貫通電極と接続するための表面処理を施したことを特徴とする請求項 2 3 に記載の半導体装置の製造方法。

【請求項 2 5】

前記孔形成ステップは、前記第 1 の孔から所定距離の位置に、前記半導体基板母材に達する所定深さの第 2 の孔を形成し、

前記絶縁膜堆積ステップは、前記第 2 の孔の側面部および底部に絶縁膜を堆積し、

前記絶縁膜除去ステップは、前記第 2 の孔底部に形成された絶縁膜を除去し、

前記配線接続ステップは、一端を前記接続端子部に接続する配線を形成し、

20

前記レジストパターン形成ステップは、前記第 2 の孔の形成部を開口した所定厚のレジストパターンを形成し、

前記電極形成ステップは、前記第 2 の孔に導電材を埋め込むことを特徴とする請求項 2 1 から請求項 2 4 までのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 6】

前記レジストパターン形成ステップは、

前記第 2 の半導体基板の前記第 2 の半導体回路形成面に対する裏面よりも高いレジストパターンを形成し、

前記電極形成ステップは、前記第 2 の半導体基板の前記第 2 の半導体回路形成面に対する裏面よりも高い貫通電極を形成し、

30

前記表面研削ステップは、前記貫通電極のみを露出させることを特徴とする請求項 2 1 から請求項 2 5 までのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 7】

前記表面研削ステップで前記貫通電極のみが露出された絶縁材の研削加工面に配線層を形成する表面配線層形成ステップを備えたことを特徴とする請求項 2 6 に記載の半導体装置の製造方法。

【請求項 2 8】

前記表面研削ステップによる研削加工面を前記貫通電極の頭頂部の位置に応じた絶縁膜パターンで被覆し、前記第 1 の半導体基板の半導体基板母材を陰極として、電気めっきにより、前記頭頂部に接続し前記絶縁パターン表面の高さ以上の導電部を形成する表面導電部形成ステップを備えたことを特徴とする請求項 2 1 から請求項 2 5 までのいずれか 1 項に記載の半導体装置の製造方法。

40

【請求項 2 9】

前記表面導電部形成ステップは、

前記絶縁膜パターンで形成された絶縁膜表面に配線層を形成することを特徴とする請求項 2 8 に記載の半導体装置の製造方法。

【請求項 3 0】

前記表面研削ステップによる研削加工面を前記貫通電極の頭頂部の位置に応じた絶縁膜パターンで被覆し、前記頭頂部に接続する配線層を形成する表面配線部形成ステップを備えたことを特徴とする請求項 2 1 から請求項 2 5 までのいずれか 1 項に記載の半導体装置

50

の製造方法。

【請求項 3 1】

埋め込み酸化膜型 S O I 基板または貼り合わせ型 S O I は、絶縁膜を介して両側に半導体層が形成され、一方の半導体層は前記半導体基板母材とし、他方の半導体層は前記半導体基板母材より薄い活性層とし、

前記回路形成ステップは、前記埋め込み酸化膜型 S O I 基板または前記貼り合わせ型 S O I を前記第 1 の半導体基板とし、前記活性層側に前記第 1 の半導体回路を形成し、

前記孔形成ステップは、前記半導体基板の前記活性層側から前記半導体基板母材に達するまでの前記孔を形成し、

前記裏面研削ステップは、前記半導体基板母材を、前記第 1 の半導体基板の絶縁膜が露出するまで研削を行うことを特徴とする請求項 2 1 に記載の半導体装置の製造方法。 10

【請求項 3 2】

埋め込み酸化膜型 S O I 基板または貼り合わせ型 S O I は、絶縁膜を介して両側に半導体層が形成され、一方の半導体層は前記半導体基板母材とし、他方の半導体層は前記半導体基板母材より薄い活性層とし、

前記回路形成ステップは、前記埋め込み酸化膜型 S O I 基板または前記貼り合わせ型 S O I を前記第 1 の半導体基板とし、前記活性層側に前記第 1 の半導体回路を形成し、

前記孔形成ステップは、前記半導体基板の前記活性層側から前記半導体基板母材に達するまでの前記孔を形成し、

前記裏面研削ステップは、前記半導体基板母材を前記所定厚だけ研削し、前記半導体基板母材の研削面をエッチング除去して、前記貫通電極の底部を突出させることを特徴とする請求項 2 1 に記載の半導体装置の製造方法。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、この発明は半導体装置の電極構造、特に貫通電極を有する半導体装置とその実装構造に関するものである。

【0002】

【従来の技術】

従来の半導体装置は、半導体基板に開口を有するレジストを形成し、開口にめっきを施して導電柱を形成し、導電柱を樹脂で固めることにより製造されていた（例えば、特許文献 1 参照）。 30

【0003】

【特許文献 1】

特開平 1 1 - 3 0 7 9 3 7 号公報（第 7 頁、第 1 図）

【0004】

【発明が解決しようとする課題】

従来の半導体装置は以上のように製造され、特に、貫通電極を有する半導体装置は、半導体基板内を電極が貫通し、絶縁膜により、貫通電極と半導体基板とを電氣的に隔てている。このような半導体装置を製造するには、まずエッチング加工により、半導体基板に微細な孔を深く（高いアスペクト比で）形成し、孔の内壁に被覆性良く、化学的気相成長法（CVD: Chemical Vapor Deposition）により絶縁膜を堆積し、さらに電気めっきの陰極となる金属膜を、化学的気相成長法により被覆性良く堆積させる。 40

この金属膜を陰極として電気めっきで孔部分に金属を埋め込んだ後、余分な化学的気相成長法による金属膜と、めっきによる金属を除去して、半導体基板の裏面より半導体基板を研削することによって孔の底部の金属を露出させていた。

【0005】

しかし、半導体基板にアスペクト比の大きな孔を形成し、孔の少なくとも側壁に絶縁膜を被覆性良く、欠陥を生じないように堆積することが必要であるが、これ自体がかなり難し 50

い技術であった。

さらに、めっきの陰極は孔底部だけでなく側壁部にも被着しているため、孔に電気めっきで金属を埋め込む際、底部からのめっき成長だけでなく、側壁部からもめっき成長が起こる。一般に、めっきの流動性が良い孔上部の側壁からの成長速度が早いことから、めっきを進行させるに従って、孔上部が先に埋まってしまい、その下の部分にめっきされない部分が生じる恐れがあった。これを避けるためにめっき成長を制御することが必要であるが、制御は極めて困難だった。

このようなことが、半導体装置の製造自体を困難にしていたため、その普及を妨げており、製造された半導体装置も、歩留まりが極めて低く、高価なものとなり、信頼性の低いものとなっていた。

【0006】

この発明は上記のような問題点を解決するためになされたもので、製造の容易な半導体装置を得ることを目的とする。

【0007】

【課題を解決するための手段】

この発明に係る半導体装置は、互いに対向配置された対向面を有する第1および第2の半導体基板と、第1の半導体基板の対向面上に形成され、第1の半導体回路および第1の電極からなる第1の半導体素子と、第2の半導体基板の対向面上に形成され、第2の半導体回路および第2の電極からなる第2の半導体素子と、第1および第2の電極の間に挟持された導電材からなる配線層と、第1の半導体基板を貫通するとともに、配線層を介して第1および第2の電極に接続された貫通電極とを備え、第2の半導体基板は第1の半導体基板に搭載され、貫通電極の側面方向に離間配置され、第1の半導体基板から突出した貫通電極の側面および第2の半導体素子の側面は絶縁材で被覆され、貫通電極の一端は、第1の半導体基板の裏面で第1の外部端子として露出し、貫通電極の他端は、第2の半導体基板の裏面と同一高さに位置するとともに、第2の外部端子として絶縁材から露出したものである。

【0008】

【発明の実施の形態】

実施の形態1.

以下、図面を参照しながら、この発明の実施の形態1について詳細に説明する。図1はこの発明の実施の形態1を示す半導体装置の断面図であり、図2は従来の半導体装置の断面図である。

図1において、第1の半導体基板上(第1の半導体基板1)に第1の半導体回路3が形成され、第1の半導体回路内もしくはその周縁部には、第1の電極(または電極群)7が形成されている。

また、第2の半導体基板上(第2の半導体基板2)には、第2の半導体回路4が形成され、第2の半導体回路4の所定位置には、第2の電極(または電極群)8が形成されている。

【0009】

第1の半導体基板上に第1の半導体回路3を形成する第1の半導体素子5と、第2の半導体基板上に第2の半導体回路4を形成する第2の半導体素子6とは、それぞれの回路形成面同士を対向配置させ、第1の電極と第2の電極とを介して相互接続されている。

また、第1の半導体素子5の第1の半導体回路形成面の反対の面(裏面)から露出し、第2の半導体基板2の方向に垂直に展延して、第2の半導体素子6の第2の半導体回路形成面の反対の面まで達する柱上の貫通電極12が形成されている。

貫通電極12の一端は、第1の半導体基板1から露出され、第1の外部端子10として外部装置と接続可能であり、また、貫通電極12の他端は、第2の半導体基板2の第2の半導体素子6の第2の半導体回路形成面の反対の面によって構成される平面と略同一な平面から露出され、第2の外部端子11として、外部装置と接続可能である。

【0010】

10

20

30

40

50

第1の外部端子10の配線層は、第1の半導体基板1の主面上に形成されており、第1の半導体基板上では、一端が貫通電極12に接続され、他端が第1および第2の電極のどちらか少なくとも一方に接続する配線層を形成している。

また、第1および第2の半導体基板の回路形成面の反対の面(裏面)と、第2の半導体基板2と略同一平面である貫通電極12の頭頂部(第2の外部端子11)と、第1の半導体基板の側面との面以外の面は、絶縁材13で被覆されている。

【0011】

一方、従来の半導体装置は図2のように、半導体基板上に1つの半導体回路22を形成し、半導体基板21の上下両面を絶縁膜23で被覆している。貫通電極12は半導体基板21を貫通し、露出した貫通電極の両端は突起電極24としている。

以上のように、従来の半導体装置に対して、本実施の形態の半導体装置は、同様の貫通電極を持つ従来の半導体装置とほぼ同じ体積で、容易に約2倍の半導体回路を搭載することができる。

【0012】

実施の形態2.

図3は、この発明の実施の形態2を示す半導体装置の断面図である。

なお、図3において前述(図1参照)と同一のものは同一符号を付して詳述を省略する。上記実施の形態1では、第1の電極7と第2の電極8とを直接接触させることにより、第1の半導体素子5と第2の半導体素子6とを接続させた。本実施の形態では、図3のように、第1の電極7と第2の電極8との間にバンプ電極20を形成することにより、第1の半導体素子5と第2の半導体素子6とを接続してもよい。

【0013】

このような接続方法にすることにより、第1の半導体素子5と第2の半導体素子6との接続が容易となる。

また、本実施の形態で、貫通電極12に接続する配線層を一部利用して、第1の半導体素子5とバンプ電極20との接続を行うことができる。

なお、バンプ電極20は、第1の半導体基板側に形成されても、第2の半導体素子側に形成されても、あるいは両側に形成されてもよい。

【0014】

実施の形態3.

上記実施の形態1および2の半導体装置の製造方法について説明する。

図4~図5は、従来の半導体装置の製造方法の工程図であり、図6~図19は、この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

なお、図4~図19において、前述(図1~図3参照)と同一のものは同一符号を付して詳述を省略する。

例えば、前述の図2のような従来の半導体装置の貫通電極を形成する場合には、図4のように、半導体基板21にアスペクト比が高く、深い孔25を形成し、その内壁に絶縁膜26、さらに、めっきの下地金属27を被覆させる。

さらに、図5のように、孔25を埋めるためのめっき28を施して、貫通電極12の形成を行っていく。

【0015】

次に、本実施の形態での貫通電極12を有する半導体装置の製造方法について説明する。

図6において、まず、所定の電気抵抗を有するP型もしくはn型の第1の半導体基板上に接続端子部を含む第1の半導体回路3を形成する。

次に、図7において、第1の半導体基板1の第1の半導体回路3の周縁部の位置に所定深さの孔を形成する。

なお、第1の半導体基板1に形成する孔の深さは、半導体素子が実効的に動作している厚さより深く、かつ後述する第1の半導体基板の研削工程で、第1の半導体基板1に与える機械的損傷などがこの実効的な動作をする層(活性層)にまで達しない程度、例えば10 μ m程度より深ければよい。

10

20

30

40

50

第1の半導体基板1に孔を形成する際、孔を極端に深くすると工程上に様々な困難が発生する。これを回避するためには、孔はできるだけ浅くすることが望ましく、アスペクト比を1~2程度にできればよい。孔の径を前述のように、10 μm 程度を実用的な大きさとして形成する場合、アスペクト比を考慮すると、孔の深さ、言い換えると第1の半導体装置の厚さは10~20 μm 程度、すなわち、20 μm 以下がよい。

【0016】

次に、図8において、第1の半導体基板上に絶縁膜(例えばSiO₂)30を堆積する。さらに、図7で形成した孔の底部と、第1の半導体回路3の所定位置にある第1の半導体回路3の接続端子部とに堆積された絶縁膜30をエッチングにより除去する。

図9において、一端が貫通電極12に接続する配線となり、後述するめっきの際の下地となる金属膜9を堆積し、配線パターン(接続配線、配線層)9に加工する。このとき加工された金属膜9は、絶縁膜30を除去した孔底部および孔側壁部にも形成される。

次に、図10において、レジスト31を塗布し、写真製版により、図7で形成した孔の上方部を開口した所定厚のフォトリジストパターン(レジスト31)を形成する。

このとき、レジスト厚は柱状の貫通電極となるめっき厚より若干厚い、例えば50 μm ~100 μm 程度にする。

【0017】

次に、図11において、半導体基板の導電性を利用して、第1の半導体基板1を陰極として、電気めっきにより、例えばCuのような金属をレジストパターン開口部に埋め込む。このとき、めっきの成長に適した下地となる例えばCuのような金属材料を、図9で形成した接続配線9の少なくとも最表面となるように予め形成しておく。

図12において、予め第2の半導体基板2に、所定の回路(第2の半導体回路4)およびパンプ電極20を形成し、個片化した第2の半導体素子6を用意する。

図10で形成したフォトリジスト31を除去し、第1の半導体基板1に第1の半導体回路3を形成した第1の半導体素子5と、第2の半導体基板2に第2の半導体回路4を形成した第2の半導体素子6とを、回路形成面を対向させて位置合せし、パンプ電極20を介して第1の半導体素子5と第2の半導体素子6とを接続する。

このとき、第2の半導体素子6は、貫通電極12となるめっきの柱の内側に載置される。また、第2の半導体素子6はめっきの高さ(厚さ)より厚くてもよく、例えばめっきの高さの10倍程度の500 μm ~700 μm であってもよい。

【0018】

次に、図13において、第1の半導体基板上で、第2の半導体素子6および貫通電極12となるめっきの柱のすべてを覆うように、例えばエポキシ樹脂のような当初流動性があり、硬化後良好な絶縁材13で被覆し、硬化させる。

図14において、第2の半導体素子搭載側から絶縁材(樹脂)13を、貫通電極(めっきの柱の頭頂部)12が露出するまで研削する。

このとき、第2の半導体素子6はめっきの柱の高さより厚いため、第2の半導体素子6の裏面が露出することとなる。

図15において、第2の半導体素子側に接着層33を介して支持体32を貼り、第1の半導体基板の裏面(第1の半導体回路形成面の反対の面)から、貫通電極底部または孔底部に堆積した接続配線9の背面が露出するまで研削加工を行う。

【0019】

図16のように、必要に応じて、第1の半導体基板裏面の機械研削による損傷部除去のために半導体基板自体を所定量だけエッチング除去する。

また、図17のように、貫通電極底部の配線層9あるいは貫通電極底部自体の機械研削痕除去のために、この部分を所定量だけエッチング除去する。

なお、この第1の半導体基板1のエッチング除去や貫通電極底部のエッチング除去については、いずれか一方を省略することも、両方とも省略することも可能で、外部端子として用いることができ、さらにこれらの工程順を入れ替えることも可能である。

図18において、接着層33とともに支持体32を剥がし、前述の図3のような、貫通電

10

20

30

40

50

極を有する半導体装置が形成される。

なお、貫通電極の第1の半導体基板回路1からの高さは、アスペクト比が小さくして決定する方が望ましい。しかし、あまり小さくすると総厚が薄くなってしまい、半導体基板(第1の半導体基板1の厚さと第2の半導体基板の厚さとの合計)自体の曲げ剛性が低下してしまう。したがって、実用的に厚く塗布したレジスト31が開口し、この部分をめっきで埋め込むことが可能である限界厚さが50 μ m~100 μ m程度であるとする、半導体装置の総厚は100 μ m程度またはそれ以下であることがよい。

【0020】

なお、図19において、図13の絶縁材13の被覆の前に、第1の半導体基板1、第2の半導体基板2および貫通電極12に非導電ペースト(NCP: Non Conductive Paste)をプリコートして、フリップチップボンディング(フリップチップ接合)(FCB: Flip Chip Bonding)後、樹脂などの絶縁材13で被覆することにより、非導電ペーストによる強度と信頼性とを向上させることができる。

この場合、非導電ペーストの他に、非導電フィルム(NCF: Non Conductive Film)、異方導電ペースト(ACP: Anisotropic Conductive Paste)、異方導電フィルム(ACF: Anisotropic Conductive Film)を用いても同様の効果を得ることができる。

【0021】

従来半導体装置を製造する場合、貫通電極の形成では、アスペクト比が高く、深い孔25のエッチングと、孔25への被覆性の良い絶縁膜26およびめっきの下地金属27の堆積は困難であった。

また、深い孔25では、空洞形成の起こらない穴埋めめっきが困難だけでなく、孔側壁部からも成長が行われるため、めっき液の流動性が良く、かつ電解集中しやすい孔上部の成長速度が早いことにより、空洞を発生させない穴埋めめっきは困難であった。

【0022】

本実施の形態のような工程によって貫通電極を有する半導体装置を形成することにより、従来の貫通電極形成のための深い孔の形成や、その側壁への被覆性の良い絶縁膜の形成、電気めっきによる孔の穴埋め時に孔側壁や、特にその孔上部からのめっき成長による孔中央部付近のめっきの空洞を抑制するための困難な技術を用いることがない。

本実施の形態では、アスペクト比の低い孔の形成を行い、また、先に電気めっきにより孔底部からのめっき成長のみで貫通電極を立てた後、貫通電極周囲を絶縁材で覆うことにより、被覆の難しい電極側壁主要部の絶縁膜を堆積することなく、かつ、孔側壁部にめっきの陰極となる金属膜を堆積することなく、空洞の生じない貫通電極を簡単に形成することができる。

また、従来のほぼ2倍の集積度の半導体装置を容易に形成することができる。

【0023】

実施の形態4 .

図20および図21はこの発明の実施の形態4を示す半導体装置の断面図である。

なお、図20および図21において、前述(図1~図19参照)と同一のものは同一符号を付して詳述を省略する。

図20および図21において、第1の半導体基板1において、第1の半導体基板1の周縁部以外(第2の半導体素子との対向する領域内)に第1の半導体基板内を貫通した新たな第1の外部端子44を設ける。

図20では、第1の外部端子44がバンプ電極20を介して第2の半導体素子6に接続されており、また、図21では、接続配線9を介して第1の半導体素子5(第1の半導体回路3)に接続されている。

このように、半導体装置は第1の外部端子10、44を通じて第1および第2の半導体回路とさまざまな接続方法が可能であり、設計の自由度を向上させることができる。

【0024】

実施の形態5 .

10

20

30

40

50

上記実施の形態 4 に示した半導体装置の製造方法について説明する。

図 2 2 ~ 図 2 8 は、この発明の実施の形態 5 を示す半導体装置の製造方法の工程図である。

なお、図 2 2 ~ 図 2 8 において、前述（図 1 ~ 図 2 1 参照）と同一のものは同一符号を付して詳述を省略する。

図 2 2 において、所定の電気抵抗を有する P 型もしくは n 型の第 1 の半導体基板上に第 1 の半導体回路 3 を形成する。さらに、回路形成部は、予め、所定の孔形成部と接続部（電極部）との位置を除いて絶縁膜 3 0 で覆われている。

【 0 0 2 5 】

次に、図 2 3 において、絶縁膜 3 0 の上面にさらに第 1 の絶縁膜 4 0 を堆積し、所定厚のレジスト 3 1 を形成し、孔形成部を除去する。

図 2 4 において、第 1 の絶縁膜 4 0 をマスクとし、第 1 の半導体基板 1 の 2 箇所の孔形成部に所定深さの孔をそれぞれ形成する。

次に、図 2 5 において、第 1 の絶縁膜 4 0 の上面に第 2 の絶縁膜 4 0 を堆積する。さらに、エッチングにより、孔の底部および第 1 の半導体回路 3 の所定位置にある接続部（電極）の全ての絶縁膜と、接続配線 9 となる部分の第 2 の絶縁膜 4 0 とを除去する。

図 2 6 において、第 1 の半導体基板 1 の上面にめっきの下地となる金属膜 9 を堆積する。さらに、金属膜 9 または第 1 の半導体基板 1 を陰極として、孔、接続部および配線層 9 を含む第 1 の半導体基板の上面に対して電気めっきを行い、めっき金属 4 2 を成長させる。

【 0 0 2 6 】

次に、図 2 7 において、全面に成長した金属を第 2 の絶縁膜 4 0 が露出するまでめっき金属 4 2 を化学的機械研磨法（CMP）によって研削する。

このとき、第 2 の絶縁膜面より凹状になっている孔、接続部、配線層 9 の金属部分が残留する。

図 2 8 において、研削面に貫通電極形成部を開口したレジストパターン 3 1 を形成し、第 1 の半導体基板 1 を陰極として、電気めっきにより、金属をレジストパターン開口部に埋め込む。

以降、図 1 2 ~ 図 1 8 までの工程と同様に、第 1 の半導体素子 1 と第 2 の半導体素子 6 とを接続して、前述の図 2 0 および図 2 1 のような、貫通電極を有する半導体装置が形成される。

このように、従来のように困難な技術を用いることなく、貫通電極を形成でき、従来のほぼ 2 倍の集積度で、複数の外部端子を有する半導体装置を容易に形成することができる。なお、ここではいわゆるデュアルダマシンの応用として示したが、フォトリソによる金属膜パターン形成と、孔部分の穴埋めめっきとを用いても同様な構造の半導体装置を形成することができる。

【 0 0 2 7 】

実施の形態 6 .

図 2 9 はこの発明の実施の形態 6 を示す半導体装置の断面図である。

なお、図 2 9 において、前述（図 1 ~ 図 2 8 参照）と同一のものは同一符号を付して詳述を省略する。

図 2 9 において、第 1 の半導体基板 1 の第 1 の外部端子側の面に露出した半導体に絶縁膜（裏面絶縁膜）6 0 を設けることにより、半導体装置が電氣的・化学的に安定したものとなり、信頼性を向上させることができる。

【 0 0 2 8 】

実施の形態 7 .

上記実施の形態 6 に示した裏面絶縁膜 6 0 の形成方法について説明する。

図 3 0 ~ 図 3 2 は、この発明の実施の形態 7 を示す裏面絶縁膜 6 0 の形成方法の工程図である。

なお、図 3 0 ~ 図 3 2 において、前述（図 1 ~ 図 2 9 参照）と同一のものは同一符号を付して詳述を省略する。

10

20

30

40

50

図30において、図16の工程と同様に、第1の半導体基板裏面の機械研削による損傷部除去のため半導体基板自体を所定量だけエッチング除去する。

次に、図31において、電源72の一方を溶液中71の第1の半導体基板1に接続し、他方を第1の半導体基板1の第1の外部端子の露出面側に対向させて配置した電極（対向電極）70を接続して、第1の半導体基板1に通電させる。第1の半導体基板1に通電させると、第1の半導体基板自体が露出した部分のみが陽極酸化し、裏面絶縁膜60が形成される。

なお、電極70を第1の外部端子の露出面側に対向させたが、必ずしも対向させる必要はない。

【0029】

図32において、第1の外部端子10が形成される部分の接続配線9を除去し、貫通電極底部を露出させる。

このように、比較的簡単に、選択的に、すなわち、貫通電極底部を除く第1の半導体基板自体の露出部分のみに、裏面絶縁膜60を形成することができる。

また、同様に、電着塗装の原理により、絶縁性の有機膜を選択的に形成することもできる。

なお、半導体工程で一般的に用いられる絶縁膜の堆積と、電極部のエッチング除去による製造方法を用いることが可能であることはいうまでもない。

【0030】

実施の形態8 .

図33はこの発明の実施の形態8を示す半導体装置の断面図である。

なお、図33において、前述（図1～図32参照）と同一のものは同一符号を付して詳述を省略する。

図33において、第1および第2の外部端子のどちらか少なくとも一方に突起電極80、81（第1の突起電極80、第2の突起電極81）を形成することにより、外部端子を介しての接続性を向上させることができる。

【0031】

実施の形態9 .

上記実施の形態8に示す第2の突起電極81の形成方法について説明する。

図34～図37は、この発明の実施の形態8を示す第2の突起電極81の形成方法の工程図である。

なお、図34～図37において、前述（図1～図33参照）と同一のものは同一符号を付して詳述を省略する。

図34において、図14の工程と同様に、第2の半導体素子搭載側から絶縁材13を、貫通電極12が露出するまで研削する。

次に、図35において、電源72の一端を電気めっき液90中の第1の半導体基板1に接続し、他端を貫通電極12の露出面に対向配置された電極70を接続し、電極70を陽極、第1の半導体基板1を陰極にして、露出した貫通電極頭頂部を下地として電気めっきを行い、第2の突起電極81を形成する。

なお、電極70を貫通電極12の露出面側に対向配置させたが、必ずしも対向させる必要はない。

【0032】

次に、図36において、図15と同様に、第2の半導体素子側に接着層33を介して支持体32を貼り、第1の半導体基板1の裏面から、貫通電極底部または孔底部に堆積した接続配線9の背面が露出するまで研削加工を行う。

図37において、第1の半導体基板自体を所定量だけエッチング除去する。

図35の段階では、導通がある第1の半導体基板1～貫通電極12がすべて電氣的に短絡しているため、以上のような電気めっきの工程を挿入することにより、第2の外部端子上にのみ簡単に突起電極を形成することができる。

【0033】

10

20

30

40

50

実施の形態 10 .

上記実施の形態 8 に示す第 1 の突起電極 80 の形成方法について説明する。

図 38 ~ 図 41 は、この発明の実施の形態 8 を示す第 1 の突起電極 80 の形成方法の工程図である。

なお、図 38 ~ 図 41 において、前述 (図 1 ~ 図 37 参照) と同一のものは同一符号を付して詳述を省略する。

図 38 において、図 15 または図 16 に示す工程のように、貫通電極底部の下地金属層を除去した後、図 39 において、貫通電極底部に露出した金属を下地として、無電解めっき液 91 中で、無電解めっきにより、貫通電極底部に露出した金属のみに第 1 の突起電極 80 を形成する。

10

【0034】

また、図 40 において、前述の図 37 の工程後、貫通電極底部の下地金属層を除去し、図 41 において、図 39 と同様に無電解めっきにより、貫通電極部に第 1 の突起電極 80 を形成することもできる。

例えば、貫通電極 12 が Cu により構成されている場合、無電解 Ni めっきなどによって選択的に成長する性質、すなわち、貫通電極底部に露出した金属 (Cu 上) のみに無電解めっき皮膜 (例えば Ni) が成長する性質を利用することで、簡単に突起電極を形成することができる。

【0035】

実施の形態 11 .

20

図 42 は、この発明の実施の形態 11 を示す半導体装置の断面図である。

なお、図 42 において、前述 (図 1 ~ 図 41 参照) と同一のものは同一符号を付して詳述を省略する。

図 42 に示す半導体装置は、前述までに示した半導体装置を複数積層したものである。

図 42 では、半導体装置を垂直方向に 2 つ積層しており、第 1 の突起電極 80 と、第 2 の突起電極 81 とを接続することにより半導体装置が積層されている。

また、上部の半導体装置の第 1 の突起電極側の面と、下部の半導体装置の第 2 の突起電極側の面とは、樹脂 110 による層が形成され、第 1 および第 2 の突起電極が接続されている。

【0036】

30

このように、半導体装置を複数積層することにより、集積度が向上するとともに伝送路が短くできるため、動作速度を向上させることができる。

なお、貫通電極位置を同一にしておけば、個々の半導体素子は異なるものであってもよい。

また、図 42 では、半導体装置の上下にパンプ電極 (第 1 および第 2 の突起電極) を形成した例で示したが、一方のみでも何ら機能上の差はない。

【0037】

実施の形態 12 .

図 43 は、この発明の実施の形態 12 を示す半導体装置の断面図である。

なお、図 43 において、前述 (図 1 ~ 図 42 参照) と同一のものは同一符号を付して詳述を省略する。

40

図 43 に示す半導体装置は、前述までに示した半導体装置を垂直方向に 2 つ積層しており、各第 1 の突起電極 80 を接続することにより半導体装置が積層されている。

また、上部および下部の半導体装置の第 1 の突起電極側の面には、樹脂 110 による層が形成され、上部および下部の半導体装置の第 1 の突起電極が接続されている。

【0038】

図 43 のように、第 1 の外部端子同士を接続して一体化したものは、第 1 の半導体基板 1 においてその裏面から第 1 の半導体回路 (活性層) 3 までの距離が短くそれだけ外乱などの影響を受けやすい。また、機械的にもどちらかといえばより脆弱なため、この面同士を対向させて接続することにより保護作用も得られる。

50

さらにこの場合、この保護作用のために第1の半導体基板裏面に形成する絶縁膜の形成を省略しても、この面同士の対向接続による保護作用により、同等の信頼性を得ることができる。

【0039】

実施の形態13.

図44および図45は、この発明の実施の形態13を示す半導体装置の断面図である。

なお、図44および図45において、前述(図1~図43参照)と同一のものは同一符号を付して詳述を省略する。

図44および図45は、前述の実施の形態4における第1の外部端子を追加した半導体素子を積層したものであり、図44は、第1の突起電極同士を接続して一体化したものであり、図45は、第2の突起電極同士を接続して一体化したものである。

10

【0040】

このような接続関係により、図44のように第1の半導体素子5の裏面同士を対向させて接続した場合、一体化したこれらの半導体素子相互の接続において端子数が多く伝送路も短くなることで、一体化した半導体素子内部での大規模かつ高速な信号処理が必要な場合に有効となる。

また、図45のように、第2の半導体素子6の裏面同士を対向させて接続した場合、第1の半導体素子5の裏面同士を接続した図44に比べ、一体化した半導体装置は、外部との接続端子を多く取れることから、外部との大規模な信号処理が必要な用途に有効となる。

【0041】

実施の形態14.

図46~図49は、この発明の実施の形態14を示す半導体装置の断面図である。

なお、図46~図49において、前述(図1~図45参照)と同一のものは同一符号を付して詳述を省略する。

図46および図47において、第2の半導体素子6の裏面(第2の半導体基板2の裏面)が絶縁材13で覆われており、図46に示す半導体装置は、貫通電極12や第2の半導体素子6の側面を覆う絶縁材13で、第2の半導体素子6の裏面も同時に被覆したものである。また、図47に示す半導体装置は、貫通電極12や第2の半導体素子6の側面を覆う絶縁材13を被覆させる工程と、第2の半導体素子6の裏面を絶縁膜140で被覆させる工程とを、別の工程で行ったものである。

30

【0042】

このように、第2の半導体素子6の裏面を絶縁材(絶縁膜)で被覆することにより、電氣的に安定するだけでなく、一般に絶縁材13は保護の機能も兼ね備えるため、化学的、機械的に耐性が向上することで信頼性が増す。

なお、図47のように、別工程で被覆する場合、この時の絶縁材13は同じ材質であっても、異なってもよい。

また、図46および図47の半導体装置についても同様に、図48および図49のように、表裏いずれか、または両方にバンプ電極(第1および第2の突起電極)を形成してもよい。第1および第2の突起電極形成による効果は、前述と同様である。

【0043】

実施の形態15.

図50~図55は、この発明の実施の形態15を示す半導体装置の断面図である。

なお、図50~図55において、前述(図1~図49参照)と同一のものは同一符号を付して詳述を省略する。

図50は、前述の実施の形態14で絶縁被覆された第2の半導体素子裏面の領域に配線層150を形成した半導体装置を示す。配線層150は1層である必要は無く、層間絶縁膜を介して2層以上形成することができる。電極形成部を除く、配線層150の上面上には保護膜151が形成されている。この保護層151は露出する配線材の性質によっては省略することができる。

40

配線層150の上面の所定位置は、電極(ランド)152が形成されている。

50

また、図 5 1 では、電極 1 5 2 の配置位置を複数にするような絶縁膜パターンで決定することにより、再配線（配線層）1 5 0 の一部を複数の外部端子として使用することができる。

【 0 0 4 4 】

図 5 2 ~ 図 5 4 のように、第 2 の半導体素子裏面に配線層 1 5 0 を形成し、さらに、電極形成部を除く配線層上面には保護膜 1 5 1 を形成する。電極形成部には電極 1 5 2 を形成し、第 1 の半導体基板 1 の裏面の研削加工、エッチング除去を行い、無電解めっきによりバンプ電極（第 1 の突起電極 8 0 ）を形成する。図 5 5 のように、電極 1 5 2 にはんだボール 1 6 0 を形成してもよい。

【 0 0 4 5 】

このように、第 2 の半導体素子 6 の裏面側を電極（外部端子）として有効に利用することができるため、上部に露出した貫通電極頭頂部の大きさに制約されることなく、大きな電極を配置することができる。

また、電極の配置の自由度を向上させることができ、電極数（外部端子数）も多く取ることができる。

また、集積度が向上するとともに、設計の自由度を増すことができる。

なお、ここでは、実施の形態 1 4 の図 4 6 に対応する形態で示したが、図 4 7 にも同様な構造を施しても、同様な効果を得ることができる。

【 0 0 4 6 】

実施の形態 1 6 .

上記実施の形態 1 4 の図 4 6 に示す半導体装置の製造方法について説明する。

図 5 6 ~ 図 5 9 は、この発明の実施の形態 1 6 を示す半導体装置の製造方法の工程図である。

なお、図 5 6 ~ 図 5 9 において、前述（図 1 ~ 図 5 5 参照）と同一のものは同一符号を付して詳述を省略する。また、製造工程において、前述の図 6 ~ 図 9、図 1 5 ~ 図 1 8 に示す工程は同一であるため説明を省略し、図 1 0 ~ 図 1 4 に対応する説明を行う。

図 5 6 において、後に接続する第 2 の半導体素子 6 の厚さよりも厚いレジストパターン 3 1 を孔形成部に開口する。

【 0 0 4 7 】

次に、図 5 7 において、第 1 の半導体基板 1 を陰極として、電気めっきにより、電極材（貫通電極）1 2 をレジストパターン開口部に埋め込む。

埋め込む際、接続する第 2 の半導体素子 6 の裏面よりも高く、かつレジスト厚より低く電極材をめっきする。

図 5 8 において、搭載時の第 2 の半導体素子 6 の裏面よりも、めっきした電極材の柱（貫通電極）1 2 が高くなるように、第 2 の半導体素子 6 は予め薄く加工し、バンプ電極 2 0 を介して第 1 の半導体素子 5 と接続する。

図 5 9 において、樹脂やガラスなどの絶縁材 1 3 で被覆し、硬化させ、形成された貫通電極 1 2 の頭頂部が露出するまで研削加工を行う。

【 0 0 4 8 】

このとき、第 2 の半導体素子 6 の厚さはめっきされた貫通電極の高さよりも薄いため、絶縁材 1 3 は、貫通電極 1 2 の側面とともに、第 2 の半導体素子 6 の裏面にも被覆される。このように、レジスト厚、めっきの高さ、搭載する半導体素子の厚さを変えるだけで、実施の形態 3 に示された各工程をそのまま利用し、簡単に第 2 の半導体素子 6 の裏面を絶縁被覆することができる。

【 0 0 4 9 】

実施の形態 1 7 .

上記実施の形態 1 4 の図 4 6 および図 4 8 に示す半導体装置の製造方法について説明する。

図 6 0 ~ 図 6 3 は、この発明の実施の形態 1 7 を示す半導体装置の製造方法の工程図である。

10

20

30

40

50

なお、図60～図63において、前述(図1～図59参照)と同一のものは同一符号を付して詳述を省略する。また、製造工程において、前述の図6～図9、図15～図18に示す工程は同一であるため説明を省略し、図10～図14に対応する説明を行う。

【0050】

図60において、予め所定の厚さに研削した第2の半導体素子6を所定の位置に、バンプ電極20および所定の電極(第1の電極7)を介して接続する。

次に、図61において、例えば感光性ポリイミドのような当初流動性があり、塗布後に感光性を有し、マスクを介した露光によってパターン形成が可能で、さらに硬化後良好な絶縁膜13となる材料を、第2の半導体素子6の厚さより厚く塗布する。

第2の半導体素子全体を絶縁膜13で覆った後、露光・現像により、孔部分を開口し、硬化させる。

図62において、開口部に第1の半導体基板1を陰極とし、接続配線層9を下地として第2の半導体素子6の厚さより高く、電気めっきにより導電材を埋め込み、導電材の柱(貫通電極)170を形成する。

図63において、このとき、電気めっき工程で感光性ポリイミド面より突出させてバンプ電極としてもよく、この場合には、別途バンプ電極を形成する工程を省略することができる。

【0051】

この後、必要に応じて、第2の半導体素子6の裏面側から感光性ポリイミドを研削して貫通電極となる導電材の柱170の頭頂部を露出させ、頭頂部と、感光性ポリイミド表面を同一の平坦面としてもよい。このとき、第2の半導体素子6はめっきの柱より薄いため、第2の半導体素子裏面にポリイミド膜が絶縁膜13として残留する。

このように、第2の半導体素子搭載の後に、第2の半導体素子厚より厚いめっきの柱を形成することができるので、第2の半導体素子6の搭載、位置合わせが簡単になる。

【0052】

実施の形態18.

図64～図66は、この発明の実施の形態18を示す半導体装置の製造方法の工程図である。

なお、図64～図66において、前述(図1～図63参照)と同一のものは同一符号を付して詳述を省略する。また、製造工程において、前述の図6～図18に示す工程は同一であるため説明を省略し、図14と図15との工程の間に以下に説明する工程を追加する。図64において、図14と同様に、絶縁材13を研削して貫通電極頭頂部を露出させる。

【0053】

次に、図65において、例えば感光性ポリイミドのような当初流動性があり、塗布後に感光性を有し、マスクを介した露光によってパターン形成が可能で、さらに硬化後良好な絶縁膜となる材料180を、第2の半導体素子6の裏面に一定膜厚で塗布する。

図66において、塗布した材料180が感光性を有する絶縁膜の場合は、露光・現像により、露出した貫通電極頭頂部を開口し、熱硬化によって絶縁膜とする。また、感光性の無い場合は、別途フォトレジストによりパターン形成し、エッチングする。

このようにして得られたものは、信頼性の高い良好な絶縁膜となる。

【0054】

また、ここでは絶縁膜として感光性ポリイミドを用いたが、化学的気相成長法(CVD: Chemical Vapor Deposition)などの成膜技術による堆積と、フォトレジストとを用いたエッチングによるパターン形成といった半導体工程で良く知られた技術を用いることにより、さらに微細加工性と信頼性のよいものとなる。

また、微細加工性においては若干落ちるがスクリーン印刷といったやはりよく知られた手法を用いて簡単に形成することができる。また、この手法を(金属)配線と層間絶縁膜、保護膜に適用して、第2の半導体素子6の裏面に再配線や新たな外部端子を簡単に形成することができる。

さらにこの手法は、前述の実施の形態16において再配線などを形成する場合にも適用す

10

20

30

40

50

ることができる。

【0055】

図93、図94は、この発明の実施の形態18を示す半導体装置の製造方法の工程図である。

この絶縁膜の形成は、図93および図94に示すように、第1の半導体基板に通電することによって、少なくとも共通である接地電位によって第1の半導体基板1～貫通電極12～パンプ電極20を介して第2の半導体素子6に電氣的に接続していることから、第2の半導体素子6の裏面に電着塗装と同様な方法によって、例えばポリイミド系の材料などを絶縁膜182として選択的に被着することができる。

また、この方法と同様に、陽極酸化によっても絶縁膜を形成することができる。

10

さらに、これらの方法は、第1の半導体基板1を研削し、支持体を引き剥がした後、実施の形態7による同様な絶縁膜形成（裏面絶縁膜60）を同時に行うこともできる。

【0056】

実施の形態19．

図67は、この発明の実施の形態19を示す半導体装置の断面図であり、図68～図72は、この発明の実施の形態19を示す半導体装置の製造方法の工程図である。

なお、図67～図72において、前述（図1～図66参照）と同一のものは同一符号を付して詳述を省略する。

図67に示す半導体装置は、第1の半導体基板1として、いわゆるSOI（Silicon on Insulator）基板と呼ばれる基板を用いている。

20

SOI基板は、半導体基板母材（半導体）190の上層に絶縁膜（埋め込み絶縁膜）191と、さらにその上層に極薄の半導体膜（活性層）を有する基板である。

【0057】

このSOI基板（第1の半導体基板）1を用いた半導体装置の製造方法は、前述の実施の形態3で示した方法とほぼ同じである。

次に、SOI基板1を用いた半導体装置の製造方法について説明する。

図68において、第1の半導体基板としてSOI基板を用い、SOI基板の極薄の半導体膜と、埋め込み絶縁膜191とを超えて半導体基板母材190まで達する孔を形成する。

次に、図69において、図8および図9の工程と同様に、SOI基板上面に絶縁膜を堆積し、エッチングにより孔底部と電極部との絶縁膜を除去して、接続配線9を形成する。

30

図70において、図10および図11の工程と同様に、レジスト開口部に電気めっきにより貫通電極材を埋め込む。このとき、孔底部は、SOI基板母材190にまで達しているため、SOI基板母材（半導体）の導電性を利用してめっきすることができる。

【0058】

次に、図71において、図12～図14の工程と同様に、第2の半導体素子6を載置し、絶縁材13で被覆した後、貫通電極頭頂部が露出するまで研削加工する。なお、図71では、SOI基板母材190を陰極として、めっきによりパンプ電極（第2の突起電極）81を形成している。

図72において、第2の半導体基板2の裏面に接着層33を介して支持体32を接着させ、SOI基板1の裏面側の貫通電極底部が露出するまで、SOI基板1の裏面に残留した半導体基板母材190のみをエッチングにより除去する。

40

このとき、埋め込み絶縁膜上に極薄の半導体膜が形成されていて半導体基板母材190は最終的に無くなる。したがって、半導体回路の設計と半導体回路の製造工程とを適切に行うことで、半導体基板と貫通電極との短絡がおこらず、接続配線形成前の絶縁膜の堆積の工程と、孔底部の除去工程を省略することができる。

【0059】

また、貫通電極材の電気めっきは、この時点で除去されていない半導体基板母材190の導電性を同じように利用するため特殊な工程は必要ない。

さらに半導体基板母材研削後の半導体基板母材のエッチング除去は、埋め込み酸化膜（絶縁膜）191で除去が自動的に停止するため、エッチング量の制御が不要となる。

50

このように、SOI基板は、埋め込み酸化膜191があらかじめ形成されているため、改めて絶縁膜を形成する必要が無く、電気的な安定性がよく信頼性の高い半導体装置を製造することができる。

なお、ここでは実施の形態1～13において、第1の半導体基板1をSOI基板で置きかえる例を示したが、実施の形態14～18においても同様に置きかえることができる。

また、ここでは、半導体基板中に埋め込み酸化膜191を形成した、いわゆる埋め込み酸化型SOI基板について説明したが、半導体基板表面に予め酸化膜を形成し、これを別の半導体基板に高温で貼り付け、一方の半導体基板を所定厚まで研削した、いわゆる貼り合わせ型SOI基板を用いてもよい。

さらにここでは、第1の半導体基板としてSOI基板を用いる例をもって示したが、絶縁基板上に薄膜トランジスタを形成した、いわゆるTFT(Thin Film Transistor)基板の裏面に導電層を形成し、この導電層に達するように孔を形成し、この導電層に通電することで貫通電極をめっきし、最終的にこの導電層を除去することで、同一構造同一作用の半導体装置が得られる。

【0060】

実施の形態20.

図73は、この発明の実施の形態20を示す半導体装置の断面図である。

なお、図73において、前述(図1～図72参照)と同一のものは同一符号を付して詳述を省略する。

図73において、SOI基板1に形成した第1の半導体素子5の裏面に露出した埋め込み絶縁膜背面に、配線層150を形成する。

この配線層150は、半導体工程で良く用いられる手法を用いて再配線するもので、絶縁膜191により簡単に再配線することができる。

また、このSOI基板1の半導体基板母材190を裏面研削する際に、貫通電極底部が露出する時点で研削を停止せず、半導体基板母材190を完全に除去して埋め込み酸化膜背面(絶縁膜背面)が露出するまで研削すると、段差がない絶縁体191の面が得られるために、さらに簡単に配線層150を形成することができる。

さらに、この配線層150に突起電極80を形成してもよい。

【0061】

実施の形態21.

図74および図75は、この発明の実施の形態21を示す半導体装置の断面図である。

なお、図74および図75において、前述(図1～図73参照)と同一のものは同一符号を付して詳述を省略する。

図74は、実施の形態4と実施の形態19とを組み合わせた半導体装置であり、図75は、実施の形態4と実施の形態20とを組み合わせた半導体装置である。

【0062】

図74において、SOI基板1の埋め込み酸化膜(絶縁膜)191の背面を、配線で迂回させずに第1の外部端子として利用できるため、電送路が最短で、端子数を増加させることができる。

さらに、このSOI基板1を用いると、第1の半導体回路3を形成した極薄の半導体層と埋め込み酸化膜191との合計厚さは依然として薄いため、孔形成のエッチング深さは極めて浅くでき、孔部分の導電材埋め込みは、めっきによらず接続配線9の成膜によって埋め込めるため、製造が簡単で、微細な端子を多数形成させることができる。

なお、図75のように、SOI基板1の裏面に配線層150を形成し、突起電極80を形成してもよい。

【0063】

実施の形態22.

図76および図77は、この発明の実施の形態22を示す半導体装置の断面図である。

なお、図76および図77において、前述(図1～図75参照)と同一のものは同一符号を付して詳述を省略する。

10

20

30

40

50

図76に示す半導体装置は、第2の半導体基板2（第2の半導体素子6）として、SOI基板あるいは、絶縁基板上に形成された薄膜トランジスタ（TFT：Thin Film Transistor）を用いる。

図77に示す半導体装置は、図74に示す半導体装置の第2の半導体基板2として、SOI基板を用いる。

したがって、前述の実施の形態1～13と、第1の半導体基板1としてSOI基板を適用した実施の形態とにおいて、予め絶縁層が存在する基板を用いることにより、第2の半導体素子6の裏面に絶縁膜を形成せずに、より簡単に、第2の半導体素子6の裏面を絶縁材（絶縁膜）で被覆した実施の形態14と同様に、電気的に安定し、化学的、機械的に耐性が向上することで信頼性を増すことができる。

10

【0064】

この場合の半導体装置の製造方法は、実施の形態3において、図12の工程で第2の半導体素子6としてSOI基板を用いたものか、あるいは絶縁基板上に形成した薄膜トランジスタを用いる。

また、図14の工程において、第2の半導体素子6の絶縁材背面が露出するまで研削加工する。

【0065】

実施の形態23.

図78および図79は、この発明の実施の形態23を示す半導体装置の断面図である。

なお、図78および図79において、前述（図1～図77参照）と同一のものは同一符号を付して詳述を省略する。

20

図78は、図76に示した半導体装置において、第2の半導体素子裏面に露出した絶縁材背面に配線層150を形成し、背面を外部端子の配置領域として利用する。

図78のように、配線層150の上面に、バンプ電極（第2の突起電極81）を形成してもよい。

したがって、集積度を向上させ、接続端子数を増加させることを、絶縁膜形成工程の追加なしに行うことができる。

なお、図79のように、図77に示す半導体装置の第1の半導体素子裏面にも配線層150を形成してもよい。

【0066】

30

実施の形態24.

図80および図81は、この発明の実施の形態24を示す半導体装置の断面図である。

なお、図80および図81において、前述（図1～図79参照）と同一のものは同一符号を付して詳述を省略する。

図80は、図46に示した半導体装置の第2の半導体素子6の裏面に形成した再配線（配線層150）を介して、第3の半導体素子240を積層する。第3の半導体素子240は、第2の半導体素子6と同一構造をとる。

図81は、図79に示した半導体装置の第2の半導体素子6の裏面に形成された再配線（配線層150）を介して、SOI基板またはTFT基板で形成された第3半導体素子240および第4の半導体素子244を順次積層する。第3および第4の半導体素子240、244は、第2の半導体素子6と同一構造をとる。図81では、表裏両面にバンプ電極（突起電極80、81）が形成されている。

40

このように、同じ構造を繰り返すことにより、複数の半導体素子を積層することができ、これにより集積度の向上を図ることができる。

【0067】

実施の形態25.

図82～図86は、この発明の実施の形態25を示す半導体装置の製造方法の工程図である。

なお、図82～図86において、前述（図1～図81参照）と同一のものは同一符号を付して詳述を省略する。

50

図 8 2 ~ 図 8 6 に示す製造方法は、実施の形態 2 4 に示す半導体装置を製造する方法であり、実施の形態 1 6 ~ 1 8、あるいは実施の形態 2 2、2 3 の再配線形成において、第 3 の半導体素子 2 4 0 に形成したパンプ電極位置にこれと接続する端子を形成し、以下実施の形態 1 6 ~ 1 8 と同じ方法を繰り返し、貫通電極 1 2 を上方に延長するものである。

【 0 0 6 8 】

図 8 2 において、第 1 および第 2 の半導体素子 5、6 は S O I 基板を用いる。

図 8 3 において、研削により、第 2 の半導体基板裏面の絶縁層と、貫通電極頭頂部を露出させる。

図 8 4 において、第 2 の半導体基板 2 に再配線を施し、貫通電極形成部を開口したレジストパターン 3 1 を形成する。そして、第 1 の半導体基板 1 を陰極として、電気めっきにより、延長させる貫通電極 1 2 を埋め込む。

10

図 8 5 において、レジスト 3 1 を除去し、S O I 基板からなる第 3 の半導体素子 2 4 0 を載置し、絶縁材 1 3 を被覆させる。

図 8 6 において、図 8 3 の工程と同様に研削加工して、延長した貫通電極頭頂部と第 2 の半導体基板裏面の絶縁層を露出させる。

【 0 0 6 9 】

さらに第 4 の半導体素子以降を積層する場合には、図 8 2 から図 8 6 までの工程を繰り返す。

最後に、第 1 の半導体基板裏面を研削し、貫通電極底部を露出させる。このとき、表裏にパンプ電極（突起電極）を形成してもよい。

20

貫通電極 1 2 の延長は、実施の形態 1 7、1 8 に示された方法でも同様に可能である。

このような方法により、集積度を向上させる半導体装置を製造することができる。

【 0 0 7 0 】

実施の形態 2 6 .

図 8 7 は、この発明の実施の形態 2 6 を示す半導体装置の断面図である。

なお、図 8 7 において、前述（図 1 ~ 図 8 6 参照）と同一のものは同一符号を付して詳述を省略する。

図 8 7 は、前述の実施の形態 1 ~ 2 5 による構造を複合して積層した半導体装置を示し、実施の形態 8 の図 3 3 に示した半導体装置 2 6 0 と、実施の形態 1 5 の図 5 5 に示した半導体装置 2 6 1 とを積層した半導体装置を示す。

30

図 8 7 では、図 3 3 に示した半導体装置 2 6 0 を 2 個と、図 5 5 に示した半導体装置を 1 個とで、積層したものを示したが、前述の実施の形態 1 ~ 2 5 で示した半導体装置のどれをどの順に何個積層してもよい。これにより、多様な半導体装置による極めて大規模な積層が可能となる。

【 0 0 7 1 】

実施の形態 2 7 .

図 8 8 および図 8 9 は、この発明の実施の形態 2 7 を示す半導体装置の断面図である。

なお、図 8 8 および図 8 9 において、前述（図 1 ~ 図 8 7 参照）と同一のものは同一符号を付して詳述を省略する。

図 8 8 に示す半導体装置は、1 枚の第 1 の半導体基板上に複数の第 2 の半導体素子 6 を平面的に搭載する半導体モジュールである。

40

図 8 9 に示す半導体装置は、第 1 の半導体基板上に、互いに独立した第 1 の半導体回路群を形成し、その各々に第 2 の半導体素子を載置している。図 8 9 において、「A」の部分で切断し、個片化すると、図 1、3 などに示した半導体装置となる。

このような半導体装置は、実施の形態 3 で示した製造方法によって同様に得られるものあり、これにより大規模な集積化が可能となる。

【 0 0 7 2 】

実施の形態 2 8 .

図 9 0 は、この発明の実施の形態 2 8 を示す半導体装置の断面図である。

図 9 0 は、実施の形態 2 7 に示した半導体モジュール 2 9 0 に、実施の形態 2 5 の積層構

50

造により第3の半導体素子群291を組み合わせた半導体装置で、これにより平面と積層の複合した大規模な半導体モジュールとなる。

【0073】

実施の形態29.

図91は、この発明の実施の形態29を示す半導体装置の断面図である。

図91は、実施の形態27、28で示した半導体モジュールの第1の半導体基板1と、反対側に露出した接続端子に、実施の形態1~10、実施の形態14~23の半導体装置または実施の形態11~13、実施の形態26の積層した半導体装置を接続したもの(図42~45、87の積層構造を複合したもの)で、極めて大規模な複合型の半導体モジュールとなる。

10

【0074】

実施の形態30.

図92は、この発明の実施の形態30を示す半導体装置の断面図である。

なお、図92において、前述(図1~図91参照)と同一のものは同一符号を付して詳述を省略する。

図30は、第1の半導体基板1に第1の半導体回路3を形成しない場合で、集積度は前述までのものに比べて劣るものの、構造が単純であって製造工程が短いために、歩留まりが良く、安価な半導体装置を得ることができる。

さらに、第1の半導体基板1に代えて金属板を用いても同様の構造を得ることができる。

また、裏面研削の際、裏面研削あるいはこれにエッチングを併用して、第1の半導体基板の半導体基板母材や金属板をすべて除去してもよい。

20

【0075】

【発明の効果】

以上のように、この発明によれば、互いに対向配置された対向面を有する第1および第2の半導体基板と、第1の半導体基板の対向面上に形成され、第1の半導体回路および第1の電極からなる第1の半導体素子と、第2の半導体基板の対向面上に形成され、第2の半導体回路および第2の電極からなる第2の半導体素子と、第1および第2の電極の間に挟持された導電材からなる配線層と、第1の半導体基板を貫通するとともに、配線層を介して第1および第2の電極に接続された貫通電極とを備え、第2の半導体基板は第1の半導体基板に搭載され、貫通電極の側面方向に離間配置され、第1の半導体基板から突出した貫通電極の側面および第2の半導体素子の側面は絶縁材で被覆され、貫通電極の一端は、第1の半導体基板の裏面で第1の外部端子として露出し、貫通電極の他端は、第2の半導体基板の裏面と同一高さに位置するとともに、第2の外部端子として絶縁材から露出したので、従来の半導体装置とほぼ同じ体積で、従来よりも多くの半導体回路を搭載可能な半導体装置を容易に製造することのできる半導体装置が得られる効果がある。

30

【図面の簡単な説明】

【図1】 図1はこの発明の実施の形態1を示す半導体装置の断面図である。

【図2】 従来の半導体装置の断面図である。

【図3】 この発明の実施の形態2を示す半導体装置の断面図である。

【図4】 従来の半導体装置の製造方法の工程図である。

40

【図5】 従来の半導体装置の製造方法の工程図である。

【図6】 この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

【図7】 この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

【図8】 この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

【図9】 この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

【図10】 この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

【図11】 この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

【図12】 この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

【図13】 この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

【図14】 この発明の実施の形態3を示す半導体装置の製造方法の工程図である。

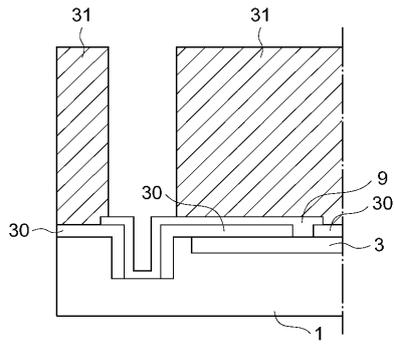
50

- 【図61】 この発明の実施の形態17を示す半導体装置の製造方法の工程図である。
- 【図62】 この発明の実施の形態17を示す半導体装置の製造方法の工程図である。
- 【図63】 この発明の実施の形態17を示す半導体装置の製造方法の工程図である。
- 【図64】 この発明の実施の形態18を示す半導体装置の製造方法の工程図である。
- 【図65】 この発明の実施の形態18を示す半導体装置の製造方法の工程図である。
- 【図66】 この発明の実施の形態18を示す半導体装置の製造方法の工程図である。
- 【図67】 この発明の実施の形態19を示す半導体装置の断面図である。
- 【図68】 この発明の実施の形態19を示す半導体装置の製造方法の工程図である。
- 【図69】 この発明の実施の形態19を示す半導体装置の製造方法の工程図である。
- 【図70】 この発明の実施の形態19を示す半導体装置の製造方法の工程図である。 10
- 【図71】 この発明の実施の形態19を示す半導体装置の製造方法の工程図である。
- 【図72】 この発明の実施の形態19を示す半導体装置の製造方法の工程図である。
- 【図73】 この発明の実施の形態20を示す半導体装置の断面図である。
- 【図74】 この発明の実施の形態21を示す半導体装置の断面図である。
- 【図75】 この発明の実施の形態21を示す半導体装置の断面図である。
- 【図76】 この発明の実施の形態22を示す半導体装置の断面図である。
- 【図77】 この発明の実施の形態22を示す半導体装置の断面図である。
- 【図78】 この発明の実施の形態23を示す半導体装置の断面図である。
- 【図79】 この発明の実施の形態23を示す半導体装置の断面図である。
- 【図80】 この発明の実施の形態24を示す半導体装置の断面図である。 20
- 【図81】 この発明の実施の形態24を示す半導体装置の断面図である。
- 【図82】 この発明の実施の形態25を示す半導体装置の製造方法の工程図である。
- 【図83】 この発明の実施の形態25を示す半導体装置の製造方法の工程図である。
- 【図84】 この発明の実施の形態25を示す半導体装置の製造方法の工程図である。
- 【図85】 この発明の実施の形態25を示す半導体装置の製造方法の工程図である。
- 【図86】 この発明の実施の形態25を示す半導体装置の製造方法の工程図である。
- 【図87】 この発明の実施の形態26を示す半導体装置の断面図である。
- 【図88】 この発明の実施の形態27を示す半導体装置の断面図である。
- 【図89】 この発明の実施の形態27を示す半導体装置の断面図である。
- 【図90】 この発明の実施の形態28を示す半導体装置の断面図である。 30
- 【図91】 この発明の実施の形態29を示す半導体装置の断面図である。
- 【図92】 この発明の実施の形態30を示す半導体装置の断面図である。
- 【図93】 この発明の実施の形態18を示す半導体装置の製造方法の工程図である。
- 【図94】 この発明の実施の形態18を示す半導体装置の製造方法の工程図である。

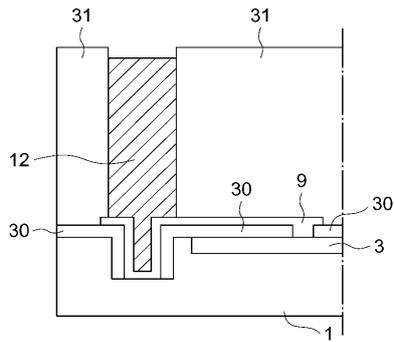
【符号の説明】

1 第1の半導体基板、2 第2の半導体基板、3 第1の半導体回路、4 第2の半導体回路、5 第1の半導体素子、6 第2の半導体素子、7 第1の電極、8 第2の電極、9 接続配線（配線層）、10 第1の外部端子、11 第2の外部端子、12 貫通電極、13 絶縁材、20 バンプ電極、30 絶縁膜、31 レジスト、32 支持体、33 接着層、40 第1の絶縁膜、41 第2の絶縁膜、42 めっき金属、44 新たな第1の外部端子、60 裏面絶縁膜、70 対向電極（陽極）、71 溶液、80 第1の突起電極、81 第2の突起電極、90 電気めっき液、91 無電解めっき液、110 樹脂、140 絶縁膜、150 配線層、151 保護膜、152 電極（ランド）、160 はんだボール、170 導電材の柱（めっき）、181 溶液、182 絶縁膜、190 SOI基板母材、191 絶縁層、240 第3の半導体素子、241 第3の半導体回路、242 第3の電極、243 貫通電極、244 第4の半導体素子、245 第4の半導体回路、246 第4の電極、260、261 半導体装置、290 半導体モジュール、291 第3の半導体素子群。 40

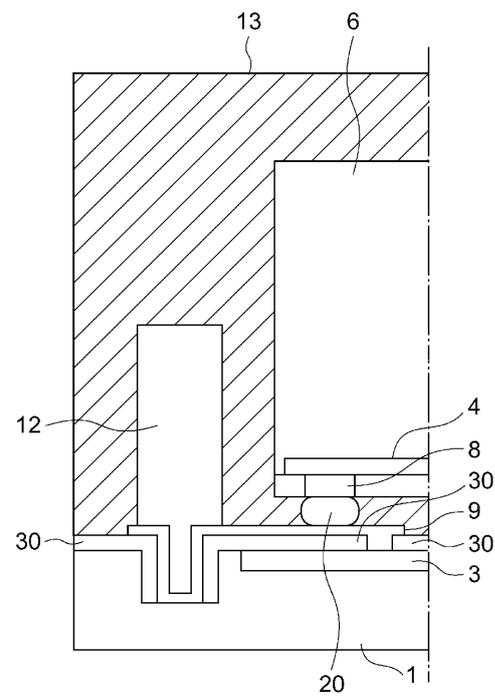
【 図 1 0 】



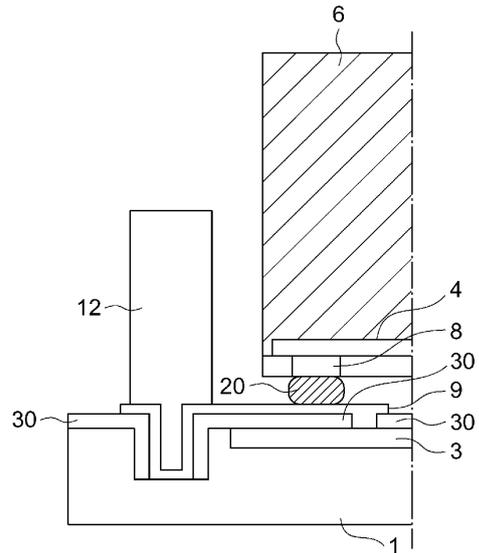
【 図 1 1 】



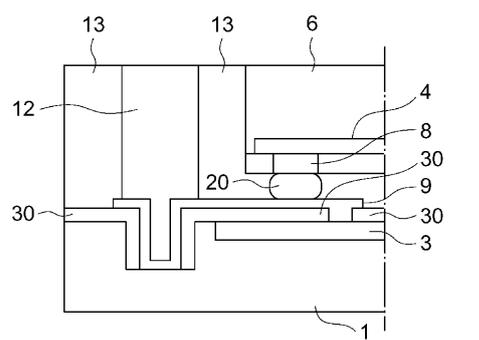
【 図 1 3 】



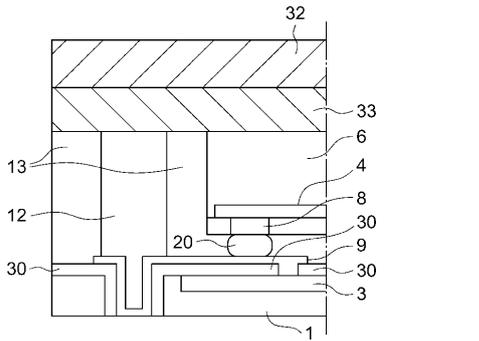
【 図 1 2 】



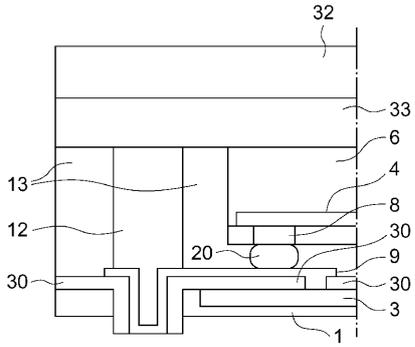
【 図 1 4 】



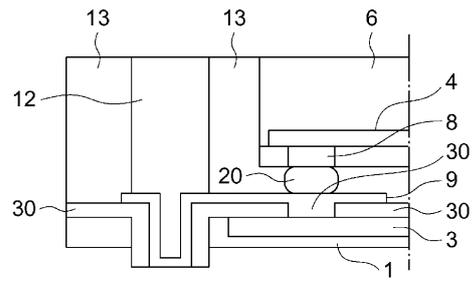
【 図 1 5 】



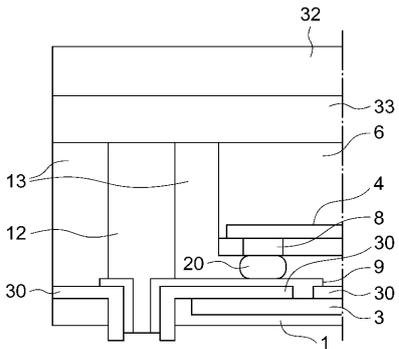
【 図 1 6 】



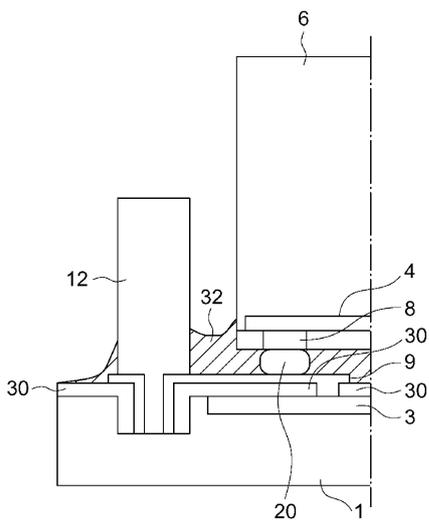
【 図 1 8 】



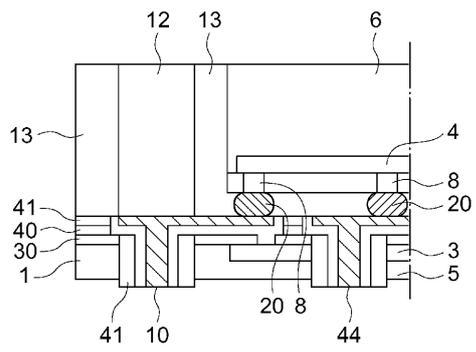
【 図 1 7 】



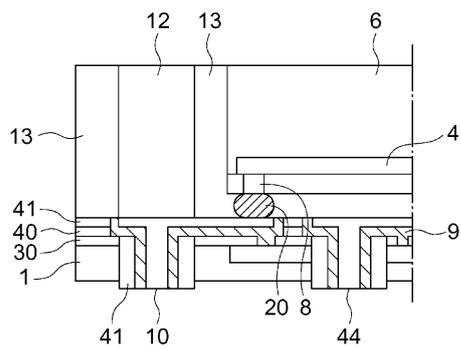
【 図 1 9 】



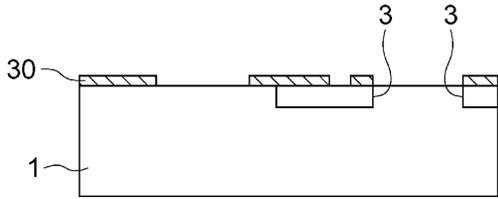
【 図 2 0 】



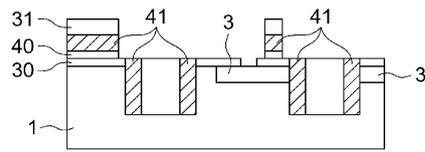
【 図 2 1 】



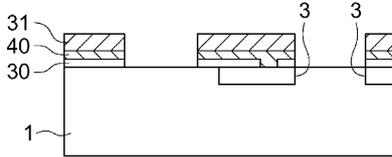
【図 2 2】



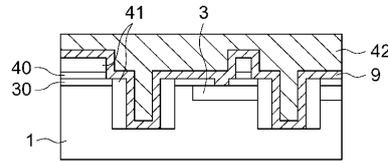
【図 2 5】



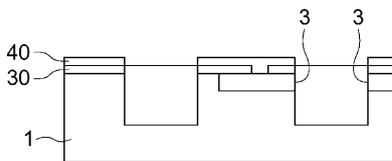
【図 2 3】



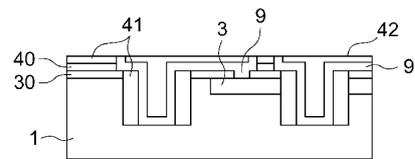
【図 2 6】



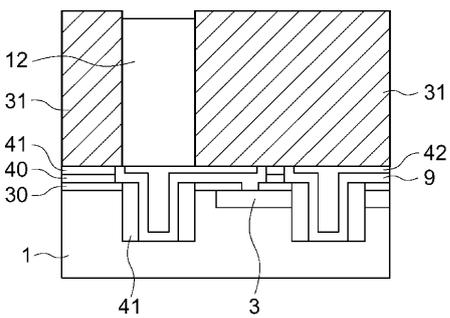
【図 2 4】



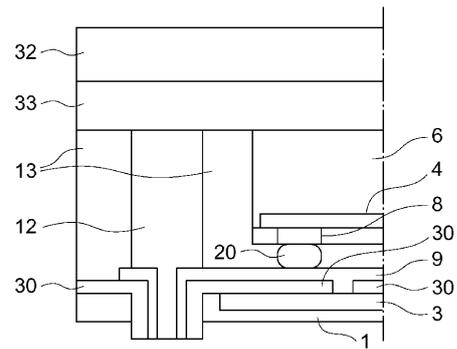
【図 2 7】



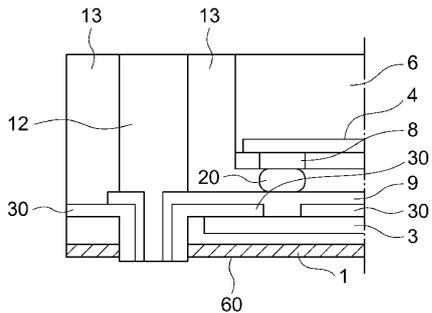
【図 2 8】



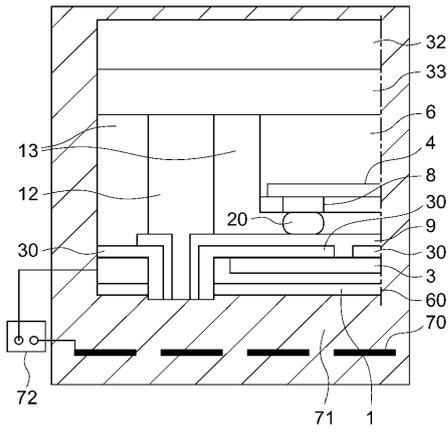
【図 3 0】



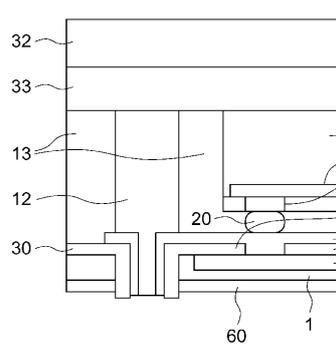
【図 2 9】



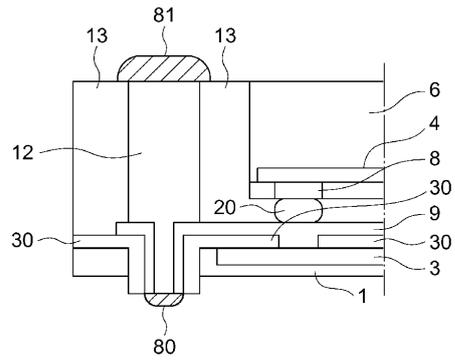
【 図 3 1 】



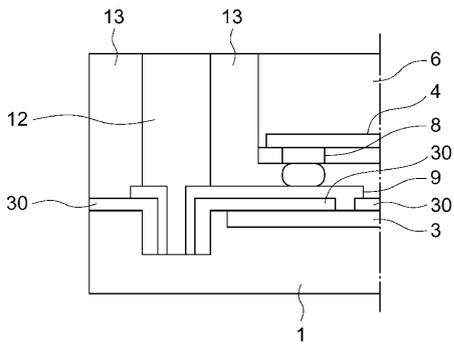
【 図 3 2 】



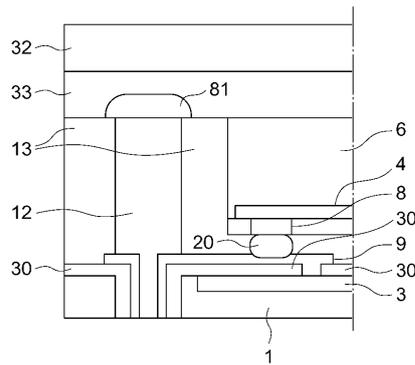
【 図 3 3 】



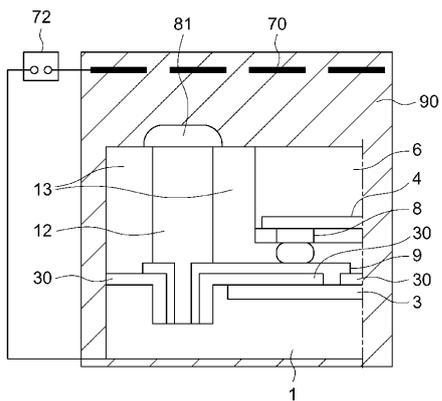
【 図 3 4 】



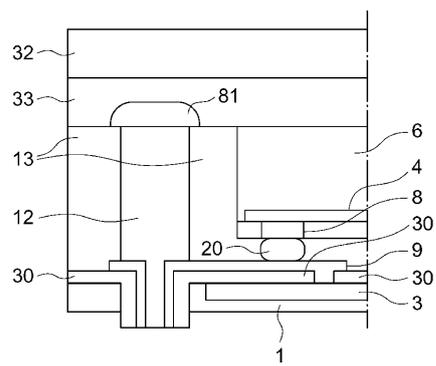
【 図 3 6 】



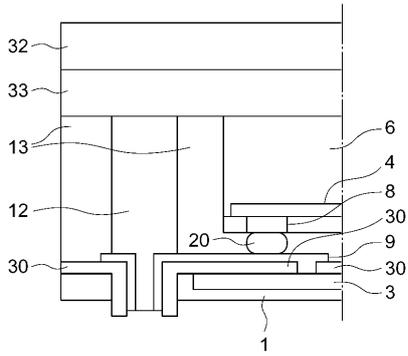
【 図 3 5 】



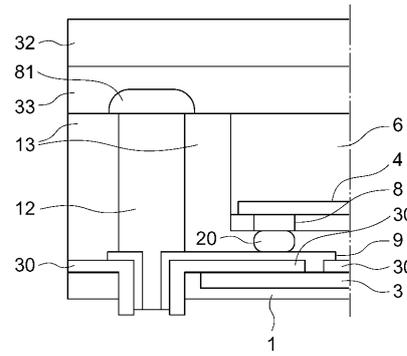
【 図 3 7 】



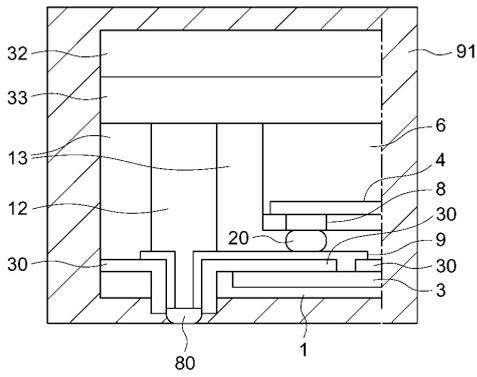
【 図 3 8 】



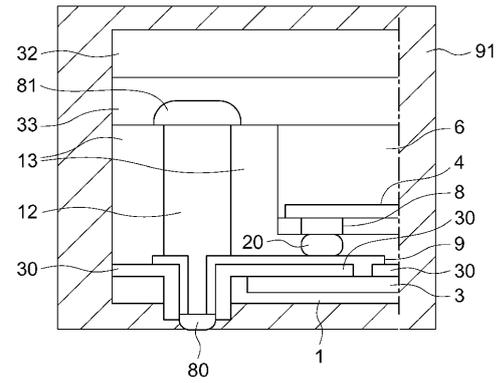
【 図 4 0 】



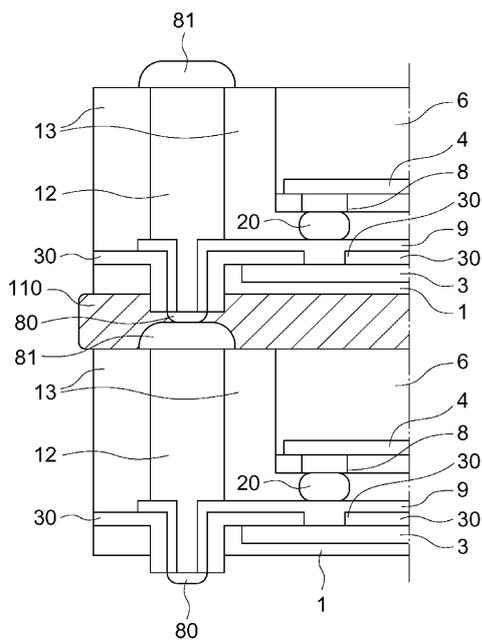
【 図 3 9 】



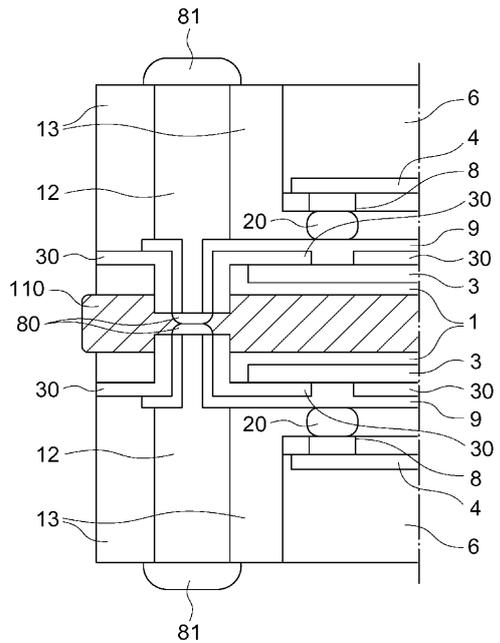
【 図 4 1 】



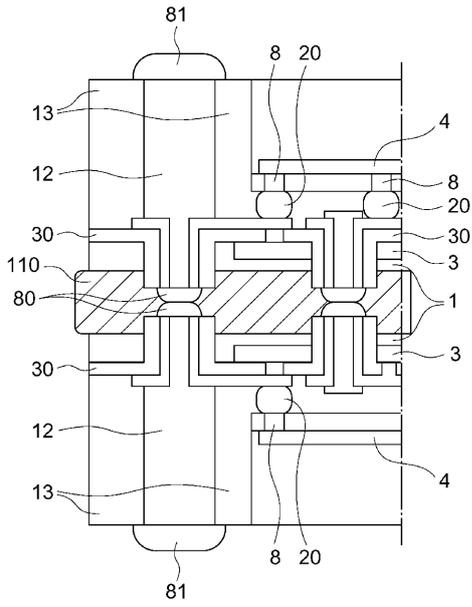
【 図 4 2 】



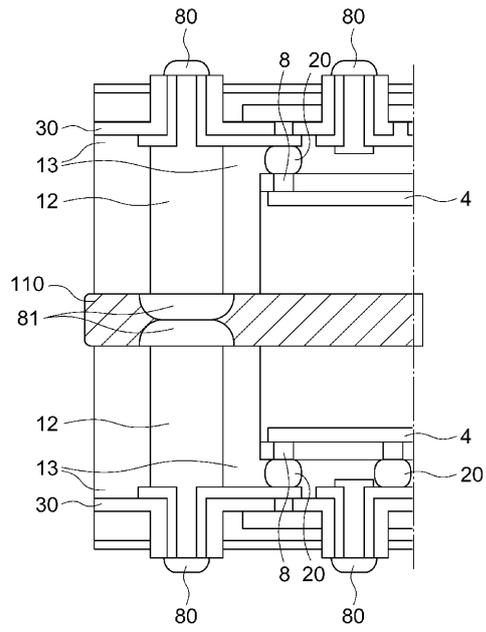
【 図 4 3 】



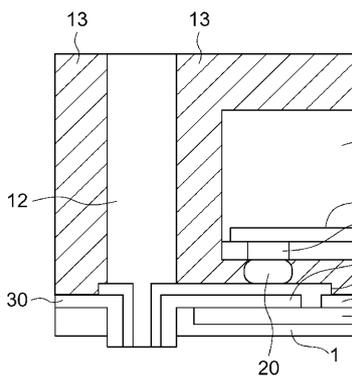
【 図 4 4 】



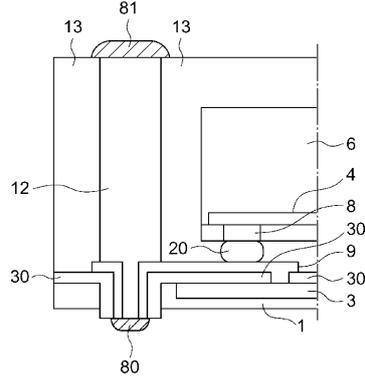
【 図 4 5 】



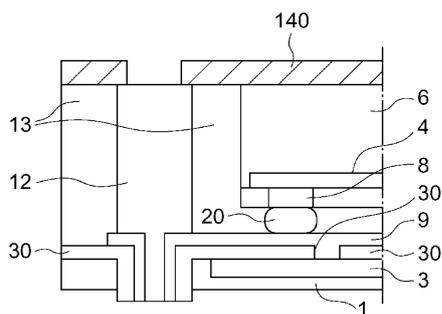
【 図 4 6 】



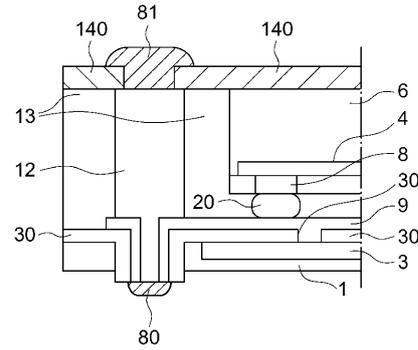
【 図 4 8 】



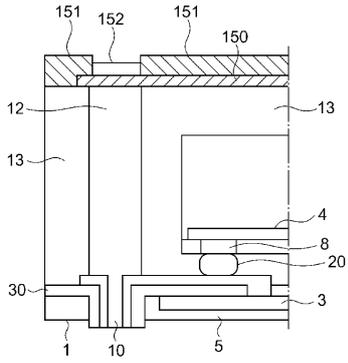
【 図 4 7 】



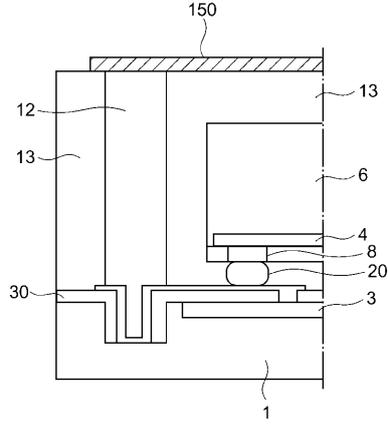
【 図 4 9 】



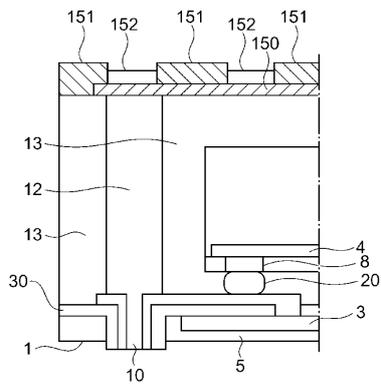
【 図 5 0 】



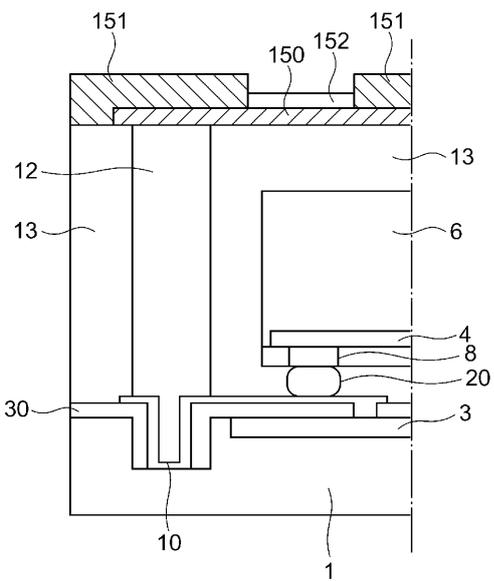
【 図 5 2 】



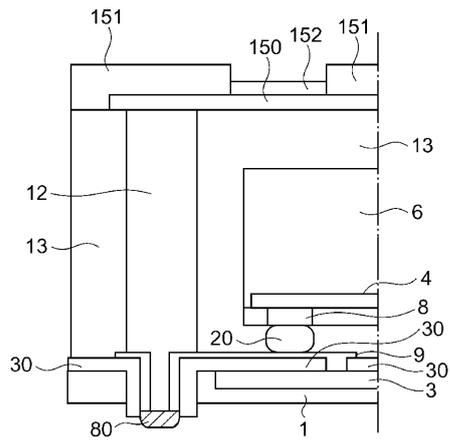
【 図 5 1 】



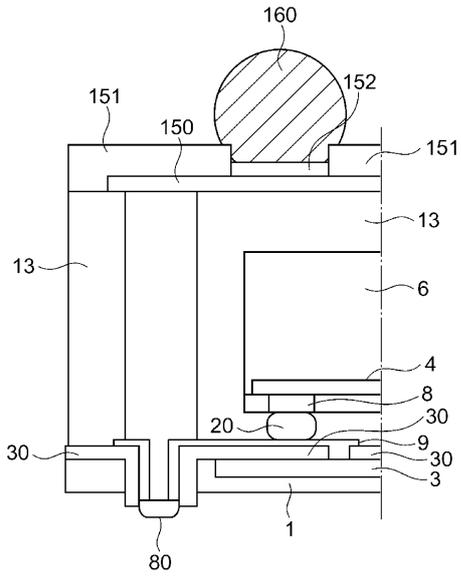
【 図 5 3 】



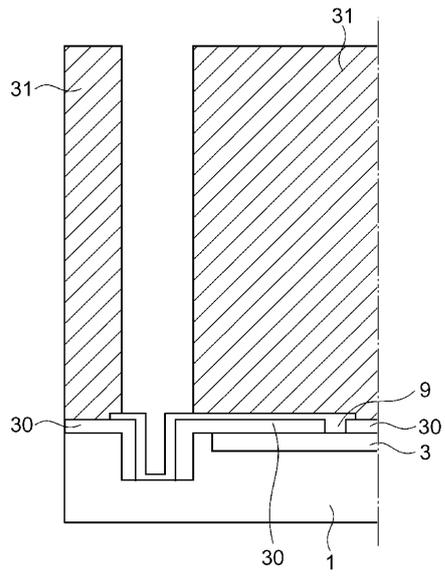
【 図 5 4 】



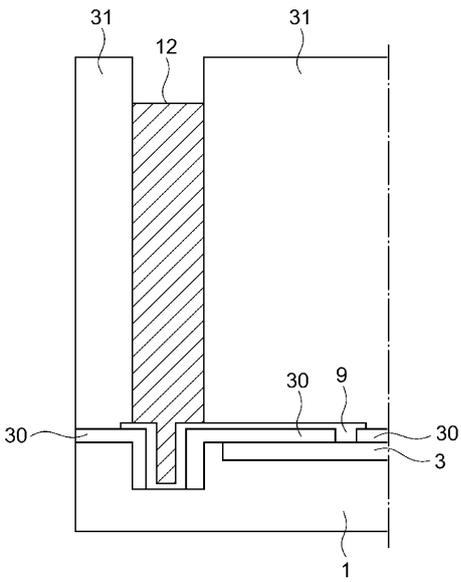
【 図 5 5 】



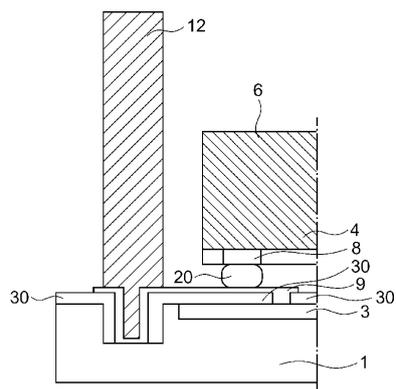
【 図 5 6 】



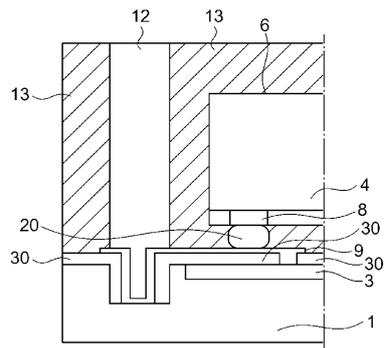
【 図 5 7 】



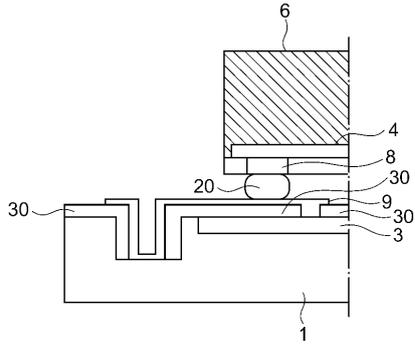
【 図 5 8 】



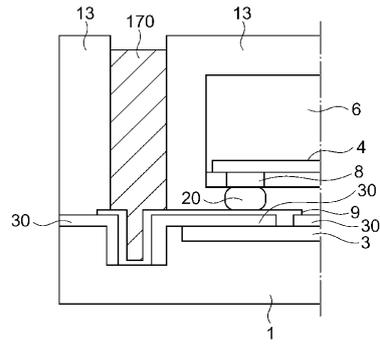
【 図 5 9 】



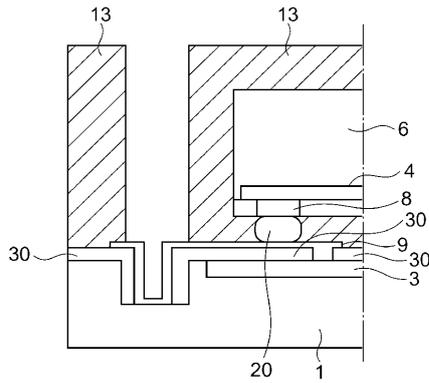
【 図 6 0 】



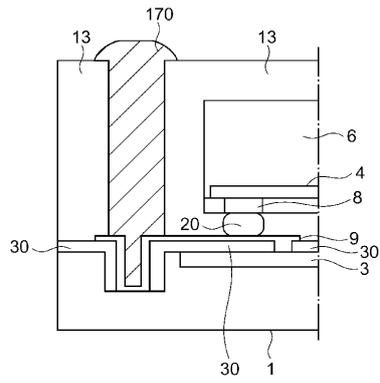
【 図 6 2 】



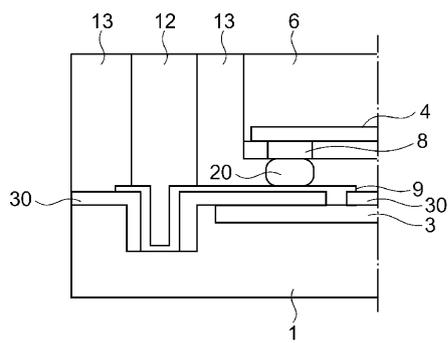
【 図 6 1 】



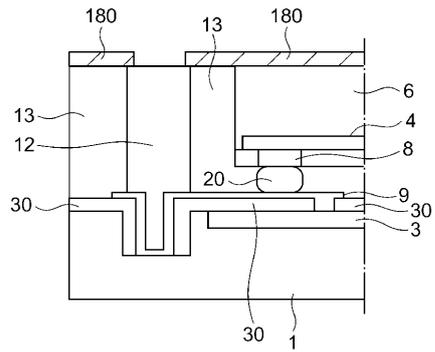
【 図 6 3 】



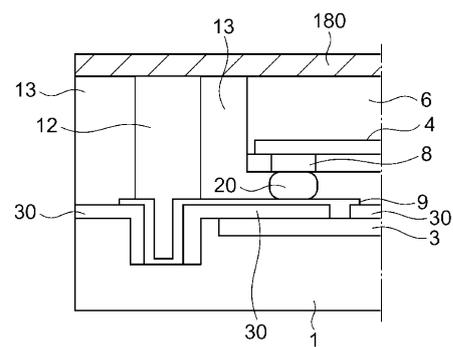
【 図 6 4 】



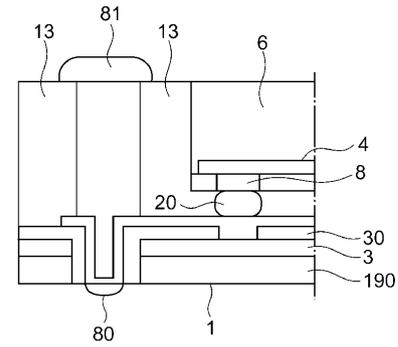
【 図 6 6 】



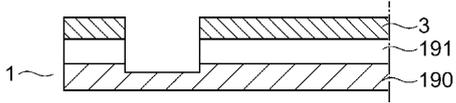
【 図 6 5 】



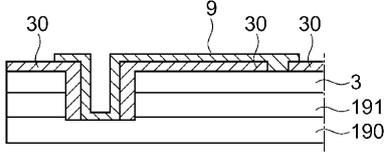
【 図 6 7 】



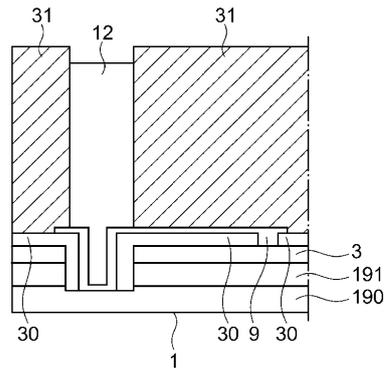
【 図 6 8 】



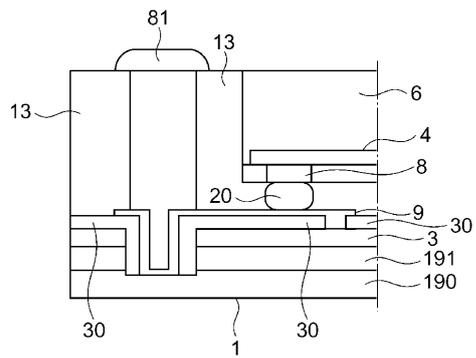
【 図 6 9 】



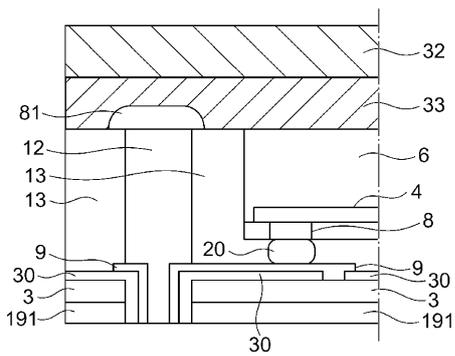
【 図 7 0 】



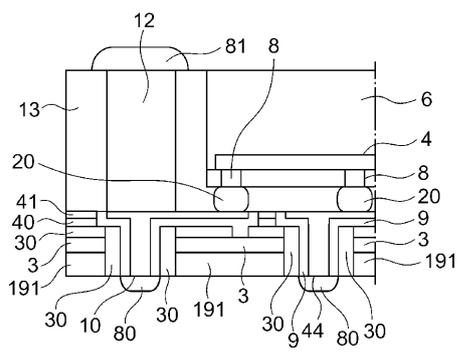
【 図 7 1 】



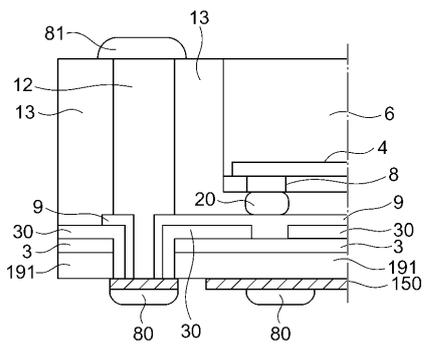
【 図 7 2 】



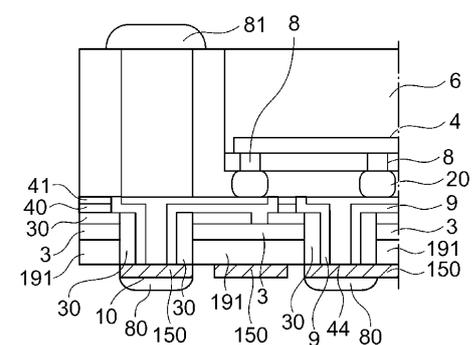
【 図 7 4 】



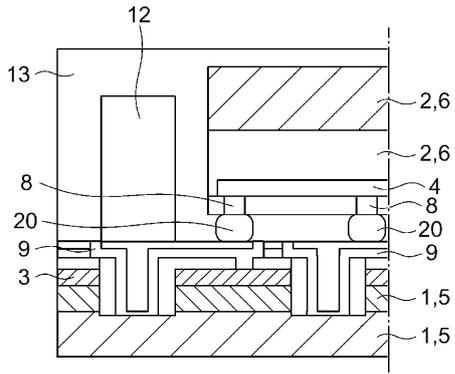
【 図 7 3 】



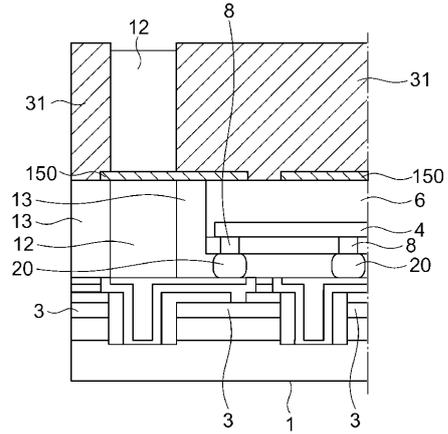
【 図 7 5 】



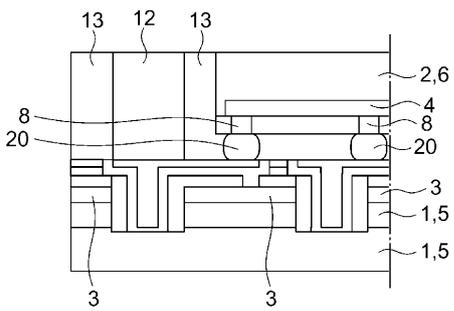
【 図 8 2 】



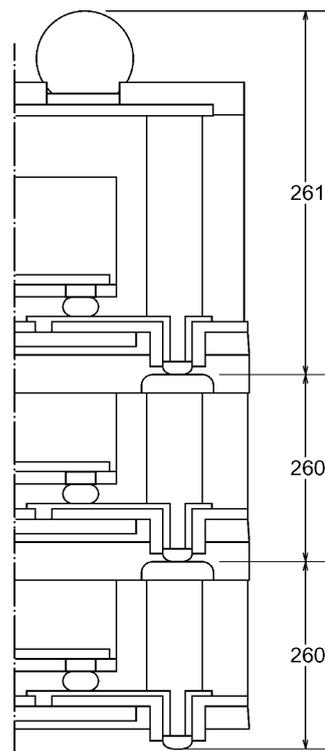
【 図 8 4 】



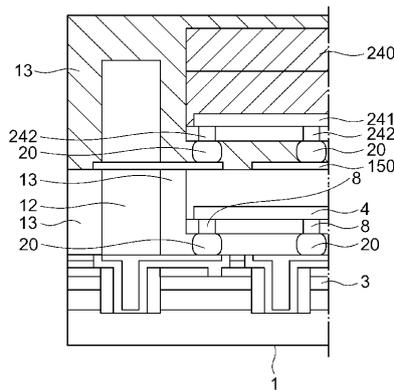
【 図 8 3 】



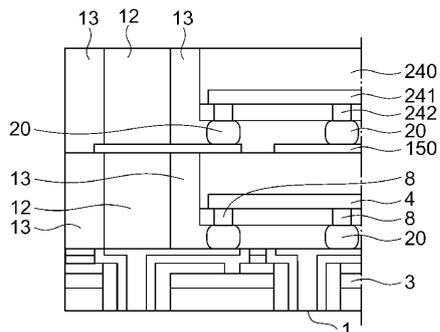
【 図 8 7 】



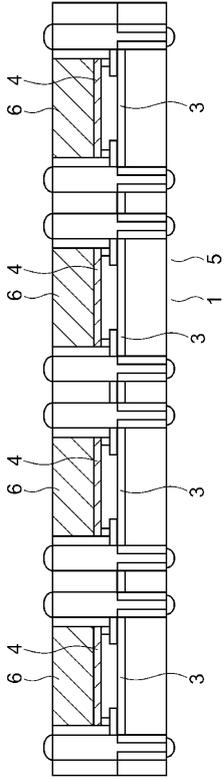
【 図 8 5 】



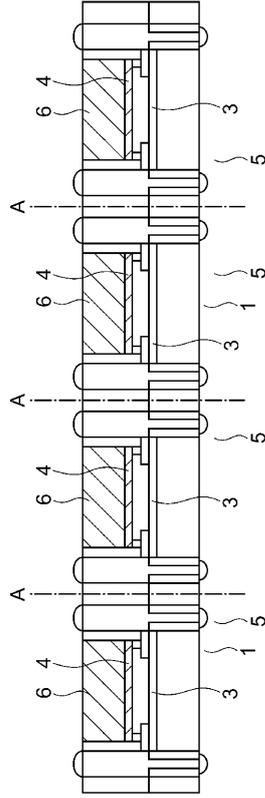
【 図 8 6 】



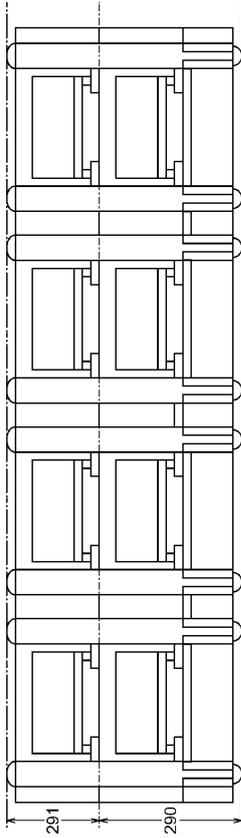
【 88 】



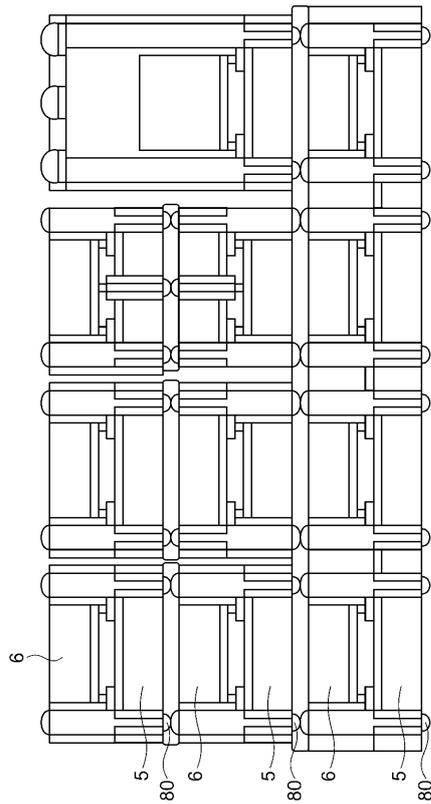
【 89 】



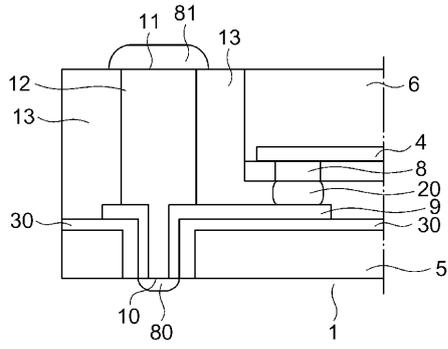
【 90 】



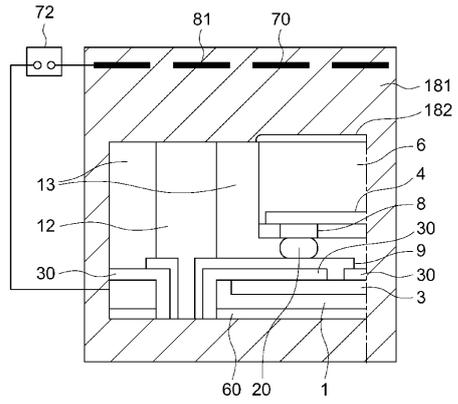
【 91 】



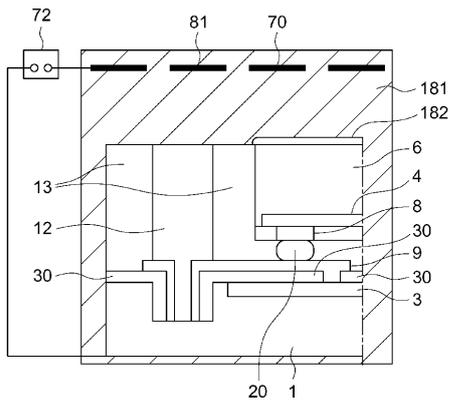
【 図 9 2 】



【 図 9 4 】



【 図 9 3 】



フロントページの続き

- (73)特許権者 000116024
ローム株式会社
京都府京都市右京区西院溝崎町2 1 番地
- (74)代理人 100110423
弁理士 曾我 道治
- (74)代理人 100084010
弁理士 古川 秀利
- (74)代理人 100094695
弁理士 鈴木 憲七
- (74)代理人 100111648
弁理士 梶並 順
- (74)代理人 100113077
弁理士 高橋 省吾
- (72)発明者 根本 義彦
東京都千代田区丸の内二丁目2 番3 号 三菱電機株式会社内
- (72)発明者 谷田 一真
京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
- (72)発明者 高橋 健司
神奈川県川崎市幸区小向東芝町1 番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 今井 拓也

- (56)参考文献 特開2002-016212(JP,A)
特開2001-060658(JP,A)
特開2001-223297(JP,A)
特開2001-326325(JP,A)
特開昭61-297191(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/10
H01L 25/18
H01L 21/3205
H01L 23/52