

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4491375号
(P4491375)

(45) 発行日 平成22年6月30日(2010.6.30)

(24) 登録日 平成22年4月9日(2010.4.9)

(51) Int.Cl.		F I	
GO2F	1/1368	(2006.01)	GO2F 1/1368
GO9F	9/00	(2006.01)	GO9F 9/00 352
HO1L	29/786	(2006.01)	HO1L 29/78 612A

請求項の数 4 (全 20 頁)

(21) 出願番号	特願2005-128471 (P2005-128471)	(73) 特許権者	000004237
(22) 出願日	平成17年4月26日(2005.4.26)		日本電気株式会社
(65) 公開番号	特開2006-308686 (P2006-308686A)		東京都港区芝五丁目7番1号
(43) 公開日	平成18年11月9日(2006.11.9)	(74) 代理人	100109313
審査請求日	平成18年4月17日(2006.4.17)		弁理士 机 昌彦
		(74) 代理人	100121290
			弁理士 木村 明隆
		(74) 代理人	100160554
			弁理士 浅井 俊雄
		(72) 発明者	元島 秀人
			鹿児島県出水市大野原町2080
			鹿児島日本電気株式会社内
		(72) 発明者	下堂 蘭 寿
			鹿児島県出水市大野原町2080
			鹿児島日本電気株式会社内
			最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

アクティブマトリクス基板と対向基板との間に液晶層を挟持する液晶表示装置の製造方法において、前記アクティブマトリクス基板の上方に絶縁膜を形成する工程と、前記絶縁膜上に導電体膜を形成しこれをパターンングすることにより複数の導電体パターンを形成する工程と、前記複数の導電体パターンを少なくとも覆い、かつその周囲の前記絶縁膜を覆うレジスト膜を形成する工程と、前記レジスト膜をマスクに前記アクティブマトリクス基板上方に存在しているパターン残りをエッチングする工程とを備え、

前記絶縁膜はゲート絶縁膜であり、前記導電体パターンは前記ゲート絶縁膜上に形成される、ソース電極、ドレイン電極及びドレイン配線であり、

前記ゲート絶縁膜と前記ソース電極及び前記ドレイン電極との間には薄膜トランジスタのチャネル領域が形成される半導体膜が形成されており、前記レジスト膜をマスクとして、前記導電体パターンのパターン残りを除去する第一のエッチングと、前記半導体膜のパターン残りを除去する第二のエッチングとが順に行われることを特徴とする液晶表示装置の製造方法。

【請求項2】

前記レジスト膜をマスクとしたエッチングは、ウェットエッチングとドライエッチングとを併用したエッチングであることを特徴とする請求項1に記載の液晶表示装置の製造方法。

【請求項3】

前記レジスト膜をマスクとしたエッチングで、前記レジスト膜で覆われていない前記絶縁膜の表面がエッチングされくぼみ部が形成されることを特徴とする請求項 1 又は請求項 2 に記載の液晶表示装置の製造方法。

【請求項 4】

前記レジスト膜を剥離した後で、前記絶縁膜と前記導電体パターンとを覆う層間絶縁膜を形成する工程と、前記層間絶縁膜に前記導電体パターンへ至るコンタクトホールを形成する工程と、前記層間絶縁膜上に画素電極を形成し前記コンタクトホールを介して前記導電体パターンに電氣的に接続する工程とをさらに備えることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、液晶表示装置の製造方法に関し、特に製造過程で付着したゴミに起因するパターン不良を解消させる液晶表示装置の製造方法に関する。

【背景技術】

【0002】

液晶表示装置は、薄型で軽量の利点を有するフラットパネルディスプレイとして、益々利用場面が広がっている。利用場面が広がるにつれて、表示性能の更なる向上が望まれている。表示性能の向上としては、高輝度化、高精細化、高速応答化などがある。また表示品質の向上としては、明点不良や黒点不良などの表示不良の解消が強く望まれている。明点不良は、入力される印加電圧に応じた階調表示ができず、画素が常時点灯した状態となっている現象である。黒点不良は、入力される印加電圧に応じた階調表示ができず、画素が常時消灯した状態で黒色に見える現象である。このような表示不良が発生する原因の一つは、製造過程での異物の混入にある。

20

【0003】

フォトリソグラフィ技術を用いパターンを形成する際に、フォトレジスト材の塗布、露光及び現像を行う。この塗布や露光前にゴミが付着すると、ゴミが付着した箇所で塗布が不均一になったり露光量が不均一になるなどして、設計上は存在しないはずの場所にレジスト残りが生じる。また、現像の際のシミも考えられる。このようなレジスト残りや現像の際のシミが発生した場合、このようなレジストパターンをマスクにエッチングを行い、その後でレジストパターンを剥離するとパターン不良が生じる。このパターン不良では、分離されているべき導電体パターンが連なって、ショートする。また、設計上は存在しないはずの場所にパターン残りが生じると、周りの電極や配線と接触して電極間や配線間のショートを誘発する場合がある。

30

【0004】

このような表示不良のリペア方法としてはレーザー照射を用いるものが知られている。特に、明点不良の画素の電極配線に対してレーザー照射を行って、画素の表示が常に黒表示となるように修復するものである（特許文献 1、特許文献 2 参照）。表示不良としては、常時点灯しているものよりも、常時消灯して黒表示となっているものの方が目立ちにくいので、黒表示となるように修復することで表示不良を緩和させることができる。

40

【0005】

【特許文献 1】特開 2002 - 318393 号公報（段落（0003）乃至段落（0006））

【特許文献 2】特開 2004 - 070182 号公報（段落（0010）乃至段落（0011））

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、レーザー照射による表示不良のリペア方法では、明点不良や黒点不良を液晶表示装置に対して駆動電圧を供給して表示動作をさせる検査を行い、表示不良の画素を

50

特定してリペアを行う必要がある。この場合、電気特性で測定しても低抵抗な半導体膜によるショートや容量結合しているようなときは、検出能力が低く見つけることができない場合がある。また、レーザ照射による表示不良のリペア方法のみに依存しては、表示不良となるパターン不良を内在しているアクティブマトリクス基板を良品と見なして、対向基板とを貼り合わせて液晶表示パネルの形態まで製造を進めてしまうことになるため、後工程まで不良品が流出してしまい、不良率を上げてしまう原因となる。

【0007】

パターン不良箇所は、パターン不良が発生した工程で解消させることが望ましい。不良が発生した工程で解消させるために、パターン不良が見つかった場合には、導電体膜をパターンニングして形成した導電体パターンを一旦エッチングして除去する。一旦除去してから、改めて導電体膜を形成し、パターンニングして複数の導電体パターンを形成するのである。しかしながら、このようなリペア方法では製造工程数が大幅に増加してしまう。

10

[発明の目的]

したがって、本発明の目的は、製造工程数を大幅に増加させることなく、ゴミ付着に起因するパターン不良をリペアできる液晶表示装置の製造方法を提供することにある。

【課題を解決するための手段】

【0008】

上述した目的を達成するために、本発明の液晶表示装置の製造方法は、次の新規な特徴を備える。

【0009】

20

すなわち、本発明の液晶表示装置の製造方法は、アクティブマトリクス基板と対向基板との間に液晶層を挟持する液晶表示装置の製造方法において、上記アクティブマトリクス基板の上方に絶縁膜を形成する工程と、上記絶縁膜上に導電体膜を形成しこれをパターンニングすることにより複数の導電体パターンを形成する工程と、上記複数の導電体パターンを少なくとも覆い、かつその周囲の上記絶縁膜を覆うレジスト膜を形成する工程と、上記レジスト膜をマスクに上記アクティブマトリクス基板上方に存在しているパターン残りをエッチングする工程とを備えることを特徴とする。

【0010】

好ましくは、上記絶縁膜はゲート絶縁膜であり、上記導電体パターンは上記ゲート絶縁膜上に形成される、ソース電極、ドレイン電極及びドレイン配線であることを特徴とする。

30

【0011】

好ましくは、上記レジスト膜をマスクとしたエッチングは、ウェットエッチングとドライエッチングとを併用したエッチングであることを特徴とする。

【0012】

好ましくは、上記レジスト膜をマスクとしたエッチングで、上記レジスト膜で覆われていない上記絶縁膜の表面がエッチングされくぼみ部が形成されることを特徴としている。

【0013】

また好ましくは、上記ゲート絶縁膜と上記ソース電極及び上記ドレイン電極との間には薄膜トランジスタのチャネル領域が形成される半導体膜が形成されており、上記レジスト膜をマスクとして、上記導電体パターンのパターン残りを除去する第一のエッチングと、上記半導体膜のパターン残りを除去する第二のエッチングとが順に行われることを特徴とする。

40

【0014】

好ましくは、上記レジスト膜を剥離した後で、上記絶縁膜と上記導電体パターンとを覆う層間絶縁膜を形成する工程と、上記層間絶縁膜に上記導電体パターンへ至るコンタクトホールを形成する工程と、上記層間絶縁膜上に画素電極を形成し上記コンタクトホールを介して上記導電体パターンに電氣的に接続する工程とをさらに備えることを特徴とする。

[効果をもたらす手段の働き]

複数の導電体パターンを少なくとも覆い、かつその周囲の絶縁膜を覆うレジスト膜を形

50

成し、このレジスト膜をマスクにしたエッチングにより、導電体パターンのパターン残りはエッチングされる。複数の導電体パターン間を跨ってパターン残りが存在していたと仮定しても、存在していたパターン残りは大部分が除去される。

【発明の効果】

【0015】

本発明によれば、導電体パターンをパターン形成するのに続いて、ゴミ付着に起因するパターン不良や表示不良を、不良が発生した工程で解消させることができる。

【0016】

その理由は、パターン残りが除去されて、本来分離されているべき導電体パターンが分離されて、パターン不良や表示不良を生じないように改変することができるからである。さらに、一つのマスクを使ったエッチングにより、複数個所に存在しているパターン残りを一括で除去することができるので、製造工程数の増加を極力抑制しながら、ゴミ付着に起因するパターン不良や表示不良を解消させることができる。

【発明を実施するための最良の形態】

【0017】

本発明の実施の形態について説明する前に、本発明の基本概念について説明する。本発明の液晶表示装置の製造方法では、アクティブマトリクス基板と対向基板との間に液晶層を挟持する液晶表示装置の製造方法において、アクティブマトリクス基板の上方に絶縁膜の一例としてゲート絶縁膜を形成する。さらに、この絶縁膜の一例としてのゲート絶縁膜上に導電体膜を形成する。さらに、この導電体膜をパターニングして複数の導電体パターンの一例としての、ソース電極、ドレイン電極及びドレイン配線などを形成する。さらに、この複数の導電体パターンの一例としてのソース電極、ドレイン電極及びドレイン配線は少なくとも覆い、かつその周囲の上記絶縁膜の一例としてのゲート絶縁膜を覆うレジスト膜を形成する。さらに、このレジスト膜をマスクにアクティブマトリクス基板上方に存在している導電体パターンのパターン残りをエッチングする。このような工程を備えることを特徴とするものである。

(第一の実施の形態)

初めに、本発明の第一実施の形態の液晶表示装置の製造方法について、図面を参照しながら説明する。図1は、本発明の第一の実施形態の液晶表示装置の製造方法を説明するための製造工程順の平面図である。図2は、本発明の第一の実施形態による効果を説明するための製造工程順の平面図である。図3は、図1のTFT114付近の製造工程順の断面図である。

【0018】

第一実施の形態は、本発明をIPS型液晶表示装置に適用した場合である。まず、ガラス基板101上の全面に導電体膜を形成し、これをパターニングすることにより、図1(a)及び図3(a)に示すようにゲート電極102、ゲート配線103、共通電極104及び共通配線105を形成する。図1(a)に示すように、ゲート電極102とゲート配線103とは一体形成されており、ゲート配線103からゲート電極102が分岐して形成されている。また、共通電極104と共通配線105とは一体形成されており、共通配線105から共通電極104が分岐して形成されている。次に、これら電極や配線とガラス基板101を覆うゲート絶縁膜106を形成する。

【0019】

さらに、ノンドーブのa-Si半導体膜とn型不純物がドーブされたn⁺半導体膜を順に成膜して積層構造を形成した後、これをパターニングしてアイランド状の半導体膜107と保護膜108を形成する。半導体膜107はゲート電極102の上方のゲート絶縁膜106上に配置されている。保護膜108は、ゲート配線103とドレイン配線113とが交差する箇所のゲート絶縁膜106上に配置されている。保護膜108は、その後形成されるドレイン配線113がゲート配線103と交差する部分で、ゲート配線103とドレイン配線113との静電耐圧を向上させるために配置している。また、段差で断線するのを防止するために設けている。

10

20

30

40

50

【 0 0 2 0 】

次に、ゲート絶縁膜 1 0 6、半導体膜 1 0 7 や保護膜 1 0 8 を覆うように、導電体膜を形成する。これをパターニングして、図 1 (a) に示すように、ソース電極 1 0 9、ソース配線 1 1 0、画素電極 1 1 1、ドレイン電極 1 1 2 及びドレイン配線 1 1 3 を形成する。このとき、ソース電極 1 0 9 とドレイン電極 1 1 2 との間に露出している半導体膜 1 0 7 の n^+ 半導体膜が除去されて、ソース領域とドレイン領域とがチャンネル領域を挟んで分離される。また、 n^+ 半導体膜の除去の際に、ノンドープの $a-Si$ 半導体膜の表面も一部除去される。

【 0 0 2 1 】

ゲート電極 1 0 2、ゲート絶縁膜 1 0 6、半導体膜 1 0 7、ソース電極 1 0 9 及びドレイン電極 1 1 2 は、TFT (薄膜トランジスタ) 1 1 4 を構成する。図 1 (a) に示すように、ソース電極 1 0 9、ソース配線 1 1 0 及び画素電極 1 1 1 は一体形成されており、ソース配線 1 1 0 から複数の画素電極 1 1 1 が分岐して形成されている。また、ドレイン電極 1 1 2 とドレイン配線 1 1 3 とは一体形成されており、ドレイン配線 1 1 3 からドレイン電極 1 1 3 が分岐して形成されている。画素電極 1 1 1 と共通電極 1 0 4 とは、ゲート絶縁膜 1 0 6 を介してお互いに交互に平行に配置されている。画素電極 1 1 1 と共通電極 1 0 4 との間に電圧を印加することにより、液晶層の液晶分子を平面内で回転させて表示制御を行う。

10

【 0 0 2 2 】

次に、図 1 (b) 及び図 3 (b) に示すようにリペア用のレジスト膜 1 1 5 を形成する。このレジスト膜 1 1 5 は、ソース電極 1 0 9、ソース配線 1 1 0、画素電極 1 1 1、ドレイン電極 1 1 2、ドレイン配線 1 1 3、半導体膜 1 0 7、及び保護膜 1 0 8 を少なくとも覆い、さらにその周囲のゲート絶縁膜 1 0 6 を覆うように形成している。

20

【 0 0 2 3 】

次に、このレジスト膜 1 1 5 をマスクとしたウェットエッチングとドライエッチングとの併用エッチングを順番に行う。このエッチングにより、ゲート絶縁膜 1 0 6 上に存在するパターン残りがエッチングされる。さらにこのエッチングにより、図 3 (c) に示すようにレジスト膜 1 1 5 で覆われていないゲート絶縁膜 1 0 6 がエッチングされて、ゲート絶縁膜 1 0 6 の表面にくぼみ部 1 0 6 a が形成される。

30

【 0 0 2 4 】

次に、パターン残りなどパターン不良が発生した状態で第一実施の形態の製造方法を説明する。まず、ガラス基板 1 0 1 上の全面に導電体膜を形成し、これをパターニングすることにより、図 2 (a) 及び図 3 (a) に示すようにゲート電極 1 0 2、ゲート配線 1 0 3、共通電極 1 0 4 及び共通配線 1 0 5 を形成する。図 2 (a) に示すように、ゲート電極 1 0 2 とゲート配線 1 0 3 は一体形成されており、ゲート配線 1 0 3 からゲート電極 1 0 2 が分岐して形成されている。また、共通電極 1 0 4 と共通配線 1 0 5 は一体形成されており、共通配線 1 0 5 から共通電極 1 0 4 が分岐して形成されている。次に、これら電極や配線とガラス基板 1 0 1 を覆うように、ゲート絶縁膜 1 0 6 を形成する。このゲート絶縁膜 1 0 6 としては例えば、CVD法で形成された、膜厚が 3 0 0 nm ~ 6 0 0 nm の $SiNx$ 膜を用いる。さらに、ノンドープの $a-Si$ 半導体膜と n 型不純物がドープされた n^+ 半導体膜を順に成膜して積層構造を形成した後、フォトリソグラフィ技術を用いてこれをパターニングして、アイランド状の半導体膜 1 0 7 及び保護膜 1 0 8 を形成する。このパターニングのための塗布や露光の前に、図示しないゴミが付着するとレジスト残りが発生し、レジスト残りが発生したレジストパターンでパターニングをすると、半導体膜のパターン残り 1 1 6 が形成される。

40

【 0 0 2 5 】

次に、ゲート絶縁膜 1 0 6、半導体膜 1 0 7 や保護膜 1 0 8 を覆うように、膜厚が 1 0 0 nm ~ 2 5 0 nm の Cr 膜をスパッタ法により形成する。これをドライエッチング、若しくはウェットエッチングとドライエッチングとの併用エッチングによりパターニングして、図 2 (a) に示すように、ソース電極 1 0 9、ソース配線 1 1 0、画素電極 1 1 1、

50

ドレイン電極 112 及びドレイン配線 113 を形成する。ウェットエッチングでは、例えば硝酸系混酸をエッチング液として用いる。ドライエッチングでは、例えば塩素と酸素の混合ガスをエッチングガスとして用いる。このとき、ソース電極 109 とドレイン電極 112 との間に露出している半導体膜 107 の n^+ 半導体膜が除去されて、ソース領域とドレイン領域とがチャネル領域を挟んで分離される。また、 n^+ 半導体膜の除去の際に、ノンドープの a-Si 半導体膜の表面も一部除去される。

【0026】

この Cr 膜のパターニングのための塗布や露光の前に、図示しないゴミが付着するとレジスト残りが発生し、レジスト残りが発生したレジストパターンでパターニングをすると、Cr 膜のパターン残り 117 が形成される。図 2 (a) では、正規の画素電極 111 やドレイン配線 113 の外形と、パターン残り 117 の外形とを理解しやすくするために別個のパターンとして描いている。実際には、一つの Cr 膜からパターニングして、画素電極 111 やドレイン配線 113、パターン残り 117 が形成されているので、これらは同層で一体的に形成されている。

【0027】

ここで、ゴミ付着によるパターン不良について詳しく説明する。ゴミは作業者、製造設備、レジスト膜などに由来するものである。その大きさは、 $3\ \mu\text{m}$ 以上のものを想定している。このようなゴミがパターニングのための塗布や露光の前に付着すると、レジスト残りが発生し、レジスト残りが発生したレジストパターンでパターニングされてしまうため、半導体膜のパターン残り 116 や Cr 膜のパターン残り 117 が形成される。このパターン残り 116 及び 117 は、理解しやすいように多少誇張して大きく描いている。図 2 (a) では、あるパターン残り 116 はソース配線 110 の下に形成されており、他のパターン残り 116 はドレイン配線 113 の下に形成されている。また、あるパターン残り 117 は三つの画素電極 111 に跨るように存在しており、これらをショートさせている。また別のパターン残り 117 は一つの画素電極 111 とドレイン配線 113 に跨るように存在しており、これらをショートさせている。

【0028】

次に、図 2 (b) 及び図 3 (b) に示すようにリペア用のレジスト膜 115 を形成する。このレジスト膜 115 は、ソース電極 109、ソース配線 110、画素電極 111、ドレイン電極 112、ドレイン配線 113、半導体膜 107 及び保護膜 108 を少なくとも覆い、さらにその周囲のゲート絶縁膜 106 を覆うように形成している。具体的には、これら電極や配線、半導体膜の外縁から外側に $0.25\ \mu\text{m} \sim 1.0\ \mu\text{m}$ だけ張り出して、周囲のゲート絶縁膜 106 を覆うように形成する。例えば、各電極又は各配線を覆うレジスト膜は、レジスト膜を露光するためのフォトマスク上で、その幅が各電極又は各配線より $0.5\ \mu\text{m} \sim 1.0\ \mu\text{m}$ だけ太くなるように形成する。

【0029】

次に、このレジスト膜 115 をマスクとしたウェットエッチングとドライエッチングとの併用エッチングを順に行う。これは Cr 膜のパターン残り 117 を除去するためのエッチングである。ウェットエッチングでは、例えば硝酸系混酸をエッチング液として用いる。ドライエッチングでは、例えば塩素と酸素の混合ガスをエッチングガスとして用いる。このようにエッチングを併用する理由は次のとおりである。ウェットエッチングだけではレジスト膜 115 が膨潤して剥がれたりパターン欠損になり、後のエッチングで不良を生じさせるためである。また、ドライエッチングだけではレジスト膜 115 の後退が生じてしまい、正規のパターン (ソース電極 109、ソース配線 110、画素電極 111、ドレイン電極 112 及びドレイン配線 113) までエッチングされる可能性があるからである。また、ドライエッチングは、3 回以上は実施しないようにする。

【0030】

これらのエッチングにより、図 2 (c) に示すように、レジスト膜 115 で覆われていない部分のパターン残り 117 は除去される。これにより、複数の画素電極 111 に跨るように存在していたパターン残り 117 は大部分が除去されて微小なパターン残り 117

aとなる。画素電極111同士は、分離が必要な箇所が分離される。また、画素電極111とドレイン配線113とに跨るように存在していたパターン残り117は大部分が除去されて微小なパターン残り117aとなる。画素電極111とドレイン配線113とは、分離される。

【0031】

次に、このレジスト膜115をマスクとしたドライエッチングを行う。これは半導体膜のパターン残り116を除去するためのエッチングである。例えば、SF₆とHeの混合ガスをエッチングガスとして用いる。このエッチングによりソース配線110やドレイン配線116の下に跨るように存在していたパターン残り116は大部分が除去されて微小なパターン残り116aとなる。図2(c)では、レジスト膜115を剥離した後の状態を示している。

10

【0032】

またこのレジスト膜115をマスクとしたエッチングにより、図3(c)で示したように、レジスト膜115で覆われていないゲート絶縁膜106が25nm程度エッチングされて、ゲート絶縁膜106の表面にくぼみ部106aが形成される。ゲート絶縁膜106の膜厚は、このエッチングによって減少する量を見込んで、膜厚を厚めに成膜する。このように考慮して設計し製造することにより、膜厚減少に起因する、バックライトの透過率のスペクトルがシフトしてパネル表示時に赤く色つく、色つき現象の発生を防止することができる。

【0033】

20

この後は、通常のIPS型液晶表示装置の製造方法と同様にして、図4(a)に示すようなIPS型の液晶表示装置が完成する。簡単に説明すると、図1乃至図3を参照して説明したアクティブマトリクス基板10の表面に配向膜11を形成する。対向基板12の表面には表示領域の中の画素間の領域にマトリクス状やストライプ状の遮光膜13を形成する。遮光膜13で囲まれた画素領域となる部分にはそれぞれカラーフィルタを配置する。カラーフィルタは赤色層14R、緑色層14G及び青色層14Bで構成されている。さらに、カラーフィルタと遮光層13の表面に配向膜11を形成する。さらに、アクティブマトリクス基板10と対向基板12とを液晶層15を挟持した状態で貼り合わせることで、本実施の形態の液晶表示装置が完成する。

【0034】

30

本実施の形態によれば、ソース電極109、ソース配線110、画素電極111、ドレイン電極112及びドレイン配線113のパターニング後に、レジスト膜115をマスクとしたエッチングを行っている。このエッチングによって、ソース電極109、ソース配線110、画素電極111、ドレイン電極112及びドレイン配線113のパターニングの際に形成されたパターン残り117はエッチングされてその大部分が除去され、微小なパターン残り117aとなる。不要なパターン残り117が除去されたので、近接する配線や電極間のショートがなくなり、ゴミに起因するパターン不良を解消させることができる。さらに、レジスト膜115をマスクとしたエッチングによって、半導体膜107及び保護膜108のパターニングの際に形成されたパターン残り116もエッチングされてその大部分が除去され、微小なパターン残り116aとなる。不要なパターン残り116が除去されたので、近接する配線や電極間のショートの可能性が小さくなり、ゴミに起因するパターン不良を解消させることができる。

40

【0035】

さらに、本実施の形態では、このエッチングによって、複数個所のパターン残り117を一括でエッチングするので、製造工程数を極力増やさずに、ゴミに起因するパターン不良を解消できる。さらに、同一のマスクで、複数個所のパターン残り116を一括でエッチングするので、製造工程数を極力増やさずに、ゴミに起因するパターン不良を解消できる。

【0036】

なお、本実施の形態の液晶表示装置は、画素電極111と共通電極104との間に電圧

50

を印加することにより、液晶層の液晶分子を平面内で回転させて表示制御を行う構成のものである。図2(c)に示したものでは、画素電極111の外縁に微小なパターン残り117aが残っているが、パターン残り117aは微小なので表示上認識されることはなく、問題はない。また、パターン残り117aは微小なので、輝度特性上も問題はない。

(第二実施の形態)

次に、本発明の第二実施の形態の液晶表示装置の製造方法について、図面を参照しながら説明する。図5は、本発明の第二の実施形態の液晶表示装置の製造方法を説明するための製造工程順の平面図である。図6-A及び図6-B(d)は、本発明の第二の実施形態による効果を説明するための製造工程順の平面図である。図6-B(e)及び(f)、図6-Cは、図6-AのTFT214付近の製造工程順の断面図である。

10

【0037】

第二実施の形態は、TN型液晶表示装置の製造方法に適用した例である。まず、ガラス基板201上の全面に導電体膜を形成し、これをパターニングすることにより、図5(a)及び図6-B(e)に示すようにゲート電極202、ゲート配線203、共通配線205を形成する。図5(a)に示すように、ゲート電極202とゲート配線203とは一体形成されており、ゲート配線203からゲート電極202が分岐して形成されている。次に、これら電極や配線とガラス基板201を覆うゲート絶縁膜206を形成する。

【0038】

さらに、ノンドーブのa-Si半導体膜とn型不純物がドーブされたn⁺半導体膜とを順に成膜して積層構造を形成した後、これをパターニングしてアイランド状の半導体膜207と保護膜208を形成する。半導体膜207はゲート電極202の上方のゲート絶縁膜206上に配置されている。保護膜208は、その後形成されるドレイン配線213がゲート配線203と交差する部分で、ゲート配線203とドレイン配線213との静電耐圧を向上させるために配置している。また、段差で断線するのを防止するために設けている。

20

【0039】

次に、ゲート絶縁膜206、半導体膜207や保護膜208を覆うように、導電体膜を形成する。これをパターニングして、図5(a)に示すように、ソース電極209、ソース配線210、ドレイン電極212及びドレイン配線213を形成する。このとき、ソース電極209とドレイン電極212との間に露出している半導体膜207のn⁺半導体膜が除去されて、ソース領域とドレイン領域とがチャネル領域を挟んで分離される。また、n⁺半導体膜の除去の際に、ノンドーブのa-Si半導体膜の表面も一部除去される。

30

【0040】

ゲート電極202、ゲート絶縁膜206、半導体膜207、ソース電極209及びドレイン電極212は、TFT(薄膜トランジスタ)214を構成する。図5(a)に示すように、ソース電極209とソース配線210とは一体形成されている。また、ドレイン電極212とドレイン配線213とは一体形成されており、ドレイン配線213からドレイン電極212が分岐して形成されている。

【0041】

次に、図5(b)及び図6-B(f)に示すようにリペア用のレジスト膜215を形成する。このレジスト膜215は、ソース電極209、ソース配線210、ドレイン電極212、ドレイン配線213、半導体膜207及び保護膜208を少なくとも覆い、さらにその周囲のゲート絶縁膜206を覆うように形成している。

40

【0042】

次に、このレジスト膜215をマスクとしたウェットエッチングとドライエッチングとの併用エッチングを順番に行う。このエッチングにより、ゲート絶縁膜206上に存在するパターン残りがエッチングされる。さらにこのエッチングにより、図6-C(g)に示すようにレジスト膜215で覆われていないゲート絶縁膜206がエッチングされて、ゲート絶縁膜206の表面にくぼみ部206aが形成される。

【0043】

50

次に、図6 - C (h) に示すように、全面に層間絶縁膜218が形成される。さらに、図6 - C (i) に示すように、層間絶縁膜218にコンタクトホール219が形成される。さらに、図5 (c) 及び図6 - C (i) に示すように、層間絶縁膜218上に画素電極220が形成され、コンタクトホール219を介してソース電極209に電氣的に接続する。

【0044】

次に、パターン残りなどパターン不良が発生した状態で第二実施の形態の製造方法を説明する。まず、ガラス基板201上の全面に導電体膜を形成し、これをパターニングすることにより、図6 - A (a) 及び図6 - B (e) に示すようにゲート電極202、ゲート配線203及び共通配線205を形成する。図6 - A (a) に示すように、ゲート電極202とゲート配線203は一体形成されており、ゲート配線203からゲート電極202が分岐して形成されている。次に、これら電極や配線とガラス基板201を覆うように、ゲート絶縁膜206を形成する。このゲート絶縁膜206としては例えば、CVD法で形成された、膜厚が300nm~600nmのSiNx膜を用いる。さらに、ノンドープのa-Si半導体膜とn型不純物がドープされたn⁺半導体膜を順に成膜して積層構造を形成した後、これをパターニングしてアイランド状の半導体膜207及び保護膜208を形成する。このパターニングのための塗布や露光の前に、図示しないゴミが付着するとレジスト残りが発生し、レジスト残りが発生したレジストパターンでパターニングをすると、半導体膜のパターン残り216が形成される。

【0045】

次に、ゲート絶縁膜206、半導体膜207や保護膜208を覆うように、膜厚が100nm~250nmのCr膜をスパッタ法により形成する。これをドライエッチング、若しくはウェットエッチングとドライエッチングとの併用エッチングによりパターニングして、図6 - A (a) に示すように、ソース電極209、ソース配線210、ドレイン電極212及びドレイン配線213を形成する。このとき、ソース電極209とドレイン電極212との間に露出している半導体膜207のn⁺半導体膜が除去されて、ソース領域とドレイン領域とがチャネル領域を挟んで分離される。また、n⁺半導体膜の除去の際に、ノンドープのa-Si半導体膜の表面も一部除去される。

【0046】

このCr膜のパターニングのための塗布や露光の前に、図示しないゴミが付着するとレジスト残りが発生し、レジスト残りが発生したレジストパターンでパターニングをすると、Cr膜のパターン残り217が形成される。図6 - A (a) では、正規のソース配線210やドレイン配線213の外形と、パターン残り217の外形とを理解しやすくするために別個のパターンとして描いている。実際には、一つのCr膜からパターニングして、ソース配線210やドレイン配線213、パターン残り217が形成されているので、これらは同層で一体的に形成されている。

【0047】

ここで、ゴミ付着によるパターン不良について詳しく説明する。ゴミは作業者、製造設備、レジスト膜などに由来するものである。その大きさは、3µm以上のものを想定している。このようなゴミがパターニングのための塗布や露光の前に付着すると、レジスト残りが発生し、レジスト残りが発生したレジストパターンでパターニングされてしまうため、半導体膜のパターン残り216やCr膜のパターン残り217が形成される。このパターン残り216及び217は、理解しやすいように多少誇張して大きく描いている。図6 - A (a) では、あるパターン残り216はソース配線210とドレイン配線213の下に跨るよう存在している。他のパターン残り217はソース配線210とドレイン配線213に跨るよう存在しており、これらをショートさせている。

【0048】

次に、図6 - A (b) 及び図6 - B (f) に示すようにリペア用のレジスト膜215を形成する。このレジスト膜215は、ソース電極209、ソース配線210、ドレイン電極212、ドレイン配線213、半導体膜207及び保護膜208を少なくとも覆い、さ

10

20

30

40

50

らにその周囲のゲート絶縁膜 206 を覆うように形成している。具体的には、これら電極や配線、半導体膜の外縁から外側に $0.25\ \mu\text{m} \sim 1.0\ \mu\text{m}$ だけ張り出して、周囲のゲート絶縁膜 206 を覆うように形成する。例えば、各電極又は各配線を覆うレジスト膜は、レジスト膜を露光するためのフォトマスク上で、その幅が各電極又は各配線より $0.5\ \mu\text{m} \sim 1.0\ \mu\text{m}$ だけ太くなるように形成する。

【0049】

次に、このレジスト膜 215 をマスクとしたウェットエッチングとドライエッチングとの併用エッチングを順に行う。これは Cr 膜のパターン残り 217 を除去するためのエッチングである。ウェットエッチングでは、例えば硝酸系混酸をエッチング液として用いる。ドライエッチングでは、例えば塩素と酸素の混合ガスをエッチングガスとして用いる。このようにエッチングを併用する理由は第一実施の形態で説明したとおりである。このエッチングにより、図 6 - A (c) に示すように、レジスト膜 215 で覆われていない部分のパターン残り 217 は除去される。これにより、ソース配線 210 とドレイン配線 213 とに跨るように存在していたパターン残り 217 は大部分が除去されて微小なパターン残り 217 a となる。ソース配線 210 とドレイン配線 213 とは、分離される。

【0050】

次に、このレジスト膜 215 をマスクとしたドライエッチングを行う。これは半導体膜のパターン残り 216 を除去するためのエッチングである。例えば、 SF_6 と He の混合ガスをエッチングガスとして用いる。このエッチングによりソース配線 210 やドレイン配線 213 の下に跨るように存在していたパターン残り 216 は大部分が除去されて微小なパターン残り 216 a となる。図 6 - A (c) では、レジスト膜 215 を剥離した後の状態を示している。

【0051】

またこのレジスト膜 215 をマスクとしたエッチングにより、図 6 - C (g) で示したように、レジスト膜 215 で覆われていないゲート絶縁膜 206 が $25\ \text{nm}$ 程度エッチングされて、ゲート絶縁膜 206 の表面にくぼみ部 206 a が形成される。ゲート絶縁膜 206 の膜厚は、このエッチングによって減少する量を見込んで、膜厚を厚めに成膜する。このように考慮して設計し製造することにより、膜厚減少に起因する、バックライトの透過率のスペクトルがシフトしてパネル表示時に赤く色つく、色つき現象の発生を防止することができる。

【0052】

次に、図 6 - C (h) に示すように、全面に層間絶縁膜 218 が形成される。さらに、図 6 - C (i) に示すように、層間絶縁膜 218 にコンタクトホール 219 が形成される。さらに、図 6 - B (d) 及び図 6 - C (i) に示すように、層間絶縁膜 218 上に画素電極 220 が形成され、コンタクトホール 219 を介してソース電極 209 に電氣的に接続する。

【0053】

この後は、通常の TN 型液晶表示装置の製造方法と同様にして、図 4 (b) に示すような TN 型の液晶表示装置が完成する。簡単に説明すると、図 5、図 6 - A 乃至図 6 - C で説明したアクティブマトリクス基板 20 の表面に配向膜 21 を形成する。対向基板 22 の表面には表示領域の中の画素間の領域にマトリクス状やストライプ状の遮光膜 23 を形成する。遮光膜 23 で囲まれた画素領域となる部分にはそれぞれカラーフィルタを配置する。カラーフィルタは赤色層 24 R、緑色層 24 G 及び青色層 24 B で構成されている。さらに、カラーフィルタと遮光層 23 の表面に対向電極 25 を形成する。さらに、対向電極 25 の表面に配向膜 21 を形成する。さらに、アクティブマトリクス基板 20 と対向基板 22 とを液晶層 26 を挟持した状態で貼り合わせることにより、本実施の形態の液晶表示装置が完成する。この TN 型の液晶表示装置では、アクティブマトリクス基板 20 の画素電極と対向基板 22 の対向電極 25 との間に電圧を印加することにより、液晶層の液晶分子の傾斜を制御することにより表示を行う。

【0054】

本実施の形態によれば、ソース電極 209、ソース配線 210、ドレイン電極 212 及びドレイン配線 213 のパターンニング後に、レジスト膜 215 をマスクとしたエッチングを行っている。このエッチングによって、ソース電極 209、ソース配線 210、ドレイン電極 212 及びドレイン配線 213 のパターンニングの際に形成されたパターン残り 217 はエッチングされてその大部分が除去され、微小なパターン残り 217a となる。不要なパターン残り 217 が除去されたので、近接する配線や電極間のショートがなくなり、ゴミに起因するパターン不良を解消させることができる。さらに、レジスト膜 215 をマスクとしたエッチングによって、半導体膜 207 及び保護膜 208 のパターンニングの際に形成されたパターン残り 216 もエッチングされてその大部分が除去され、微小なパターン残り 216a となる。不要なパターン残り 216 が除去されたので、近接する配線や電極間のショートがなくなり、ゴミに起因するパターン不良を解消させることができる。

10

【0055】

さらに、本実施の形態では、このエッチングによって、複数個所のパターン残り 217 を一括でエッチングするので、製造工程数を極力増やさずに、ゴミに起因するパターン不良を解消できる。さらに、同一のマスクで、複数個所のパターン残り 216 を一括でエッチングするので、製造工程数を極力増やさずに、ゴミに起因するパターン不良を解消できる。

(第三実施の形態)

次に、本発明の第三実施の形態の液晶表示装置の製造方法について、図面を参照しながら説明する。図 7 は、本発明の第三の実施形態の液晶表示装置の製造方法を説明するための製造工程順の平面図である。図 8 - A 及び図 8 - B (d) は、本発明の第三の実施形態による効果を説明するための製造工程順の平面図である。図 8 - B (e) 及び (f)、図 8 - C は、図 8 - A の TFT 314 付近の製造工程順の断面図である。

20

【0056】

第三実施の形態は、IPS 型液晶表示装置の製造方法に適用した例である。第一実施の形態の IPS 型液晶表示装置では、画素電極と共通電極とを異なるレイヤーに配置した構造のものであるのに対し、第三実施の形態の IPS 型液晶表示装置では画素電極と共通電極とが同じレイヤーに配置した構造のものである。

【0057】

まず、ガラス基板 301 上の全面に導電体膜を形成し、これをパターンニングすることにより、図 7 (a) 及び図 8 - B (e) に示すようにゲート電極 302、ゲート配線 303、共通配線 305 を形成する。図 7 (a) に示すように、ゲート電極 302 とゲート配線 303 とは一体形成されており、ゲート配線 303 からゲート電極 302 が分岐して形成されている。次に、これら電極や配線とガラス基板 301 を覆うように、ゲート絶縁膜 306 を形成する。

30

【0058】

さらに、ノンドープの a-Si 半導体膜と n 型不純物がドープされた n⁺ 半導体膜とを順に成膜して積層構造を形成した後、これをパターンニングしてアイランド状の半導体膜 307 と保護膜 308 を形成する。半導体膜 307 はゲート電極 302 の上方のゲート絶縁膜 306 上に配置されている。保護膜 308 は、その後に形成されるドレイン配線 313 がゲート配線 303 と交差する部分で、ゲート配線 303 とドレイン配線 313 との静電耐圧を向上させるために配置している。また、段差で断線するのを防止するために設けている。

40

【0059】

次に、ゲート絶縁膜 306、半導体膜 307 や保護膜 308 を覆うように、導電体膜を形成する。これをパターンニングして、図 7 (a) に示すように、ソース電極 309、ソース配線 310、ドレイン電極 312 及びドレイン配線 313 を形成する。このとき、ソース電極 309 とドレイン電極 312 との間に露出している半導体膜 307 の n⁺ 半導体膜が除去されて、ソース領域とドレイン領域とがチャネル領域を挟んで分離される。また、n⁺ 半導体膜の除去の際に、ノンドープの a-Si 半導体膜の表面も一部除去される。

50

【 0 0 6 0 】

ゲート電極 3 0 2、ゲート絶縁膜 3 0 6、半導体膜 3 0 7、ソース電極 3 0 9 及びドレイン電極 3 1 2 は、T F T (薄膜トランジスタ) 3 1 4 を構成する。図 7 (a) に示すように、ソース電極 3 0 9 とソース配線 3 1 0 とは一体形成されている。また、ドレイン電極 3 1 2 とドレイン配線 3 1 3 とは一体形成されており、ドレイン配線 3 1 3 からドレイン電極 3 1 2 が分岐して形成されている。

【 0 0 6 1 】

次に、図 7 (b) 及び図 8 - B (f) に示すようにリペア用のレジスト膜 3 1 5 を形成する。このレジスト膜 3 1 5 は、ソース電極 3 0 9、ソース配線 3 1 0、ドレイン電極 3 1 2、ドレイン配線 3 1 3、半導体膜 3 0 7 及び保護膜 3 0 8 を少なくとも覆い、さらにその周囲のゲート絶縁膜 3 0 6 を覆うように形成している。

10

【 0 0 6 2 】

次に、このレジスト膜 3 1 5 をマスクとしたウェットエッチングとドライエッチングとの併用エッチングを順番に行う。このエッチングにより、ゲート絶縁膜 3 0 6 上に存在するパターン残りがエッチングされる。さらにこのエッチングにより、図 8 - C (g) に示すようにレジスト膜 3 1 5 で覆われていないゲート絶縁膜 3 0 6 がエッチングされて、ゲート絶縁膜 3 0 6 の表面にくぼみ部 3 0 6 a が形成される。

【 0 0 6 3 】

次に、図 8 - C (h) に示すように、全面に層間絶縁膜 3 1 8 が形成される。さらに、図 8 - C (i) に示すように、層間絶縁膜 3 1 8 にソース配線 3 1 0 に至るコンタクトホール 3 1 9 a が形成される。このときに、図示していない、層間絶縁膜 3 1 8 及びゲート絶縁膜 3 0 6 を貫通して共通配線 3 0 5 に至るコンタクトホールを形成する。さらに、層間絶縁膜 3 1 8 上に I T O などの透明導電膜を形成し、これをパターンングすることにより、図 7 (c) 及び図 8 - C (i) に示すように、層間絶縁膜 3 1 8 上に画素電極 3 2 0 が形成され、コンタクトホール 3 1 9 a を介してソース電極 3 0 9 に電氣的に接続する。このときに、層間絶縁膜 3 1 8 上に共通電極 3 2 1 が形成され、図示していないコンタクトホールを介して共通配線 3 0 5 に電氣的に接続する。画素電極 3 2 0 と共通電極 3 2 1 とは、層間絶縁膜 3 1 8 上にお互いに交互に平行に配置されている。画素電極 3 2 0 と共通電極 3 2 1 との間に電圧を印加することにより、液晶層の液晶分子を平面内で回転させて表示制御を行う。

20

30

【 0 0 6 4 】

次に、パターン残りなどパターン不良が発生した状態で第三実施の形態の製造方法を説明する。まず、ガラス基板 3 0 1 上の全面に導電体膜を形成し、これをパターンングすることにより、図 8 - A (a) 及び図 8 - B (e) に示すようにゲート電極 3 0 2、ゲート配線 3 0 3 及び共通配線 3 0 5 を形成する。図 8 - A (a) に示すように、ゲート電極 3 0 2 とゲート配線 3 0 3 は一体形成されており、ゲート配線 3 0 3 からゲート電極 3 0 2 が分岐して形成されている。次に、これら電極や配線とガラス基板 3 0 1 を覆うように、ゲート絶縁膜 3 0 6 を形成する。このゲート絶縁膜 3 0 6 としては例えば、C V D 法で形成された、膜厚が 3 0 0 n m ~ 6 0 0 n m の S i N x 膜を用いる。さらに、ノンドープの a - S i 半導体膜と n 型不純物がドープされた n + 半導体膜を順に成膜して積層構造を形成した後、これをパターンングしてアイランド状の半導体膜 3 0 7 及び保護膜 3 0 8 を形成する。このパターンングのための塗布や露光の前に、図示しないゴミが付着するとレジスト残りが発生し、レジスト残りが発生したレジストパターンでパターンングをすると、半導体膜のパターン残り 3 1 6 が形成される。

40

【 0 0 6 5 】

次に、ゲート絶縁膜 3 0 6、半導体膜 3 0 7 や保護膜 3 0 8 を覆うように、膜厚が 1 0 0 n m ~ 2 5 0 n m の C r 膜をスパッタ法により形成する。これをドライエッチング、若しくはウェットエッチングとドライエッチングとの併用エッチングによりパターンングして、図 8 - A (a) に示すように、ソース電極 3 0 9、ソース配線 3 1 0、ドレイン電極 3 1 2 及びドレイン配線 3 1 3 を形成する。このとき、ソース電極 3 0 9 とドレイン電極

50

312との間に露出している半導体膜307の n^+ 半導体膜が除去されて、ソース領域とドレイン領域とがチャンネル領域を挟んで分離される。また、 n^+ 半導体膜の除去の際に、ノンドープの $a-Si$ 半導体膜の表面も一部除去される。

【0066】

このCr膜のパターニングのための塗布や露光の前に、図示しないゴミが付着するとレジスト残りが発生し、レジスト残りが発生したレジストパターンでパターニングをすると、Cr膜のパターン残り317が形成される。図8-A(a)では、正規のソース配線310やドレイン配線313の外形と、パターン残り317の外形とを理解しやすくするために別個のパターンとして描いている。実際には、一つのCr膜からパターニングして、ソース配線310やドレイン配線313、パターン残り317が形成されているので、これらは同層で一体的に形成されている。

10

【0067】

ここで、ゴミ付着によるパターン不良について詳しく説明する。ゴミは作業者、製造設備、レジスト膜などに由来するものである。その大きさは、 $3\mu\text{m}$ 以上のものを想定している。このようなゴミがパターニングのための塗布や露光の前に付着すると、レジスト残りが発生し、レジスト残りが発生したレジストパターンでパターニングされてしまうため、半導体膜のパターン残り316やCr膜のパターン残り317が形成される。このパターン残り316及び317は、理解しやすいように多少誇張して大きく描いている。図8-A(a)では、あるパターン残り316はソース配線310とドレイン配線313の下に跨るように存在している。他のパターン残り317はソース配線310とドレイン配線313に跨るように存在しており、これらをショートさせている。

20

【0068】

次に、図8-A(b)及び図8-B(f)に示すようにリペア用のレジスト膜315を形成する。このレジスト膜315は、ソース電極309、ソース配線310、ドレイン電極312、ドレイン配線313、半導体膜307及び保護膜308を少なくとも覆い、さらにその周囲のゲート絶縁膜306を覆うように形成している。具体的には、これら電極や配線、半導体膜の外縁から外側に $0.25\mu\text{m}\sim 1.0\mu\text{m}$ だけ張り出して、周囲のゲート絶縁膜306を覆うように形成する。例えば、各電極又は各配線を覆うレジスト膜は、レジスト膜を露光するためのフォトマスク上で、その幅が各電極又は各配線より $0.5\mu\text{m}\sim 1.0\mu\text{m}$ だけ太くなるように形成する。

30

【0069】

次に、このレジスト膜315をマスクとしたウェットエッチングとドライエッチングとの併用エッチングを順に行う。これはCr膜のパターン残り317を除去するためのエッチングである。ウェットエッチングでは、例えば硝酸系混酸をエッチング液として用いる。ドライエッチングでは、例えば塩素と酸素の混合ガスをエッチングガスとして用いる。このようにエッチングを併用する理由は第一実施の形態で説明したとおりである。このエッチングにより、図8-A(c)に示すように、レジスト膜315で覆われていない部分のパターン残り317は除去される。これにより、ソース配線310とドレイン配線313とに跨るように存在していたパターン残り317は大部分が除去されて微小なパターン残り317aとなる。ソース配線310とドレイン配線313とは、分離される。

40

【0070】

次に、このレジスト膜315をマスクとしたドライエッチングを行う。これは半導体膜のパターン残り316を除去するためのエッチングである。例えば、 SF_6 とHeの混合ガスをエッチングガスとして用いる。このエッチングによりソース配線310やドレイン配線316の下に跨るように存在していたパターン残り316は大部分が除去されて微小なパターン残り316aとなる。図8-A(c)では、レジスト膜315を剥離した後の状態を示している。

【0071】

またこのレジスト膜315をマスクとしたエッチングにより、図8-C(g)で示したように、レジスト膜315で覆われていないゲート絶縁膜306が 25nm 程度エッチン

50

グされて、ゲート絶縁膜 306 の表面にくぼみ部 306a が形成される。ゲート絶縁膜 306 の膜厚は、このエッチングによって減少する量を見込んで、膜厚を厚めに成膜する。このように考慮して設計し製造することにより、膜厚減少に起因する、バックライトの透過率のスペクトルがシフトしてパネル表示時に赤く色つく、色つき現象の発生を防止することができる。

【0072】

次に、図 8 - C (h) に示すように、全面に層間絶縁膜 318 が形成される。さらに、図 8 - C (i) に示すように、層間絶縁膜 318 にソース配線 310 に至るコンタクトホール 319a が形成される。このときに、図示していないが層間絶縁膜 318 及びゲート絶縁膜 306 を貫通して共通配線 305 に至るコンタクトホールを形成する。さらに、層間絶縁膜 318 上に ITO などの透明導電膜を形成し、これをパターニングすることにより、図 7 (c) 及び図 8 - C (i) に示すように、層間絶縁膜 318 上に画素電極 320 が形成され、コンタクトホール 319a を介してソース電極 309 に電氣的に接続する。このときに、層間絶縁膜 318 上に共通電極 321 が形成され、図示していないコンタクトホールを介して共通配線 305 に電氣的に接続する。

10

【0073】

この後は、通常の IPS 型液晶表示装置の製造方法と同様にして、図 4 (a) に示すような IPS 型の液晶表示装置が完成する。簡単に説明すると、図 7、図 8 - A 乃至図 8 - C で説明したアクティブマトリクス基板 10 の表面に配向膜 11 を形成する。対向基板 12 の表面には表示領域の中の画素間の領域にマトリクス状やストライプ状の遮光膜 13 を形成する。遮光膜 13 で囲まれた画素領域となる部分にはそれぞれカラーフィルタを配置する。カラーフィルタは赤色層 14R、緑色層 14G 及び青色層 14B で構成されている。さらに、カラーフィルタと遮光層 13 の表面に配向膜 11 を形成する。さらに、アクティブマトリクス基板 10 と対向基板 12 とを液晶層 15 を挟持した状態で貼り合わせることにより、本実施の形態の液晶表示装置が完成する。

20

【0074】

本実施の形態によれば、ソース電極 309、ソース配線 310、ドレイン電極 312 及びドレイン配線 313 のパターニング後に、レジスト膜 315 をマスクとしたエッチングを行っている。このエッチングによって、ソース電極 309、ソース配線 310、ドレイン電極 312 及びドレイン配線 313 のパターニングの際に形成されたパターン残り 317 はエッチングされてその大部分が除去され、微小なパターン残り 317a となる。不要なパターン残り 317 が除去されたので、近接する配線や電極間のショートがなくなり、ゴミに起因するパターン不良を解消させることができる。さらに、レジスト膜 315 をマスクとしたエッチングによって、半導体膜 307 及び保護膜 308 のパターニングの際に形成されたパターン残り 316 もエッチングされてその大部分が除去され、微小なパターン残り 316a となる。不要なパターン残り 316 が除去されたので、近接する配線や電極間のショートがなくなり、ゴミに起因するパターン不良を解消させることができる。

30

【0075】

さらに、本実施の形態では、このエッチングによって、複数個所のパターン残り 317 を一括でエッチングするので、製造工程数を極力増やさずに、ゴミに起因するパターン不良を解消できる。さらに、同一のマスクで、複数個所のパターン残り 316 を一括でエッチングするので、製造工程数を極力増やさずに、ゴミに起因するパターン不良を解消できる。

40

(発明の拡張)

以上、好ましい実施の形態について説明したが、本発明は上述した実施の形態に限られるものではなく、様々な変更や他構造への適用が可能である。

【0076】

上述した実施の形態では、絶縁膜上に形成される導電体膜として Cr 膜を用いた場合で説明した。しかしながら、他の材質又は層構造とすることも可能である。例えば、Al 合金 / Mo 合金の積層構造を用いることも考えられる。このとき、Al 合金 / Mo 合金の積

50

層構造のパターニングには、例えば燐酸、酢酸及び硝酸による混合液によるウェットエッチングを用いる。さらに、その後のパターン不良を解消させるためのパターン残りのエッチングにおいても、燐酸、酢酸及び硝酸による混合液によるウェットエッチングを用いる。

【0077】

また絶縁膜の一例としてのゲート絶縁膜としてSiNx膜を用いた場合で説明した。しかしながら、他の材質又は層構造とすることも可能である。例えば、SiNx膜/SiOx膜の積層膜を用いることも考えられる。このとき、SiNx膜の膜厚は例えば400nmとし、SiOx膜の膜厚は例えば100nmとする。この場合でも、レジスト膜115、215又は315をマスクとしたリペア用のエッチングで、ゲート絶縁膜の表面がエッチングされることを考慮して膜厚を設計する。

10

【0078】

また、上述した実施の形態では、アクティブマトリクス基板のうち表示領域へ適用した場合について説明した。しかしながら、アクティブマトリクス基板の表示領域の周りの周辺領域へも本発明を適用することが可能である。周辺領域には、外部接続端子、外部接続端子と上述した実施の形態で取り上げたゲート配線、共通配線やドレイン配線とをつなぐ引き出し配線、ゲート配線やドレイン配線の静電気による損傷を軽減するための静電保護回路、やゲート配線とドレイン配線とを交差させる必要がある箇所配線層の変換を行う配線変換部などが配置されている。ゴミの付着によるパターン不良は、表示領域だけでなくこれらが配置される周辺領域でも起き得るので、本発明はこのような周辺領域の導電体パターンへも適用が可能である。適用することにより、導電体パターンのパターン残りはその大部分が除去されて、微小なパターン残りとなる。これにより、ゴミに起因するパターン不良を解消させることができる。また、製造工程数を極力増やさないで、ゴミに起因するパターン不良を解消できる。

20

【0079】

さらに、本発明では、表示領域のパターン残りと同様領域のパターン残りとを同時に一つのマスクでエッチングすることができ、製造工程数を極力増やさないで、ゴミに起因するパターン不良を解消できる。仮に、表示領域や周辺領域のゲート絶縁膜上に多数のパターン残りが存在していたとしても、本発明ではこれらを一括で同時に除去して微小なパターン残りにすることができる。よって、ゴミに起因するパターン不良を一括で解消させることができる。

30

【0080】

さらに、本発明の特徴である、レジスト膜115、215及び315をマスクとしたエッチングは、パターン不良や表示不良を検出する検査をその都度行ってその結果に応じて行うのではなく、製造される全てのアクティブマトリクス基板に対して無条件に行うようにするとよい。このようにすれば、量産過程で製造される複数のアクティブマトリクス基板同士で、ゲート絶縁膜の厚さは同一になり、膜厚の相違に起因する、バックライトの透過率のスペクトルのシフト量を同一にすることができ、製造される複数のアクティブマトリクス基板間での色味のばらつきをなくすることができる。

【0081】

40

また、上述の実施形態では、液晶層を挟持した状態でアクティブマトリクス基板と対向基板とを貼り合わせる製造方法で説明した。しかしながら、アクティブマトリクス基板と対向基板とを貼り合わせた後に、液晶材を基板間に注入する方法も用いることができる。

【図面の簡単な説明】

【0082】

【図1】本発明の第一の実施形態の液晶表示装置の製造方法を説明するための製造工程順の平面図である。

【図2】本発明の第一の実施形態による効果を説明するための製造工程順の平面図である。

【図3】図1のTFT114付近の製造工程順の断面図である。

50

【図4】(a)はIPS型の液晶表示装置の断面図であり、(b)はTN型の液晶表示装置の断面図である。

【図5】本発明の第二の実施形態の液晶表示装置の製造方法を説明するための製造工程順の平面図である。

【図6-A】本発明の第二の実施形態による効果を説明するための製造工程順の平面図である。

【図6-B】(d)は図6-Aに続く、本発明の第二の実施形態による効果を説明するための平面図であり、(e)及び(f)は図6-AのTFT214付近の製造工程順の断面図である。

【図6-C】図6-B(f)に続く、図6-AのTFT214付近の製造工程順の断面図である。

10

【図7】本発明の第三の実施形態の液晶表示装置の製造方法を説明するための製造工程順の平面図である。

【図8-A】本発明の第三の実施形態による効果を説明するための製造工程順の平面図である。

【図8-B】(d)は図8-Aに続く、本発明の第三の実施形態による効果を説明するための平面図であり、(e)及び(f)は図8-AのTFT314付近の製造工程順の断面図である。

【図8-C】図8-B(f)に続く、図8-AのTFT314付近の製造工程順の断面図である。

20

【符号の説明】

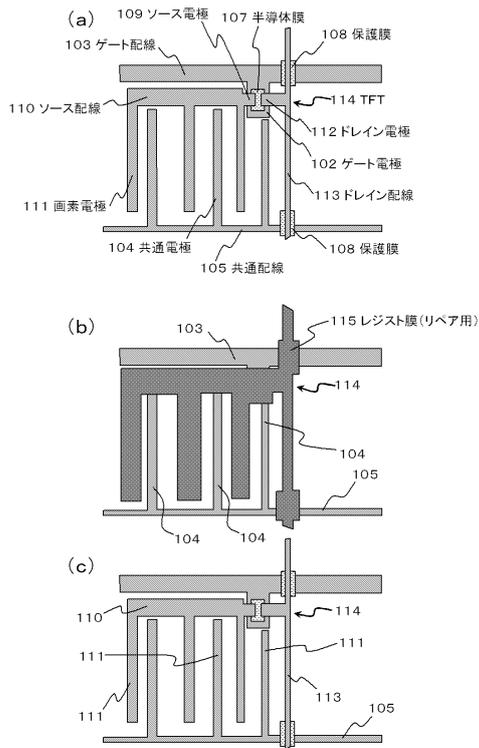
【0083】

- 101 ガラス基板
- 102 ゲート電極
- 103 ゲート配線
- 104 共通電極
- 105 共通配線
- 106 ゲート絶縁膜
- 107 半導体膜
- 108 保護膜
- 109 ソース電極
- 110 ソース配線
- 111 画素電極
- 112 ドレイン電極
- 113 ドレイン配線
- 114 TFT(薄膜トランジスタ)
- 115 レジスト膜
- 116 パターン残り
- 116 a パターン残り(エッチング後)
- 117 パターン残り
- 117 a パターン残り(エッチング後)

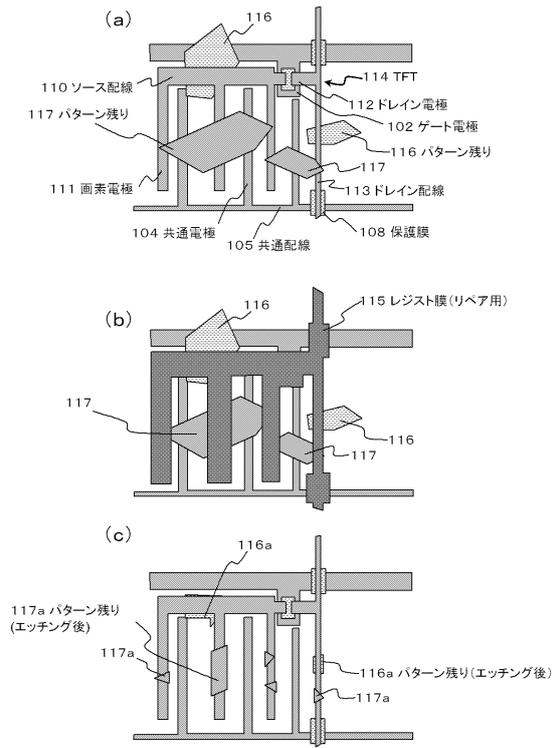
30

40

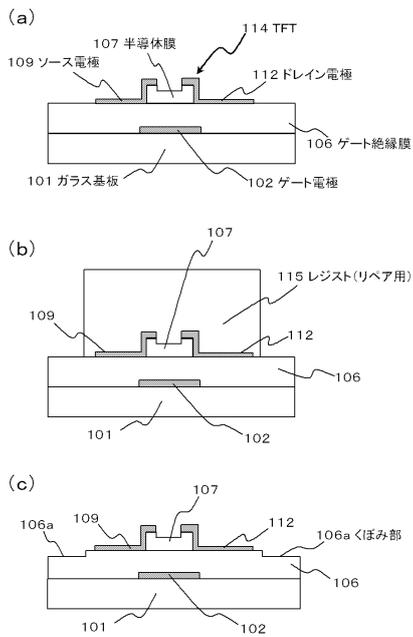
【図1】



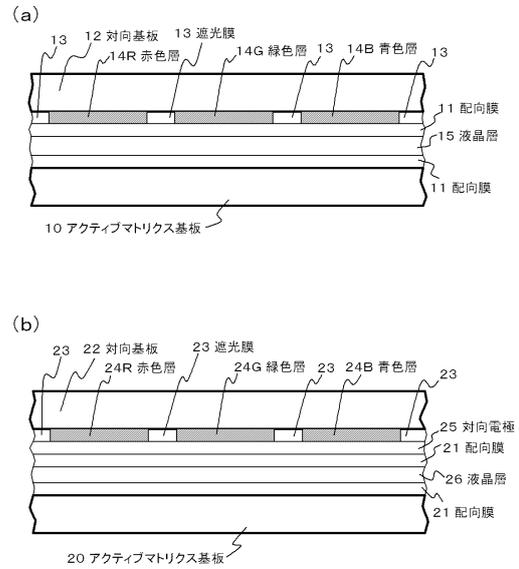
【図2】



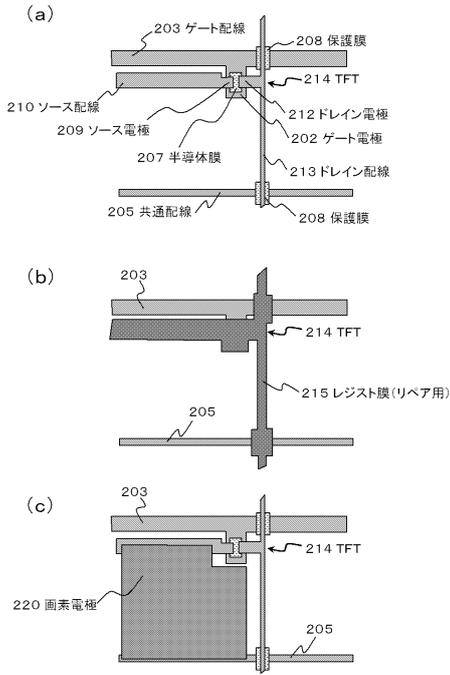
【図3】



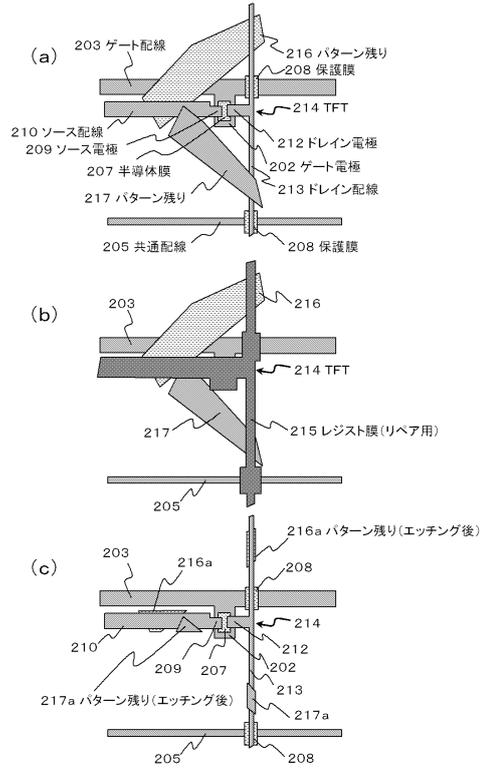
【図4】



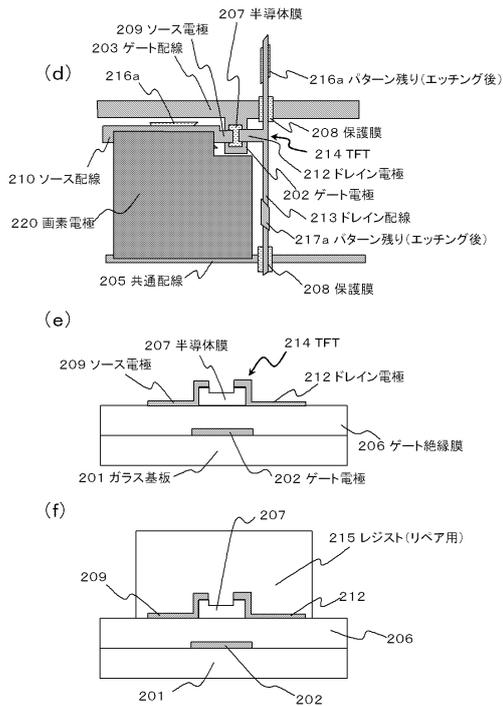
【図5】



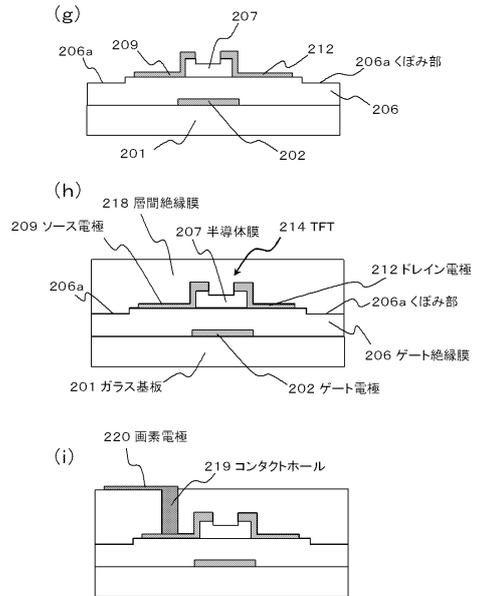
【図6 - A】



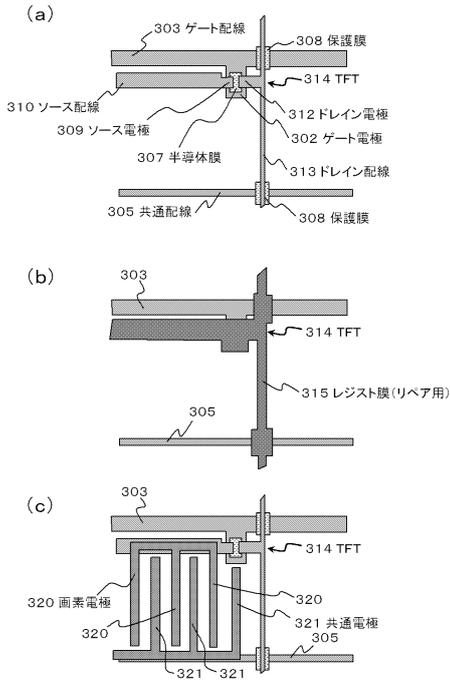
【図6 - B】



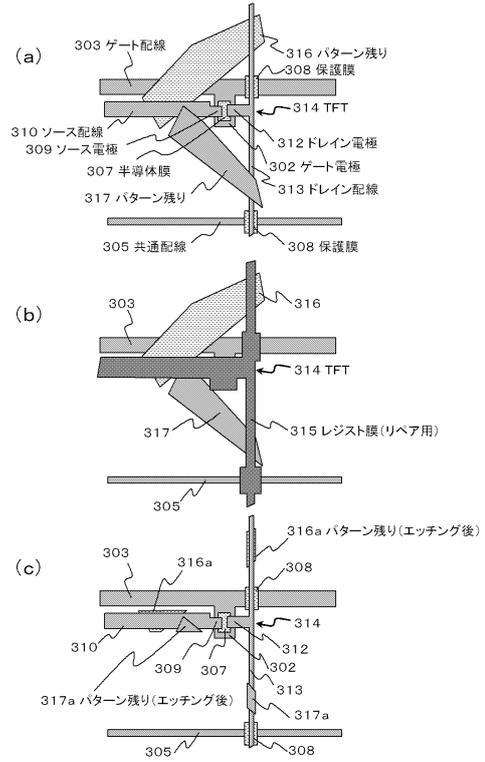
【図6 - C】



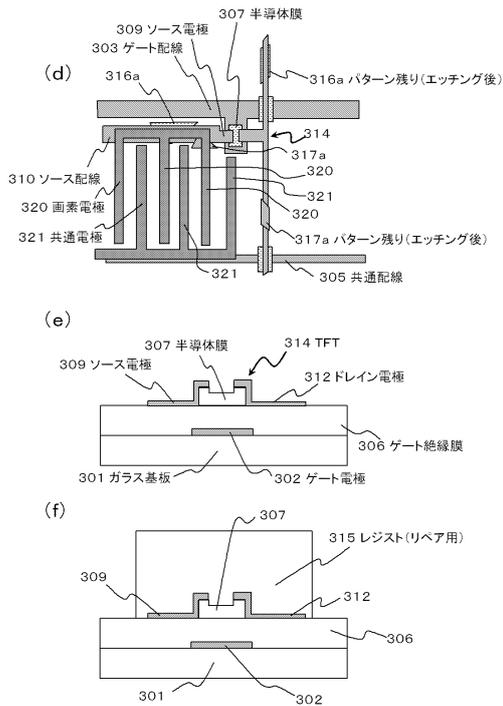
【図7】



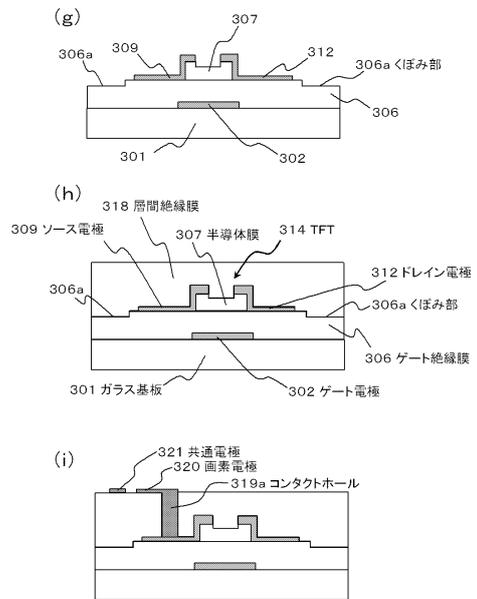
【図8 - A】



【図8 - B】



【図8 - C】



フロントページの続き

- (72)発明者 西本 淳二
鹿児島県出水市大野原町2080 鹿児島日本電気株式会社内
- (72)発明者 堀之内 誠
鹿児島県出水市大野原町2080 鹿児島日本電気株式会社内
- (72)発明者 園島 将一
鹿児島県出水市大野原町2080 鹿児島日本電気株式会社内

審査官 山口 裕之

- (56)参考文献 特開平10-268345(JP,A)
特開平09-266179(JP,A)
特開平05-216052(JP,A)
特開平07-038111(JP,A)
特開平10-115823(JP,A)
特開2001-339067(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368