

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5854104号  
(P5854104)

(45) 発行日 平成28年2月9日(2016.2.9)

(24) 登録日 平成27年12月18日(2015.12.18)

(51) Int. Cl. F I  
 HO 1 L 21/8234 (2006.01) HO 1 L 27/08 1 O 2 B  
 HO 1 L 27/088 (2006.01) HO 1 L 27/08 1 O 2 C

請求項の数 7 (全 31 頁)

(21) 出願番号	特願2014-200645 (P2014-200645)	(73) 特許権者	308014341
(22) 出願日	平成26年9月30日(2014.9.30)		富士通セミコンダクター株式会社
(62) 分割の表示	特願2010-220774 (P2010-220774) の分割		神奈川県横浜市港北区新横浜二丁目10番 23
原出願日	平成22年9月30日(2010.9.30)	(74) 代理人	100087479
(65) 公開番号	特開2015-26855 (P2015-26855A)		弁理士 北野 好人
(43) 公開日	平成27年2月5日(2015.2.5)	(72) 発明者	江間 泰示
審査請求日	平成26年10月1日(2014.10.1)		神奈川県横浜市港北区新横浜二丁目10番 23 富士通セミコンダクター株式会社内
		(72) 発明者	藤田 和司
			神奈川県横浜市港北区新横浜二丁目10番 23 富士通セミコンダクター株式会社内
		(72) 発明者	王 純志
			神奈川県横浜市港北区新横浜二丁目10番 23 富士通セミコンダクター株式会社内 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の領域及び第2の領域を有する半導体基板と、  
 前記半導体基板の前記第1の領域に形成され、第1の導電型の第1の不純物を有する第1の不純物層と、  
 前記第1の不純物層上に形成された第1の半導体層と、  
 前記第1の半導体層上に形成された第1のゲート絶縁膜と、  
 前記第1のゲート絶縁膜上に形成された第1のゲート電極と、  
 前記第1の半導体層及び前記第1の領域の前記半導体基板に形成された第1のソース/ドレイン領域と、  
 前記半導体基板の前記第2の領域に形成され、前記第1の不純物よりも拡散定数の小さい前記第1導電型の第2の不純物を有する第2の不純物層と、  
 前記第2の不純物層上に形成された第2の半導体層と、  
 前記第2の半導体層上に形成され前記第1のゲート絶縁膜よりも薄い第2のゲート絶縁膜と、  
 前記第2のゲート絶縁膜上に形成された第2のゲート電極と、  
 前記第2の半導体層及び前記第2の領域の前記半導体基板に形成された第2のソース/ドレイン領域と、  
 を有し、  
 前記第1の半導体層の前記第1の不純物の不純物濃度は、前記第1の不純物層の前記第

10

20

1の不純物の不純物濃度よりも低く、

前記第2の半導体層の前記第2の不純物の不純物濃度は、前記第2の不純物層の前記第2の不純物の不純物濃度よりも低い

ことを特徴とする半導体装置。

【請求項2】

第1の領域及び第2の領域を有する半導体基板と、

前記半導体基板の前記第1の領域に形成され、第1の導電型の第1の不純物を有する第1の不純物層と、

前記第1の不純物層上に形成された第1の半導体層と、

前記第1の半導体層上に形成された第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された第1のゲート電極と、

前記第1の半導体層及び前記第1の領域の前記半導体基板に形成された第1のソース/ドレイン領域と、

前記半導体基板の前記第2の領域に形成され、前記第1の不純物及び前記第1の不純物の拡散を抑制する第3の不純物を有する第2の不純物層と、

前記第2の不純物層上に形成された第2の半導体層と、

前記第2の半導体層上に形成され前記第1のゲート絶縁膜よりも薄い第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に形成された第2のゲート電極と、

前記第2の半導体層及び前記第2の領域の前記半導体基板に形成された第2のソース/ドレイン領域と、

を有することを特徴とする半導体装置。

【請求項3】

前記第2の不純物層が前記第2の不純物を有し、

前記第1の不純物はリンであり、

前記第2の不純物は砒素又はアンチモンである

ことを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記第2の不純物層が前記第1の不純物及び前記第3の不純物を有し、

前記第1の半導体層の前記第1の不純物の不純物濃度は、前記第1の不純物層の前記第1の不純物の不純物濃度よりも低く、

前記第2の半導体層の前記第1の不純物の不純物濃度は、前記第2の不純物層の前記第2の不純物の不純物濃度よりも低い

ことを特徴とする請求項2に記載の半導体装置。

【請求項5】

前記第2の不純物層が前記第1の不純物及び前記第3の不純物を有し、

前記第1の不純物はボロンであり、

前記第3の不純物は炭素である

ことを特徴とする請求項2又は4に記載の半導体装置。

【請求項6】

前記第2の不純物層はゲルマニウムを含む

ことを特徴とする請求項5に記載の半導体装置。

【請求項7】

前記半導体基板の第1の領域に形成され、前記第1の不純物層の下に位置する前記第1の導電型の第1のウェルと、

前記半導体基板の第2の領域に形成され、前記第2の不純物層の下に位置する前記第2の導電型の第1のウェルと、

を有し、

前記第1の不純物層の不純物濃度は、前記第1のウェルの不純物濃度及び前記第1の半導体層の不純物濃度よりも高く、

10

20

30

40

50

前記第2の不純物層の不純物濃度は、前記第2のウェルの不純物濃度及び前記第2の半導体層の不純物濃度よりも高い

ことを特徴とする請求項1乃至6のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

半導体装置の微細化・高集積化に伴い、チャンネル不純物の統計的揺らぎによるトランジスタの閾値電圧ばらつきが顕在化している。閾値電圧はトランジスタの性能を決定づける重要なパラメータの一つであり、高性能且つ高信頼性の半導体装置を製造するために、不純物の統計的揺らぎによる閾値電圧ばらつきを低減することは重要である。

10

【0003】

不純物の統計的揺らぎによる閾値電圧のばらつきを低減する技術の一つとして、急峻な不純物濃度分布を有する高濃度のチャンネル不純物層上にノンドープのエピタキシャルシリコン層を形成する方法が提案されている。

【先行技術文献】

【特許文献】

【0004】

20

【特許文献1】米国特許第6482714号明細書

【特許文献2】米国特許出願公開第2009/0108350号明細書

【非特許文献】

【0005】

【非特許文献1】A. Asenov, "Suppression of Random Dopant-Induced Threshold Voltage Fluctuations in Sub-0.1- $\mu\text{m}$  MOSFET's with Epitaxial and  $\delta$ -Doped Channels", IEEE Transactions on Electron Devices, Vol. 46, NO. 8, p. 1718, 1999

【非特許文献2】Woo-Hyeong Lee, "MOS Device Structure Development for ULSI: Low Power/High Speed Operation", Microelectron. Reliab., Vol. 37, No. 9, pp. 1309-1314, 1997

30

【非特許文献3】A. Hokazono et al., "Steep Channel Profiles in n/pMOS Controlled by Boron-Doped Si:C Layers for Continual Bulk-CMOS Scaling", IEDM09-673

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、提案されている上記技術を半導体装置の製造プロセスに組み込むための方法については、具体的な提案はなされていなかった。例えば、低電圧動作のトランジスタと高電圧動作のトランジスタとを含む半導体装置の製造プロセスに適用した場合に生じる新たな課題やその解決手段について、具体的な検討はなされていなかった。

【0007】

40

本発明の目的は、低電圧動作のトランジスタ及び高電圧動作のトランジスタの双方の要求を満たし、高性能・高信頼性を実現しうる半導体装置を提供することにある。

【課題を解決するための手段】

【0008】

実施形態の一観点によれば、第1の領域及び第2の領域を有する半導体基板と、前記半導体基板の前記第1の領域に形成され、第1の導電型の第1の不純物を有する第1の不純物層と、前記第1の不純物層上に形成された第1の半導体層と、前記第1の半導体層上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と、前記第1の半導体層及び前記第1の領域の前記半導体基板に形成された第1のソース/ドレイン領域と、前記半導体基板の前記第2の領域に形成され、前記第1の不純物

50

よりも拡散定数の小さい前記第 1 導電型の第 2 の不純物を有する第 2 の不純物層と、前記第 2 の不純物層上に形成された第 2 の半導体層と、前記第 2 の半導体層上に形成され前記第 1 のゲート絶縁膜よりも薄い第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極と、前記第 2 の半導体層及び前記第 2 の領域の前記半導体基板に形成された第 2 のソース/ドレイン領域と、を有し、前記第 1 の半導体層の前記第 1 の不純物の不純物濃度は、前記第 1 の不純物層の前記第 1 の不純物の不純物濃度よりも低く、

前記第 2 の半導体層の前記第 2 の不純物の不純物濃度は、前記第 2 の不純物層の前記第 2 の不純物の不純物濃度よりも低いことを特徴とする半導体装置が提供される。

また、実施形態の他の観点によれば、第 1 の領域及び第 2 の領域を有する半導体基板と、前記半導体基板の前記第 1 の領域に形成され、第 1 の導電型の第 1 の不純物を有する第 1 の不純物層と、前記第 1 の不純物層上に形成された第 1 の半導体層と、前記第 1 の半導体層上に形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 1 のゲート電極と、前記第 1 の半導体層及び前記第 1 の領域の前記半導体基板に形成された第 1 のソース/ドレイン領域と、前記半導体基板の前記第 2 の領域に形成され、前記第 1 の不純物及び前記第 1 の不純物の拡散を抑制する第 3 の不純物を有する第 2 の不純物層と、前記第 2 の不純物層上に形成された第 2 の半導体層と、前記第 2 の半導体層上に形成され前記第 1 のゲート絶縁膜よりも薄い第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極と、前記第 2 の半導体層及び前記第 2 の領域の前記半導体基板に形成された第 2 のソース/ドレイン領域と、を有することを特徴とする半導体装置が提供される。

【発明の効果】

【0011】

開示の半導体装置によれば、チャンネル不純物層上にエピタキシャル層を有するトランジスタにおいて、低電圧トランジスタのチャンネル不純物層を急峻な不純物分布にするとともに、高電圧トランジスタのチャンネル不純物層をなだらかな不純物分布にすることができる。これにより、低電圧トランジスタの閾値電圧の安定化し、高電圧トランジスタの接合耐圧やホットキャリア耐性を向上することができ、高性能・高信頼性を有する半導体装置を実現することができる。

【図面の簡単な説明】

【0012】

【図 1】図 1 は、第 1 実施形態による半導体装置の構造を示す概略断面図（その 1）である。

【図 2】図 2 は、第 1 実施形態による半導体装置の構造を示す概略断面図（その 2）である。

【図 3】図 3 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 4】図 3 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 5】図 5 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 6】図 6 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 7】図 7 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 8】図 8 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 9】図 9 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【図 10】図 10 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 8）である。

【図 1 1】図 1 1 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 9）である。

【図 1 2】図 1 2 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 10）である。

【図 1 3】図 1 3 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 11）である。

【図 1 4】図 1 4 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 12）である。

【図 1 5】図 1 5 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 13）である。

10

【図 1 6】図 1 6 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 14）である。

【図 1 7】図 1 7 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 15）である。

【図 1 8】図 1 8 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 16）である。

【図 1 9】図 1 9 は、第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 17）である。

【図 2 0】図 2 0 は、第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

20

【図 2 1】図 2 1 は、第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 2 2】図 2 2 は、第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 2 3】図 2 3 は、第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 2 4】図 2 4 は、第 1 参考例による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2 5】図 2 5 は、第 1 参考例による半導体装置の製造方法を示す工程断面図（その 2）である。

30

【図 2 6】図 2 6 は、第 1 参考例による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 2 7】図 2 7 は、第 2 参考例による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2 8】図 2 8 は、第 2 参考例による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 2 9】図 2 9 は、第 2 参考例による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 3 0】図 3 0 は、第 2 参考例による半導体装置の製造方法を示す工程断面図（その 4）である。

40

【図 3 1】図 3 1 は、第 2 参考例による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 3 2】図 3 2 は、第 2 参考例による半導体装置の製造方法を示す工程断面図（その 6）である。

【発明を実施するための形態】

【0013】

[第 1 実施形態]

第 1 実施形態による半導体装置及びその製造方法について図 1 乃至図 2 0 を用いて説明する。

【0014】

50

図 1 及び図 2 は、本実施形態による半導体装置の構造を示す概略断面図である。図 3 乃至図 20 は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0015】

はじめに、本実施形態による半導体装置の構造について図 1 及び図 2 を用いて説明する。

【0016】

シリコン基板 10 上には、低電圧 NMOS トランジスタ (LV NMOS) と、低電圧 PMOS トランジスタ (LV PMOS) と、高電圧 NMOS トランジスタ (HV NMOS) と、高電圧 PMOS トランジスタ (HV PMOS) とが形成されている。低電圧トランジスタは、主に、高速動作が必要とされる回路部分に用いられるものである。高電圧トランジスタは、3.3V I/O 等、高電圧の印加される回路部分に用いられるものである。

10

【0017】

低電圧 NMOS トランジスタ (LV NMOS) は、シリコン基板 10 の低電圧 NMOS トランジスタ形成領域 16 に形成されている。

【0018】

低電圧 NMOS トランジスタ形成領域 16 のシリコン基板 10 内には、P ウェル 20 と、P 型高濃度不純物層 22 とが形成されている。P 型高濃度不純物層 22 上には、シリコン基板 10 上にエピタキシャル成長されたシリコン層 48 が形成されている。シリコン層 48 上には、ゲート絶縁膜 64a が形成されている。ゲート絶縁膜 64a 上には、ゲート電極 66 が形成されている。ゲート電極 66 の両側のシリコン層 48 及びシリコン基板 10 内には、ソース/ドレイン領域 78 が形成されている。これらにより、低電圧 NMOS トランジスタ (LV NMOS) が形成されている。

20

【0019】

低電圧 PMOS トランジスタは、シリコン基板 10 の低電圧 PMOS トランジスタ形成領域 24 に形成されている。

【0020】

低電圧 PMOS トランジスタ形成領域 24 のシリコン基板 10 内には、N ウェル 28 と、N 型高濃度不純物層 30 とが形成されている。N 型高濃度不純物層 30 上には、シリコン基板 10 上にエピタキシャル成長されたシリコン層 48 が形成されている。シリコン層 48 上には、ゲート絶縁膜 64a が形成されている。ゲート絶縁膜 64a 上には、ゲート電極 66 が形成されている。ゲート電極 66 の両側のシリコン層 48 及びシリコン基板 10 内には、ソース/ドレイン領域 80 が形成されている。これらにより、低電圧 PMOS トランジスタ (LV PMOS) が形成されている。

30

【0021】

高電圧 NMOS トランジスタ (HV NMOS) は、シリコン基板 10 の高電圧 NMOS トランジスタ形成領域 32 に形成されている。

【0022】

高電圧 NMOS トランジスタ形成領域 32 のシリコン基板 10 内には、P ウェル 36 と、P 型不純物層 38 とが形成されている。P 型不純物層 38 は、接合耐圧やホットキャリア耐性を向上するために、低電圧 NMOS トランジスタの P 型高濃度不純物層 22 よりも低濃度且つなだらかな不純物分布になっている。P 型不純物層 38 上には、シリコン基板 10 上にエピタキシャル成長されたシリコン層 48 が形成されている。シリコン層 48 上には、低電圧トランジスタのゲート絶縁膜 64a よりも厚いゲート絶縁膜 60a が形成されている。ゲート絶縁膜 60a 上には、ゲート電極 66 が形成されている。ゲート電極 66 の両側のシリコン層 48 及びシリコン基板 10 内には、ソース/ドレイン領域 78 が形成されている。これらにより、高電圧 NMOS トランジスタ (HV NMOS) が形成されている。

40

【0023】

高電圧 PMOS トランジスタ (HV PMOS) は、シリコン基板 10 の高電圧 PMOS

50

Sトランジスタ形成領域40に形成されている。

【0024】

高電圧PMOSトランジスタ形成領域40のシリコン基板10内には、Nウェル44と、N型不純物層46とが形成されている。N型不純物層46は、接合耐圧やホットキャリア耐性を向上するために、低電圧PMOSトランジスタのN型高濃度不純物層30よりも低濃度且つなだらかな不純物分布になっている。N型不純物層46上には、シリコン基板10上にエピタキシャル成長されたシリコン層48が形成されている。シリコン層48上には、低電圧トランジスタのゲート絶縁膜64aよりも厚いゲート絶縁膜60aが形成されている。ゲート絶縁膜60a上には、ゲート電極66が形成されている。ゲート電極66の両側のシリコン層48及びシリコン基板10内には、ソース/ドレイン領域80が形成されている。これらにより、高電圧PMOSトランジスタ(HVPMOS)が形成されている。

10

【0025】

各トランジスタのゲート電極66上及びソース/ドレイン領域78,80上には、金属シリサイド膜84が形成されている。

【0026】

4種類のトランジスタが形成されたシリコン基板10上には、層間絶縁膜86が形成されている。層間絶縁膜86には、トランジスタに接続されたコンタクトプラグ88が埋め込まれている。コンタクトプラグ88には、配線90が接続されている。

【0027】

このように、本実施形態による半導体装置は、2種類の低電圧トランジスタと、2種類の高電圧トランジスタとを有している。

20

【0028】

低電圧トランジスタは、いずれも、例えば図2に示すように、チャネル領域106に、急峻な不純物濃度分布を有する高濃度不純物層108と、高濃度不純物層108上にエピタキシャル成長されたノンドープのシリコン層110とを有するものである。このようなトランジスタの構造は、不純物の統計的揺らぎによるトランジスタの閾値電圧ばらつきを抑制するために有効である。閾値電圧ばらつきを抑制するためには、高濃度不純物層108の不純物濃度分布が急峻であることが重要である。

【0029】

急峻な不純物濃度分布を実現するために、低電圧NMOSトランジスタの高濃度不純物層22には、アクセプタ不純物としてのボロンのほかに、ボロンの拡散を防止するための炭素が導入されている。また、低電圧PMOSトランジスタの高濃度不純物層30には、ドナー不純物として拡散定数の小さい砒素又はアンチモンが導入されている。

30

【0030】

一方、高電圧NMOSトランジスタの不純物層38及び高電圧PMOSトランジスタの不純物層46を高濃度で急峻な不純物濃度分布とすると、接合耐圧やホットキャリア耐性が低下する。このため、高電圧NMOSトランジスタの不純物層38には、アクセプタ不純物としてボロンは導入されているが、拡散防止作用のある炭素は導入されていない。また、高電圧PMOSトランジスタの不純物層46には、砒素やアンチモンよりも拡散定数の大きいリンが導入されている。これにより、不純物層38及び不純物層46は、高濃度不純物層22及び高濃度不純物層30と比較して、低濃度且つなだらかな分布とされている。

40

【0031】

次に、本実施形態による半導体装置の製造方法について図3乃至図20を用いて説明する。

【0032】

まず、フォトリソグラフィ及びエッチングにより、シリコン基板10の製品形成領域外(例えば、スクライブ領域)に、マスクアライメント用のマークとして用いる溝12を形成する。

50

## 【0033】

本実施形態による半導体装置の製造方法では、素子分離絶縁膜58の形成前に、ウェルやチャンネル不純物層を形成する。溝12は、素子分離絶縁膜58の形成前に行われるリソグラフィ工程（ウェルやチャンネル不純物層の形成等）において、マスクアライメント用のマークとして用いられるものである。

## 【0034】

なお、素子分離絶縁膜58の形成前にウェルやチャンネル不純物層を形成するのは、シリコン酸化膜14, 52, 60を除去する際の素子分離絶縁膜58の膜減りを抑制するためである（後述の第1参考例を参照）。

## 【0035】

次いで、シリコン基板10の全面に、例えば熱酸化法により、シリコン基板10の表面の保護膜としてのシリコン酸化膜14を形成する（図3）。

## 【0036】

次いで、フォトリソグラフィにより、低電圧NMOSトランジスタ形成領域16を露出し、他の領域を覆うフォトレジスト膜18を形成する。フォトリソグラフィの位置合わせには、溝12のマークを用いる。

## 【0037】

次いで、フォトレジスト膜18をマスクとしてイオン注入を行い、シリコン基板10の低電圧NMOSトランジスタ形成領域16に、Pウェル20と、P型高濃度不純物層22とを形成する（図4）。

## 【0038】

Pウェル20は、例えば、ボロンイオン( $B^+$ )を、加速エネルギー150keV、ドーズ量 $7.5 \times 10^{12} \text{ cm}^{-2}$ の条件で、基板法線方向に対して傾斜した4方向から、それぞれイオン注入することにより形成する。P型高濃度不純物層22は、ゲルマニウムイオン( $Ge^+$ )を、例えば、加速エネルギー50keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件で、炭素イオン( $C^+$ )を、例えば、加速エネルギー3keV、ドーズ量 $3 \times 10^{14} \text{ cm}^{-2}$ の条件で、ボロンイオンを、例えば、加速エネルギー2keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件で、それぞれイオン注入することにより形成する。ゲルマニウムは、シリコン基板10を非晶質化してボロンイオンのチャネリングを防止するとともに、シリコン基板10を非晶質化して炭素が格子点に配される確率を高めるように作用する。格子点に配された炭素は、ボロンの拡散を抑制するように作用する。かかる観点から、ゲルマニウムは、炭素及びボロンよりも先にイオン注入する。Pウェル20は、P型高濃度不純物層22よりも先に形成することが望ましい。

## 【0039】

次いで、例えばアッシングにより、フォトレジスト膜18を除去する。

## 【0040】

次いで、フォトリソグラフィにより、低電圧PMOSトランジスタ形成領域24を露出し、他の領域を覆うフォトレジスト膜26を形成する。フォトリソグラフィの位置合わせには、溝12のマークを用いる。

## 【0041】

次いで、フォトレジスト膜26をマスクとしてイオン注入を行い、シリコン基板10の低電圧PMOSトランジスタ形成領域24に、Nウェル28と、N型高濃度不純物層30とを形成する（図5）。

## 【0042】

Nウェル28は、例えば、リンイオン( $P^+$ )を、加速エネルギー360keV、ドーズ量 $7.5 \times 10^{12} \text{ cm}^{-2}$ の条件で、基板法線方向に対して傾斜した4方向から、それぞれイオン注入することにより形成する。N型高濃度不純物層30は、例えば、砒素イオンを、例えば、加速エネルギー6keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入することにより形成する。Nウェル28は、N型高濃度不純物層30よりも先に形成することが望ましい。

10

20

30

40

50

## 【 0 0 4 3 】

次いで、例えばアッシングにより、フォトレジスト膜 2 6 を除去する。

## 【 0 0 4 4 】

次いで、フォトリソグラフィにより、高電圧 N M O S トランジスタ形成領域 3 2 を露出し、他の領域を覆うフォトレジスト膜 3 4 を形成する。フォトリソグラフィの位置合わせには、溝 1 2 のマークを用いる。

## 【 0 0 4 5 】

次いで、フォトレジスト膜 3 4 をマスクとしてイオン注入を行い、シリコン基板 1 0 の高電圧 N M O S トランジスタ形成領域 3 2 に、P ウェル 3 6 と、P 型不純物層 3 8 とを形成する ( 図 6 )。

10

## 【 0 0 4 6 】

P ウェル 3 6 は、例えば、ボロンイオンを、加速エネルギー 1 5 0 k e V、ドーズ量  $7.5 \times 10^{12} \text{ cm}^{-2}$  の条件で、基板法線方向に対して傾斜した 4 方向から、それぞれイオン注入することにより形成する。P 型不純物層 3 8 は、ボロンイオンを、例えば、加速エネルギー 2 k e V、ドーズ量  $5 \times 10^{12} \text{ cm}^{-2}$  の条件でイオン注入することにより形成する。なお、高電圧 N M O S トランジスタでは、チャンネル領域の不純物濃度分布をなだらかにして接合耐圧、ホットキャリア耐性を改善する観点から、炭素及びゲルマニウムのイオン注入を行わない。

## 【 0 0 4 7 】

次いで、例えばアッシングにより、フォトレジスト膜 3 4 を除去する。

20

## 【 0 0 4 8 】

次いで、フォトリソグラフィにより、高電圧 P M O S トランジスタ形成領域 4 0 を露出し、他の領域を覆うフォトレジスト膜 4 2 を形成する。フォトリソグラフィの位置合わせには、溝 1 2 のマークを用いる。

## 【 0 0 4 9 】

次いで、フォトレジスト膜 4 2 をマスクとしてイオン注入を行い、シリコン基板 1 0 の高電圧 P M O S トランジスタ形成領域 4 0 に、N ウェル 4 4 と、N 型不純物層 4 6 とを形成する ( 図 7 )。

## 【 0 0 5 0 】

N ウェル 4 4 は、例えば、リンイオンを、加速エネルギー 3 6 0 k e V、ドーズ量  $7.5 \times 10^{12} \text{ cm}^{-2}$  の条件で、基板法線方向に対して傾斜した 4 方向から、それぞれイオン注入することにより形成する。N 型不純物層 4 6 は、リンイオンを、例えば、加速エネルギー 2 k e V、ドーズ量  $5 \times 10^{12} \text{ cm}^{-2}$  の条件でイオン注入することにより形成する。なお、高電圧 P M O S トランジスタでは、チャンネル領域の不純物濃度分布をなだらかにして接合耐圧、ホットキャリア耐性を改善する観点から、砒素よりも拡散定数の大きいリンを用いている。

30

## 【 0 0 5 1 】

次いで、例えばアッシングにより、フォトレジスト膜 4 2 を除去する。

## 【 0 0 5 2 】

次いで、不活性雰囲気中で熱処理を行い、シリコン基板 1 0 を再結晶化するとともに、注入した不純物を格子位置に配置する。例えば、窒素雰囲気中で、6 0 0 1 5 0 秒間の熱処理を行い、次いで 1 0 0 0 0 秒間の熱処理を行う。

40

## 【 0 0 5 3 】

次いで、例えば C V D 法により、シリコン基板 1 0 の表面に、例えば膜厚 3 0 n m のノンドープのシリコン層 4 8 をエピタキシャル成長する ( 図 8 )。

## 【 0 0 5 4 】

次いで、例えば I S S G ( in-situ steam generation ) 法により、減圧下でシリコン層 4 8 の表面をウェット酸化し、例えば膜厚 3 n m のシリコン酸化膜 5 2 を形成する。処理条件は、例えば、温度を 8 1 0 、時間を 2 0 秒間とする。

## 【 0 0 5 5 】

50

次いで、シリコン酸化膜 5 2 上に、例えば L P C V D 法により、例えば膜厚 7 0 n m のシリコン窒化膜 5 4 を堆積する。処理条件は、例えば、温度を 7 0 0 、時間を 1 5 0 分間とする。

【 0 0 5 6 】

次いで、フォトリソグラフィ及びドライエッチングにより、シリコン窒化膜 5 4、シリコン酸化膜 5 2、シリコン層 4 8、及びシリコン基板 1 0 を異方性エッチングし、各トランジスタ形成領域の間の領域を含む素子分離領域に、素子分離溝 5 6 を形成する ( 図 9 )。なお、フォトリソグラフィの位置合わせには、溝 1 2 のマークを用いる。

【 0 0 5 7 】

次いで、例えば I S S G 法により、減圧下でシリコン層 4 8 及びシリコン基板 1 0 の表面をウェット酸化し、素子分離溝 5 6 の内壁に、ライナー膜として、例えば膜厚 2 n m のシリコン酸化膜を形成する。処理条件は、例えば、温度を 8 1 0 、時間を 1 2 秒間とする。

【 0 0 5 8 】

次いで、例えば高密度プラズマ C V D 法により、例えば膜厚 5 0 0 n m のシリコン酸化膜を堆積し、素子分離溝 5 6 をシリコン酸化膜によって埋め込む。

【 0 0 5 9 】

次いで、例えば C M P 法により、シリコン窒化膜 5 4 上のシリコン酸化膜を除去する。こうして、いわゆる S T I ( Shallow Trench Isolation ) 法により、素子分離溝 5 6 に埋め込まれたシリコン酸化膜により、素子分離絶縁膜 5 8 を形成する ( 図 1 0 )。

【 0 0 6 0 】

次いで、シリコン窒化膜 5 4 をマスクとして、例えば弗酸水溶液を用いたウェットエッチングにより、素子分離絶縁膜 5 8 を、例えば 3 0 n m 程度エッチングする。このエッチングは、完成したトランジスタにおいて、シリコン層 4 8 の表面の高さと素子分離絶縁膜 5 8 の表面の高さとが同程度になるように調整するためのものである。

【 0 0 6 1 】

次いで、例えばホットリン酸を用いたウェットエッチングにより、シリコン窒化膜 5 4 を除去する ( 図 1 1 )。

【 0 0 6 2 】

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、シリコン酸化膜 5 2 を除去する。この際、シリコン酸化膜 5 2 を完全に除去するために、膜厚 3 n m のシリコン酸化膜 5 2 に対して、熱酸化膜で 5 n m 相当のエッチングを行う。

【 0 0 6 3 】

素子分離絶縁膜 5 8 のシリコン酸化膜は、高密度プラズマ C V D 法により堆積した膜であり、弗酸水溶液に対するエッチングレートは、熱酸化膜の 2 倍程度である。また、もしシリコン酸化膜中にイオン注入されると、イオン種にも依存するが、エッチングレートは更に増大する。高温の熱処理を施せばエッチングレートを小さくできるが、急峻なチャネル不純物分布を実現されるためには好ましくない。

【 0 0 6 4 】

本実施形態では、素子分離絶縁膜 5 8 を形成するシリコン酸化膜に不純物がイオン注入されていないため、シリコン酸化膜 5 2 のエッチングに伴う素子分離絶縁膜 5 8 の沈み込み量は、1 0 n m と小さく抑えることができる。

【 0 0 6 5 】

次いで、熱酸化法により、例えば膜厚 7 n m のシリコン酸化膜 6 0 を形成する ( 図 1 2 )。処理条件は、例えば、温度を 7 5 0 、時間を 5 2 分間とする。

【 0 0 6 6 】

次いで、フォトリソグラフィにより、高電圧 N M O S トランジスタ形成領域 3 2 及び高電圧 P M O S トランジスタ形成領域 4 0 を覆い、他の領域を露出するフォトレジスト膜 6 2 を形成する。

【 0 0 6 7 】

10

20

30

40

50

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、フォトレジスト膜 6 2 をマスクとしてシリコン酸化膜 6 0 をエッチングする。これにより、低電圧 N O S トランジスタ形成領域 1 6 及び低電圧 P M O S トランジスタ形成領域 2 4 のシリコン酸化膜 6 0 を除去する（図 1 3）。この際、シリコン酸化膜 6 0 を完全に除去するために、膜厚 7 n m のシリコン酸化膜 6 0 に対して、熱酸化膜で 1 0 n m 相当のエッチングを行う。

**【 0 0 6 8 】**

素子分離絶縁膜 5 8 のシリコン酸化膜は、高密度プラズマ C V D 法により堆積した膜であり、弗酸水溶液に対するエッチングレートは、熱酸化膜の 2 倍程度である。また、もしシリコン酸化膜中にイオン注入されると、イオン種にも依存するが、エッチングレートは更に増大する。高温の熱処理を施せばエッチングレートを小さくできるが、急峻なチャネル不純物分布を実現されるためには好ましくない。

10

**【 0 0 6 9 】**

本実施形態では、素子分離絶縁膜 5 8 を形成するシリコン酸化膜に不純物がイオン注入されていないため、シリコン酸化膜 6 0 のエッチングに伴う素子分離絶縁膜 5 8 の沈み込み量は、2 0 n m と小さく抑えることができる。

**【 0 0 7 0 】**

これにより、シリコン酸化膜 5 2 , 6 0 を除去する際の素子分離絶縁膜 5 8 の沈み込み量の総和は、高電圧トランジスタ形成領域 3 2 , 4 0 で 1 0 n m 程度、低電圧トランジスタ形成領域 1 6 , 2 4 で 3 0 n m 程度と、小さく抑えることができる。

**【 0 0 7 1 】**

次いで、例えばアッシングにより、フォトレジスト膜 6 2 を除去する。

20

**【 0 0 7 2 】**

次いで、熱酸化法により、例えば膜厚 2 n m のシリコン酸化膜 6 4 を形成する。処理条件は、例えば、温度を 8 1 0 、時間を 8 秒間とする。

**【 0 0 7 3 】**

次いで、N O 雰囲気中で、例えば 8 7 0 、1 3 秒間の熱処理を行い、シリコン酸化膜 6 0 , 6 4 内に窒素を導入する。

**【 0 0 7 4 】**

こうして、高電圧 N M O S トランジスタ形成領域 3 2 及び高電圧 P M O S トランジスタ形成領域 3 2 に、シリコン酸化膜 6 0 のゲート絶縁膜 6 0 a を形成する。また、低電圧 N M O S トランジスタ形成領域 1 6 及び低電圧 P M O S トランジスタ形成領域 2 4 に、シリコン酸化膜 6 0 よりも薄いシリコン酸化膜 6 4 のゲート絶縁膜 6 4 a を形成する（図 1 4）。

30

**【 0 0 7 5 】**

次いで、全面に、例えば L P C V D 法により、例えば膜厚 1 0 0 n m のノンドーブのポリシリコン膜を堆積する。処理条件は、例えば、温度を 6 0 5 とする。

**【 0 0 7 6 】**

次いで、フォトリソグラフィ及びドライエッチングにより、ポリシリコン膜をパターニングし、各トランジスタ形成領域にゲート電極 6 6 を形成する（図 1 5）。

**【 0 0 7 7 】**

次いで、フォトリソグラフィ及びイオン注入により、高電圧 N M O S トランジスタ形成領域 3 2 に、ゲート電極 6 6 をマスクとして N 型不純物を選択的にイオン注入し、L D D 領域となる N 型不純物層 6 8 を形成する。例えば、リンイオンを、加速エネルギー 3 5 k e V、ドーズ量  $2 \times 1 0^{13} \text{ cm}^{-2}$  の条件でイオン注入し、N 型不純物層 6 8 を形成する。

40

**【 0 0 7 8 】**

次いで、フォトリソグラフィ及びイオン注入により、高電圧 P M O S トランジスタ形成領域 4 0 に、ゲート電極 6 6 をマスクとして P 型不純物を選択的にイオン注入し、L D D 領域となる P 型不純物層 7 0 を形成する。例えば、ボロンイオンを、加速エネルギー 1 0 k e V、ドーズ量  $2 \times 1 0^{13} \text{ cm}^{-2}$  の条件でイオン注入し、P 型不純物層 7 0 を形成

50

する。

【0079】

次いで、フォトリソグラフィ及びイオン注入により、低電圧NMOSトランジスタ形成領域16に、ゲート電極66をマスクとしてN型不純物を選択的にイオン注入し、エクステンション領域となるN型不純物層72を形成する。例えば、砒素イオンを、加速エネルギー6keV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、N型不純物層72を形成する。

【0080】

次いで、フォトリソグラフィ及びイオン注入により、低電圧PMOSトランジスタ形成領域24に、ゲート電極66をマスクとして選択的にイオン注入し、エクステンション領域となるP型不純物層74を形成する(図16)。例えば、ボロンイオンを、加速エネルギー0.6keV、ドーズ量 $7 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、P型不純物層74を形成する。

10

【0081】

次いで、全面に、例えばCVD法により、例えば膜厚80nmのシリコン酸化膜を堆積する。処理条件は、例えば、温度を520とする。

【0082】

次いで、全面に堆積したシリコン酸化膜を異方性エッチングし、ゲート電極66の側壁部分に選択的に残存させる。これにより、シリコン酸化膜のサイドウォールスペーサ76を形成する(図17)。

20

【0083】

次いで、フォトリソグラフィ及びイオン注入により、低電圧NMOSトランジスタ形成領域16及び高電圧NMOSトランジスタ形成領域32に、ゲート電極66及びサイドウォールスペーサ76をマスクとして選択的にイオン注入する。これにより、ソース/ドレイン領域となるN型不純物層78を形成するとともに、NMOSトランジスタのゲート電極66にN型不純物を添加する。イオン注入条件は、例えば、リンイオンを、加速エネルギー8keV、ドーズ量 $1.2 \times 10^{16} \text{ cm}^{-2}$ とする。

【0084】

次いで、フォトリソグラフィ及びイオン注入により、低電圧PMOSトランジスタ形成領域24及び高電圧PMOSトランジスタ形成領域40に、ゲート電極66及びサイドウォールスペーサ76をマスクとして選択的にイオン注入する。これにより、ソース/ドレイン領域となるP型不純物層80を形成するとともに、PMOSトランジスタのゲート電極66にP型不純物を添加する。イオン注入条件は、例えば、ボロンイオンを、加速エネルギー4keV、ドーズ量 $6 \times 10^{15} \text{ cm}^{-2}$ とする。

30

【0085】

次いで、不活性ガス雰囲気中で、例えば1025℃、0秒間の短時間熱処理を行い、注入した不純物の活性化及びゲート電極66中の拡散を行う。1025℃、0秒間の短時間熱処理は、ゲート電極66とゲート絶縁膜との界面まで不純物を拡散させるのに十分である。

【0086】

また、低電圧NMOSトランジスタのチャネル部は炭素がボロンの拡散を抑制することにより、低電圧PMOSトランジスタのチャネル部は砒素の拡散が遅いことにより、急峻な不純物分布を維持することができる。一方、高電圧NMOSトランジスタのチャネル部は炭素が導入されていないことにより拡散は抑制されず、高電圧PMOSトランジスタのチャネル部には砒素よりも拡散定数の大きいリンが導入されているため、なだらかな不純物分布を形成することができる。

40

【0087】

こうして、シリコン基板10上に、4種類のトランジスタを完成する。すなわち、低電圧NMOSトランジスタ形成領域16に、低電圧NMOSトランジスタ(LVNMOS)を形成する。また、低電圧PMOSトランジスタ形成領域24に、低電圧PMOSトラ

50

ンジスタ(LV PMOS)を形成する。また、高電圧NMOSトランジスタ形成領域に、高電圧NMOSトランジスタ(HV NMOS)を形成する。また、高電圧PMOSトランジスタ形成領域に、高電圧PMOSトランジスタ(HV PMOS)を形成する(図18)。

【0088】

次いで、サリサイドプロセスにより、ゲート電極66上、N型不純物層78上、及びP型不純物層80上に、金属シリサイド膜84、例えばコバルトシリサイド膜を形成する。

【0089】

次いで、全面に、例えばCVD法により、例えば膜厚50nmのシリコン窒化膜を堆積し、エッチングストップ膜としてのシリコン窒化膜を形成する。

10

【0090】

次いで、シリコン窒化膜上に、例えば高密度プラズマCVD法により、例えば膜厚500nmのシリコン酸化膜を堆積する。

【0091】

これにより、シリコン窒化膜とシリコン酸化膜との積層膜の層間絶縁膜86を形成する。

【0092】

次いで、例えばCMP法により、層間絶縁膜86の表面を研磨し、平坦化する。

【0093】

この後、層間絶縁膜86に埋め込まれたコンタクトプラグ88、コンタクトプラグ88に接続された配線90等を形成し、半導体装置を完成する(図19)。

20

【0094】

このように、本実施形態によれば、低電圧NMOSトランジスタの高濃度不純物層22をボロン及び炭素を含む不純物層により、低電圧PMOSトランジスタの高濃度不純物層30を砒素を含む不純物層により形成するので、急峻な不純物分布を実現することができる。他方、高電圧NMOSトランジスタの不純物層38をボロンを含む不純物層により、高電圧PMOSトランジスタの不純物層46をリンを含む不純物層により形成するので、なだらかな不純物分布を実現することができる。これにより、閾値電圧の安定した信頼性の高い低電圧トランジスタを実現できるとともに、接合耐圧やホットキャリア耐性の高い高電圧トランジスタを実現することができる。

30

【0095】

また、ウェル及びチャネル不純物層を形成した後に素子分離絶縁膜を形成するので、素子分離絶縁膜に高濃度のチャネル不純物が導入されるのを防止することができ、エッチング工程における素子分離絶縁膜の膜減りを大幅に抑制することができる。これにより、基板表面の平坦性が向上するとともに、寄生トランジスタチャネルの発生を防止することができ、信頼性が高く高性能の半導体装置を実現することができる。

【0096】

[第2実施形態]

第2実施形態による半導体装置の製造方法について図20乃至図23を用いて説明する。図1乃至図19に示す第1実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡潔にする。

40

【0097】

図20乃至図23は、本参考例による半導体装置の製造方法を示す工程断面図である。

【0098】

第1実施形態による半導体装置の製造方法では、エッチングに伴う素子分離絶縁膜58の沈み込み量を、高電圧トランジスタ形成領域32, 40で10nm程度、低電圧トランジスタ形成領域16, 24で30nm程度と、小さく抑えることができた。しかしながら、高電圧トランジスタ形成領域32, 40と比較すると、低電圧トランジスタ形成領域16, 24における素子分離絶縁膜58の沈み込み量は大きい。

【0099】

50

本実施形態では、低電圧トランジスタ形成領域 16, 24 における素子分離絶縁膜 58 の沈み込み量を更に抑制しうる方法について説明する。

【0100】

まず、図3乃至図11に示す第1実施形態による半導体装置の製造方法と同様にして、活性領域を画定する素子分離絶縁膜58を形成する。活性領域の表面には、膜厚3nm程度のシリコン酸化膜52が残存している(図20)。

【0101】

次いで、フォトリソグラフィにより、低電圧NMOSトランジスタ形成領域16及び低電圧PMOSトランジスタ形成領域24を覆い、高電圧NMOSトランジスタ形成領域32及び高電圧PMOSトランジスタ形成領域40を露出するフォトレジスト膜92を形成する。

10

【0102】

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、フォトレジスト膜92をマスクとしてシリコン酸化膜52をエッチングする。これにより、高電圧NMOSトランジスタ形成領域32及び高電圧PMOSトランジスタ形成領域40のシリコン酸化膜52を除去する(図21)。

【0103】

この際、シリコン酸化膜52を完全に除去するために、膜厚3nmのシリコン酸化膜52に対して、熱酸化膜で5nm相当のエッチングを行う。

【0104】

20

素子分離絶縁膜58のシリコン酸化膜は、高密度プラズマCVD法により堆積した膜であり、弗酸水溶液に対するエッチングレートは、熱酸化膜の2倍程度である。また、もしシリコン酸化膜中にイオン注入されると、イオン種にも依存するが、エッチングレートは更に増大する。高温の熱処理を施せばエッチングレートを小さくできるが、急峻なチャネル不純物分布を実現されるためには好ましくない。

【0105】

本実施形態では、素子分離絶縁膜58を形成するシリコン酸化膜に不純物がイオン注入されていないため、シリコン酸化膜52のエッチングに伴う高電圧トランジスタ形成領域32, 40の素子分離絶縁膜58の沈み込み量は、10nmと小さく抑えることができる。一方、低電圧トランジスタ形成領域16, 24はフォトレジスト膜92で覆われているため、低電圧トランジスタ形成領域16, 24の素子分離絶縁膜58はエッチングされない。

30

【0106】

次いで、例えばアッシングにより、フォトレジスト膜92を除去する。

【0107】

次いで、熱酸化法により、例えば膜厚7nmのシリコン酸化膜60を形成する(図22)。処理条件は、例えば、温度を750、時間を52分間とする。

【0108】

この際、低電圧トランジスタ形成領域16, 24に残存しているシリコン酸化膜52も追加酸化され、膜厚が8nm程度となる。

40

【0109】

次いで、フォトリソグラフィにより、高電圧NMOSトランジスタ形成領域32及び高電圧PMOSトランジスタ形成領域40を覆い、低電圧NMOSトランジスタ形成領域16及び低電圧PMOSトランジスタ形成領域24を露出するフォトレジスト膜62を形成する。

【0110】

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、フォトレジスト膜62をマスクとしてシリコン酸化膜60をエッチングする。これにより、低電圧NMOSトランジスタ形成領域16及び低電圧PMOSトランジスタ形成領域24のシリコン酸化膜60を除去する(図23)。この際、シリコン酸化膜52を完全に除去するために、膜厚8n

50

mのシリコン酸化膜52に対して、熱酸化膜で11nm相当のエッチングを行う。

【0111】

素子分離絶縁膜58のシリコン酸化膜は、高密度プラズマCVD法により堆積した膜であり、弗酸水溶液に対するエッチングレートは、熱酸化膜の2倍程度である。また、もしシリコン酸化膜中にイオン注入されると、イオン種にも依存するが、エッチングレートは更に増大する。高温の熱処理を施せばエッチングレートを小さくできるが、急峻なチャネル不純物分布を実現されるためには好ましくない。

【0112】

本実施形態では、素子分離絶縁膜58を形成するシリコン酸化膜に不純物がイオン注入されていないため、シリコン酸化膜52のエッチングに伴う素子分離絶縁膜58の沈み込み量は、22nmと小さく抑えることができる。

10

【0113】

これにより、シリコン酸化膜52,60を除去する際の素子分離絶縁膜58の沈み込み量の総和は、高電圧トランジスタ形成領域32,40で10nm程度、低電圧トランジスタ形成領域16,24で22nm程度と、小さく抑えることができる。

【0114】

第1実施形態による半導体装置の製造方法と比較すると、低電圧トランジスタ形成領域16,24における素子分離絶縁膜58の沈み込み量を、25%程度改善することができた。

【0115】

20

この後、図14乃至図19に示す第1実施形態による半導体装置の製造方法と同様にして、半導体装置を完成する。

【0116】

このように、本実施形態によれば、高電圧トランジスタのゲート絶縁膜を形成する前に、高電圧トランジスタ形成領域に形成されている絶縁膜を選択的に除去するので、低電圧トランジスタ形成領域の素子分離絶縁膜の膜減りを大幅に抑制することができる。これにより、基板表面の平坦性が向上し、信頼性が高く高性能の半導体装置を実現することができる。

【0117】

[第1参考例]

30

第1参考例による半導体装置の製造方法について図24乃至図26を用いて説明する。図1乃至図23に示す第1及び第2実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡潔にする。

【0118】

図24乃至図26は、本参考例による半導体装置の製造方法を示す工程断面図である。

【0119】

本参考例では、素子分離絶縁膜58の形成の後にP型高濃度不純物層22及びN型高濃度不純物層30等のチャネルイオン注入を行うプロセスについて説明する。

【0120】

まず、シリコン基板10に、STI法により、素子分離絶縁膜58を形成する。

40

【0121】

次いで、素子分離絶縁膜58により画定された活性領域上に、保護酸化膜としてのシリコン酸化膜14を形成する(図24(a))。

【0122】

次いで、フォトリソグラフィ及びイオン注入により、低電圧NMOSトランジスタ形成領域16に、P型高濃度不純物層22を形成する。

【0123】

次いで、フォトリソグラフィ及びイオン注入により、低電圧PMOSトランジスタ形成領域24に、N型高濃度不純物層30を形成する。

【0124】

50

次いで、フォトリソグラフィ及びイオン注入により、高電圧NMOSトランジスタ形成領域32に、P型不純物層38を形成する。

【0125】

次いで、フォトリソグラフィ及びイオン注入により、高電圧PMOSトランジスタ形成領域40に、N型不純物層46を形成する(図24(b))。

【0126】

次いで、熱処理を行い、イオン注入ダメージを回復するとともに、注入した不純物を活性化する。

【0127】

次いで、弗酸水溶液を用いたウェットエッチングにより、シリコン酸化膜14を除去し、活性領域のシリコン基板10を露出する。

10

【0128】

このとき、素子分離絶縁膜58にはP型高濃度不純物層22及びN型高濃度不純物層30の形成の際のイオン注入によって高濃度の不純物が導入されているため、素子分離絶縁膜58におけるエッチングが加速される。特に、急峻な不純物プロファイルを得る等の目的で、N型不純物層30の形成のために砒素をイオン注入した場合には、低電圧PMOSトランジスタ形成領域24におけるエッチングレートの増加は顕著である。

【0129】

この結果、低電圧NMOSトランジスタ形成領域16及び低電圧PMOSトランジスタ形成領域24において、シリコン酸化膜14のエッチングの際に素子分離絶縁膜58が過剰にエッチングされ、活性領域の側面部分が露出されてしまう。

20

【0130】

なお、P型不純物層38及びN型不純物層46はP型高濃度不純物層22及びN型高濃度不純物層30と比較すると不純物濃度が1桁程度低い。このため、高電圧NMOSトランジスタ形成領域32及び高電圧PMOSトランジスタ形成領域40における素子分離絶縁膜58のエッチング量は、比較的少ない。

【0131】

次いで、シリコン基板10上に、ノンドープのシリコン層48をエピタキシャル成長する(図25(a))。この際、シリコン層48の成長は活性領域の表面及び側面から進行するため、異なる面方位に沿って形成されたシリコン層が重なる部分、すなわち素子分離絶縁膜58の端部に、結晶欠陥が導入されてしまう。

30

【0132】

シリコン層48に導入された結晶欠陥は、リーク電流の増加等、トランジスタの特性に多大な影響を与えるため、好ましくない。

【0133】

次いで、活性領域上に、高電圧NMOSトランジスタ及び高電圧PMOSトランジスタ用のゲート絶縁膜60aとなるシリコン酸化膜60を形成する(図25(b))。

【0134】

次いで、フォトリソグラフィ及びウェットエッチングにより、低電圧NMOSトランジスタ形成領域16及び低電圧PMOSトランジスタ形成領域24のシリコン酸化膜60を選択的に除去する(図26(a))。

40

【0135】

この際、シリコン酸化膜60のエッチングとともに素子分離絶縁膜58もエッチングされ、低電圧NMOSトランジスタ形成領域16及び低電圧PMOSトランジスタ形成領域24では、素子分離絶縁膜58の端部においてシリコン層48の下面が露出される。

【0136】

次いで、低電圧NMOSトランジスタ領域16及び低電圧PMOSトランジスタ領域24の活性領域上に、ゲート絶縁膜64aとなるシリコン酸化膜64を形成する(図26(b))。

【0137】

50

この後、ゲート絶縁膜 64a 上にゲート電極 66 を形成すると、素子分離絶縁膜 58 の端部のシリコン層 48 の下方には、シリコン層 48 を介さずにゲート電極 66 と対向する寄生トランジスタチャネルが形成されてしまう。素子分離絶縁膜 58 の形成後にシリコン層 48 をエピタキシャル成長し、次いで、膜厚の異なる 2 種類以上のゲート絶縁膜を形成すると、この寄生トランジスタチャネルの形成は避けられない。

【0138】

また、素子分離絶縁膜 58 の膜減りは、以降のエッチングプロセスにおいても生じる。素子分離絶縁膜 58 の膜減りが生じると、基板表面の平坦性が低下し、後工程のプロセスに不具合を生じることがある。

【0139】

[第2参考例]

第2参考例による半導体装置の製造方法について図27乃至図32を用いて説明する。図1乃至図23に示す第1及び第2実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡潔にする。

【0140】

図27乃至図32は、本参考例による半導体装置の製造方法を示す工程断面図である。

【0141】

本参考例では、P型高濃度不純物層 22 及びN型高濃度不純物層 30 の形成の後に素子分離絶縁膜 58 を形成するプロセスについて説明する。

【0142】

まず、フォトリソグラフィ及びエッチングにより、シリコン基板 10 の製品形成領域外に、マスクアライメント用のマークとして用いる溝 12 を形成する。

【0143】

次いで、シリコン基板 10 の全面に、シリコン基板 10 の表面の保護膜としてのシリコン酸化膜 14 を形成する(図27(a))。

【0144】

次いで、フォトリソグラフィ及びイオン注入により、低電圧NMOSトランジスタ形成領域 16 及び高電圧NMOSトランジスタ形成領域 32 に、Pウェル 20 及びP型高濃度不純物層 22 を形成する。Pウェル 20 及びP型高濃度不純物層 22 は、例えば、ボロン又は弗化ボロン(BF<sub>2</sub>)を2重にイオン注入することにより形成する。

【0145】

次いで、フォトリソグラフィ及びイオン注入により、低電圧PMOSトランジスタ形成領域 24 及び高電圧PMOSトランジスタ形成領域 40 に、Nウェル 28 及びN型高濃度不純物層 30 を形成する(図27(b))。Nウェル 28 及びN型高濃度不純物層 30 は、例えば、リン又は砒素若しくはアンチモン(Sb)を2重にイオン注入することにより形成する。

【0146】

次いで、熱処理を行い、イオン注入ダメージを回復するとともに、注入した不純物を活性化する。

【0147】

次いで、弗酸水溶液を用いたウェットエッチングにより、シリコン酸化膜 14 を除去する。

【0148】

次いで、シリコン基板 10 上に、ノンドープのシリコン層 48 をエピタキシャル成長する(図28(a))。

【0149】

次いで、STI法により、シリコン基板 10 及びシリコン層 48 に、素子分離絶縁膜 58 を形成する(図28(b))。

【0150】

次いで、活性領域上に、高電圧NMOSトランジスタ及び高電圧PMOSトランジスタ

10

20

30

40

50

用のゲート絶縁膜 60 a となるシリコン酸化膜 60 を形成する (図 29 (a))。

【0151】

次いで、フォトリソグラフィ及びウェットエッチングにより、低電圧 NMOS トランジスタ形成領域 16 及び低電圧 PMOS トランジスタ形成領域 24 のシリコン酸化膜 60 を選択的に除去する (図 29 (b))。

【0152】

次いで、低電圧 NMOS トランジスタ領域 16 及び低電圧 PMOS トランジスタ領域 24 の活性領域上に、ゲート絶縁膜 64 a となるシリコン酸化膜 64 を形成する (図 30 (a))。

【0153】

次いで、全面に、ポリシリコン膜 66 a を形成する。

【0154】

次いで、フォトリソグラフィ及びイオン注入により、低電圧 NMOS トランジスタ領域 16 及び高電圧 NMOS トランジスタ形成領域 32 のポリシリコン膜 66 a に、N 型不純物を添加する。また、低電圧 PMOS トランジスタ領域 24 及び高電圧 PMOS トランジスタ形成領域 40 のポリシリコン膜 66 a に、P 型不純物を添加する (図 30 (b))。

【0155】

次いで、ポリシリコン膜 66 a をパターニングし、各トランジスタ形成領域に、ゲート電極 66 を形成する。

【0156】

次いで、フォトリソグラフィ及びイオン注入により、低電圧 NMOS トランジスタ領域 16 に、エクステンション領域となる N 型不純物層 72 を形成する。また、低電圧 PMOS トランジスタ領域 24 に、エクステンション領域となる P 型不純物層 74 を形成する。また、高電圧 NMOS トランジスタ形成領域 32 に、LDD 領域となる N 型不純物層 68 を形成する。また、高電圧 PMOS トランジスタ形成領域 40 に、LDD 領域となる P 型不純物層 70 を形成する (図 31 (a))。

【0157】

次いで、シリコン酸化膜を堆積して異方性エッチングし、ゲート電極 66 の側壁部分に、サイドウォールスペーサ 68 を形成する (図 31 (b))。

【0158】

次いで、フォトリソグラフィ及びイオン注入により、低電圧 NMOS トランジスタ領域 16 及び高電圧 NMOS トランジスタ形成領域 32 に、ソース/ドレイン領域となる N 型不純物層 78 を形成する。また、低電圧 PMOS トランジスタ領域 24 及び高電圧 PMOS トランジスタ形成領域 40 に、ソース/ドレイン領域となる P 型不純物層 80 を形成する (図 32)。

【0159】

次いで、熱処理を行い、注入した不純物を活性化する。

【0160】

こうして、シリコン基板 10 上に、低電圧 NMOS トランジスタと、低電圧 PMOS トランジスタと、高電圧 NMOS トランジスタと、高電圧 PMOS トランジスタを形成する。

【0161】

本参考例では、低電圧トランジスタのウェル (チャンネル不純物層を含む) と、高電圧トランジスタのウェル (チャンネル不純物層を含む) とを同時に形成している。しかしながら、低電圧トランジスタのチャンネル不純物層には急峻な不純物分布が求められる一方、高電圧トランジスタのチャンネル不純物層層は急峻な不純物分布を必要としない。むしろ、急峻な分布による接合耐圧の低下やホットキャリア耐性の低下を生じるため、好ましくない。かかる観点から、低電圧トランジスタのウェルと高電圧トランジスタのウェルとは、別々に形成することが望ましい。

【0162】

10

20

30

40

50

## 〔変形実施形態〕

上記実施形態に限らず種々の変形が可能である。

## 【0163】

例えば、上記実施形態では、P型高濃度不純物層22を形成する際に、非晶質化のためにゲルマニウムをイオン注入しているが、非晶質化に用いるイオン種は、これに限定されるものではない。例えば、シリコン、窒素、アルゴン、キセノン等を用いるようにしてもよい。

## 【0164】

また、上記実施形態では、下地の半導体基板としてシリコン基板を用いたが、下地の半導体基板は、必ずしもバルクのシリコン基板である必要はない。SOI基板など、他の半導体基板を適用してもよい。

10

## 【0165】

また、上記実施形態では、エピタキシャル半導体層としてシリコン層を用いたが、必ずしもシリコン層である必要はない。シリコン層の代わりに、SiGe層やSiC層等の他の半導体層を適用してもよい。

## 【0166】

また、上記実施形態に記載した半導体装置の構造、構成材料、製造条件等は、一例を示したものにすぎず、当業者の技術常識等に応じて適宜修正や変更が可能である。

## 【0167】

以上の実施形態に関し、更に以下の付記を開示する。

20

## 【0168】

(付記1) 半導体基板の第1の領域を露出する第1のマスクを用いて、前記第1の領域に、第1導電型の第1の不純物をイオン注入する工程と、

前記半導体基板の第2の領域を露出する第2のマスクを用いて、前記第2の領域に、第1の不純物よりも拡散定数の小さい前記第1導電型の第2の不純物、又は、前記第1の不純物及び前記第1の不純物の拡散を抑制する第3の不純物をイオン注入する工程と、

前記第1の不純物及び前記第2の不純物を活性化し、前記第1の領域に第1の不純物層を、前記第2の領域に第2の不純物層を、それぞれ形成する工程と、

前記第1の不純物層及び前記第2の不純物層が形成された前記半導体基板上に、半導体層をエピタキシャル成長する工程と、

30

前記半導体層の前記第1の領域上及び前記第2の領域上に、第1のゲート絶縁膜を成長する工程と、

前記第2の領域を露出する第3のマスクを用いて、前記第2の領域の前記第1のゲート絶縁膜を除去する工程と、

前記半導体層の前記第2の領域上に、前記第1のゲート絶縁膜よりも薄い第2のゲート絶縁膜を成長する工程と、

前記第1のゲート絶縁膜上に第1のゲート電極を、前記第2のゲート絶縁膜上に第2のゲート電極を、それぞれ形成する工程と

を有することを特徴とする半導体装置の製造方法。

## 【0169】

(付記2) 付記1記載の半導体装置の製造方法において、

前記第1の不純物は、ボロンであり、

前記第3の不純物は、炭素である

ことを特徴とする半導体装置の製造方法。

40

## 【0170】

(付記3) 付記2記載の半導体装置の製造方法において、

前記第1の不純物及び前記第3の不純物のイオン注入に先立ち、前記第2の領域に、前記半導体基板の表面領域を非晶質化するための第4の不純物をイオン注入する

ことを特徴とする半導体装置の製造方法。

## 【0171】

50

(付記4) 付記3記載の半導体装置の製造方法において、  
前記第4の不純物は、ゲルマニウムである  
ことを特徴とする半導体装置の製造方法。

【0172】

(付記5) 付記1記載の半導体装置の製造方法において、  
前記第1の不純物は、リンであり、  
前記第2の不純物は、砒素である  
ことを特徴とする半導体装置の製造方法。

【0173】

(付記6) 付記1乃至4のいずれか1項に記載の半導体装置の製造方法において、  
前記半導体層を形成する工程の後、前記半導体層を形成した前記半導体基板に素子分離  
絶縁膜を形成する工程を更に有する  
ことを特徴とする半導体装置の製造方法。

10

【0174】

(付記7) 付記1乃至5のいずれか1項に記載の半導体装置の製造方法において、  
前記第1のゲート絶縁膜を成長する工程では、前記第1の領域を露出する第3のマスク  
を用いてエッチングを行い、前記第1の領域の前記半導体層の表面を露出した後、前記第  
1のゲート絶縁膜を成長する  
ことを特徴とする半導体装置の製造方法。

【0175】

(付記8) 半導体基板の第1の領域を露出する第1のマスクを用いて、前記第1の領  
域に、第1の不純物をイオン注入する工程と、  
前記半導体基板の第2の領域を露出する第2のマスクを用いて、前記第2の領域に、前  
記第1の不純物と同導電型の第2の不純物をイオン注入する工程と、  
前記半導体基板の第3の領域を露出する第3のマスクを用いて、前記第3の領域に、前  
記第1の不純物と逆導電型の第3の不純物をイオン注入する工程と、  
前記半導体基板の第4の領域を露出する第4のマスクを用いて、前記第4の領域に、前  
記第1の不純物と逆導電型の第4の不純物をイオン注入する工程と、  
前記第1の不純物、第2の不純物、第3の不純物、及び前記第4の不純物を活性化し、  
前記第1の領域に第1の不純物層を、前記第2の領域に第2の不純物層を、前記第3の領  
域に第3の不純物層を、前記第4の領域に第4の不純物層を、それぞれ形成する工程と、  
前記第1の不純物層、前記第2の不純物層、前記第3の不純物層、及び前記第4の不純  
物層が形成された前記半導体基板上に、半導体層をエピタキシャル成長する工程と、  
前記半導体層の前記第1の領域上、前記第2の領域上、前記第3の領域上、及び前記第  
4の領域上に、第1のゲート絶縁膜を成長する工程と、  
前記第2の領域及び前記第4の領域を露出する第5のマスクを用いて、前記第2の領域  
及び前記第4の領域の前記第1のゲート絶縁膜を除去する工程と、  
前記半導体層の前記第2の領域上及び前記第4の領域上に、前記第1のゲート絶縁膜よ  
りも薄い第2のゲート絶縁膜を成長する工程と、  
前記第1の領域の前記第1のゲート絶縁膜上に第1のゲート電極を、前記第2の領域の  
前記第2のゲート絶縁膜上に第2のゲート電極を、前記第3の領域の前記第1のゲート絶  
縁膜上に第3のゲート電極を、前記第4の領域の前記第2のゲート絶縁膜上に第4のゲ  
ート電極を、それぞれ形成する工程と  
を有することを特徴とする半導体装置の製造方法。

20

30

40

【0176】

(付記9) 付記8記載の半導体装置の製造方法において、  
前記第1の不純物は、ボロンであり、  
前記第2の不純物は、ボロンと炭素を含み、  
前記第3の不純物は、リンであり、  
前記第4の不純物は、砒素又はアンチモンである

50

ことを特徴とする半導体装置の製造方法。

【0177】

(付記10) 付記8又は9記載の半導体装置の製造方法において、前記第2の不純物をイオン注入する工程では、前記第2の不純物のイオン注入に先立ち、前記半導体基板の表面領域を非晶質化するための第5の不純物をイオン注入することを特徴とする半導体装置の製造方法。

【0178】

(付記11) 付記10記載の半導体装置の製造方法において、前記第5の不純物は、ゲルマニウムであることを特徴とする半導体装置の製造方法。

10

【0179】

(付記12) 付記8乃至11のいずれか1項に記載の半導体装置の製造方法において、前記半導体層を形成する工程の後、前記半導体層を形成した前記半導体基板に素子分離絶縁膜を形成する工程を更に有することを特徴とする半導体装置の製造方法。

【0180】

(付記13) 付記8乃至12のいずれか1項に記載の半導体装置の製造方法において、前記第1のゲート絶縁膜を成長する工程では、前記第1の領域及び前記第3の領域を露出する第6のマスクを用いてエッチングを行い、前記第1の領域及び前記第3の領域の前記半導体層の表面を露出した後、前記第1のゲート絶縁膜を成長することを特徴とする半導体装置の製造方法。

20

【0181】

(付記14) 半導体基板の第1の領域に形成され、ボロンを含む第1の不純物層と、前記第1の不純物層上に形成された第1のエピタキシャル半導体層と、前記第1のエピタキシャル半導体層上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と、前記第1のエピタキシャル半導体層及び前記第1の領域の前記半導体基板内に形成された第1のソース/ドレイン領域とを有する第1のトランジスタと、前記半導体基板の第2の領域に形成され、ボロン及び炭素を含む第3の不純物層と、前記第2の不純物層上に形成された第2のエピタキシャル半導体層と、前記第2のエピタキシャル半導体層上に形成され、前記第1のゲート絶縁膜よりも薄い第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極と、前記第2のエピタキシャル半導体層及び前記第2の領域の前記半導体基板内に形成された第2のソース/ドレイン領域とを有する第2のトランジスタと、前記半導体基板の第3の領域に形成され、リンを含む第3の不純物層と、前記第3の不純物層上に形成された第3のエピタキシャル半導体層と、前記第3のエピタキシャル半導体層上に形成され、前記第1のゲート絶縁膜と膜厚の等しい第3のゲート絶縁膜と、前記第3のゲート絶縁膜上に形成された第3のゲート電極と、前記第3のエピタキシャル半導体層及び前記第3の領域の前記半導体基板内に形成された第3のソース/ドレイン領域とを有する第3のトランジスタと、前記半導体基板の第4の領域に形成され、砒素又はアンチモンを含む第3の不純物層と、前記第4の不純物層上に形成された第4のエピタキシャル半導体層と、前記第4のエピタキシャル半導体層上に形成され、前記第2のゲート絶縁膜と膜厚の等しい第4のゲート絶縁膜と、前記第4のゲート絶縁膜上に形成された第4のゲート電極と、

30

40

50

前記第 4 のエピタキシャル半導体層及び前記第 4 の領域の前記半導体基板内に形成された第 4 のソース/ドレイン領域とを有する第 4 のトランジスタとを有することを特徴とする半導体装置。

## 【 0 1 8 2 】

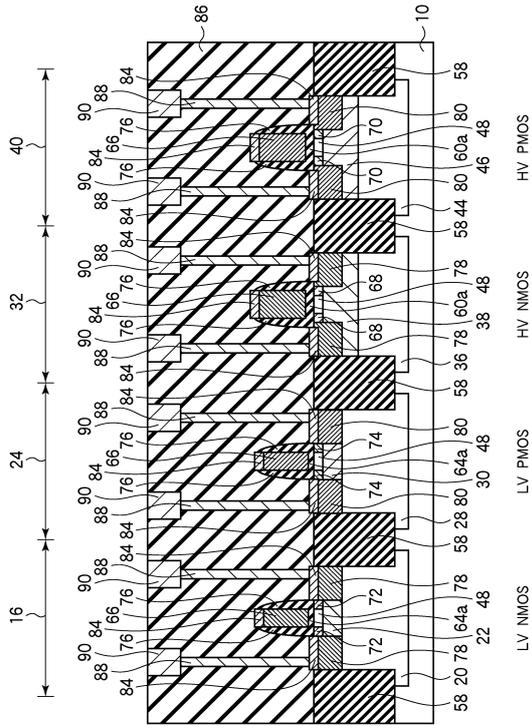
( 付記 1 5 ) 付記 1 4 記載の半導体装置において、前記第 2 の不純物層は、ゲルマニウムを含むことを特徴とする半導体装置。

## 【符号の説明】

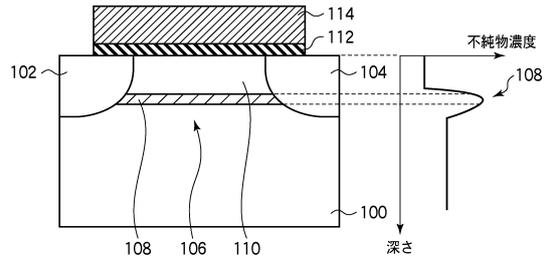
## 【 0 1 8 3 】

1 0 ... シリコン基板	10
1 2 ... 溝	
1 4 , 5 2 , 6 0 , 6 4 ... シリコン酸化膜	
1 6 ... 低電圧 N M O S トランジスタ形成領域	
1 8 , 2 6 , 3 4 , 4 2 , 5 0 , 6 2 ... フォトレジスト膜	
2 0 , 3 6 ... P ウェル	
2 2 ... P 型高濃度不純物層	
2 4 ... 低電圧 P M O S トランジスタ形成領域	
2 8 , 4 4 ... N ウェル	
3 0 ... N 型高濃度不純物層	
3 2 ... 高電圧 N M O S トランジスタ形成領域	20
3 8 , 7 0 , 7 4 ... P 型不純物層	
4 0 ... 高電圧 P M O S トランジスタ形成領域	
4 6 , 6 8 , 7 2 ... N 型不純物層	
4 8 ... シリコン層	
5 4 ... シリコン窒化膜	
5 6 ... 素子分離溝	
5 8 ... 素子分離絶縁膜	
6 0 a , 6 4 a ... ゲート絶縁膜	
6 6 a ... ポリシリコン膜	
6 6 ... ゲート電極	30
7 6 ... サイドウォールスペーサ	
7 8 ... N 型不純物層 ( ソース / ドレイン領域 )	
8 0 ... P 型不純物層 ( ソース / ドレイン領域 )	
8 4 ... 金属シリサイド膜	
8 6 ... 層間絶縁膜	
8 8 ... コンタクトプラグ	
9 0 ... 配線	
1 0 0 ... シリコン基板	
1 0 2 ... ソース領域	
1 0 4 ... ドレイン領域	40
1 0 6 ... チャネル領域	
1 0 8 ... 高濃度不純物層	
1 1 0 ... シリコン層	
1 1 2 ... ゲート絶縁膜	
1 1 4 ... ゲート電極	

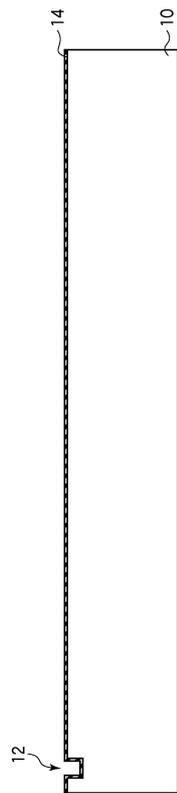
【図1】



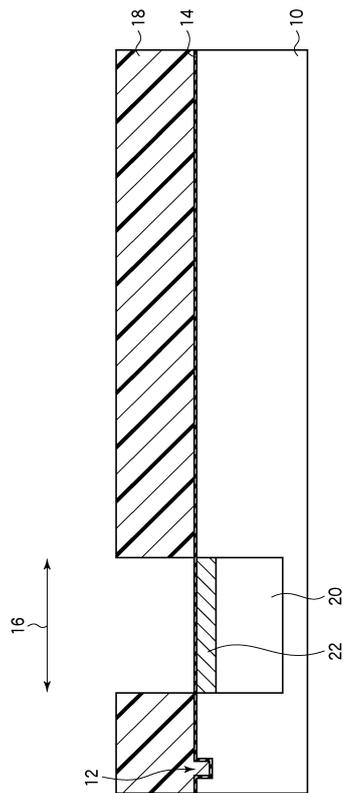
【図2】



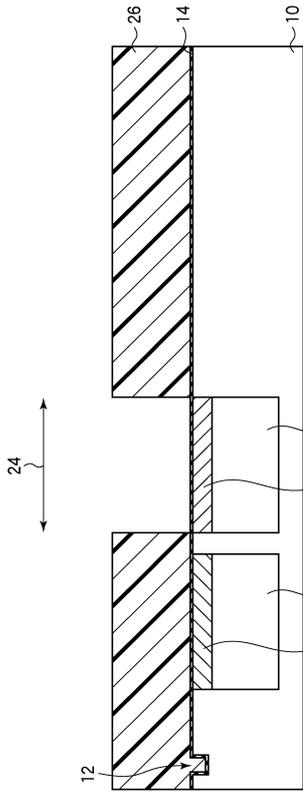
【図3】



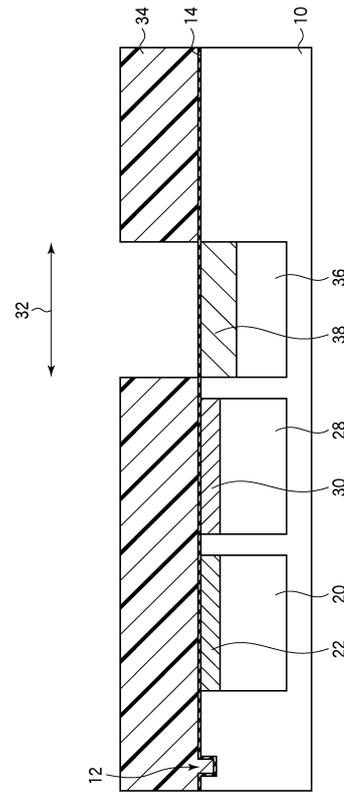
【図4】



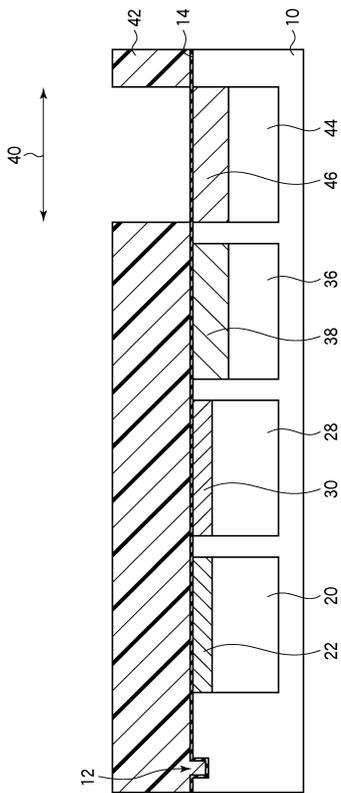
【図 5】



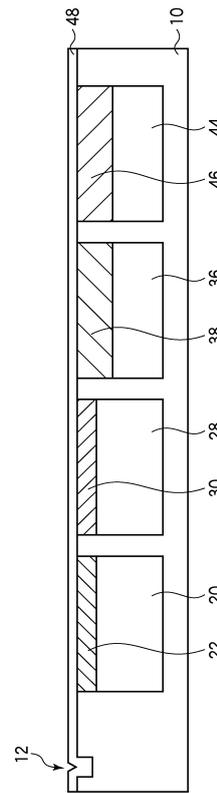
【図 6】



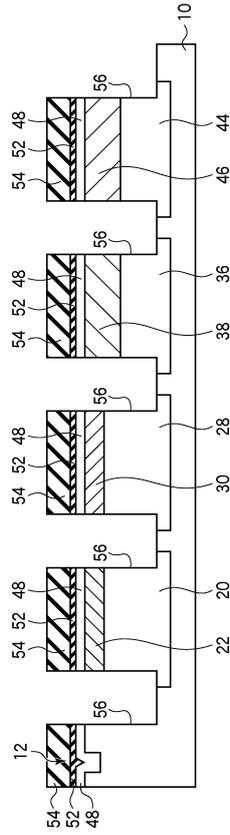
【図 7】



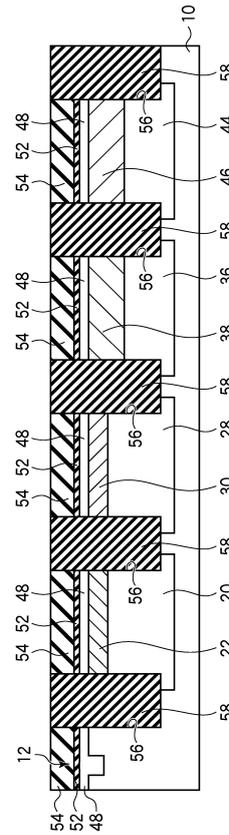
【図 8】



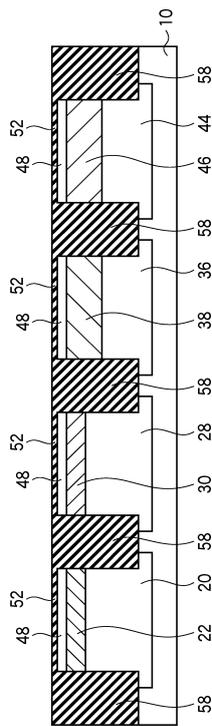
【図 9】



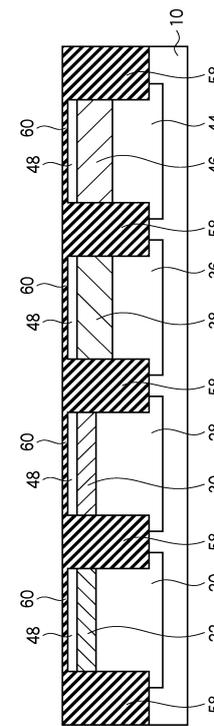
【図 10】



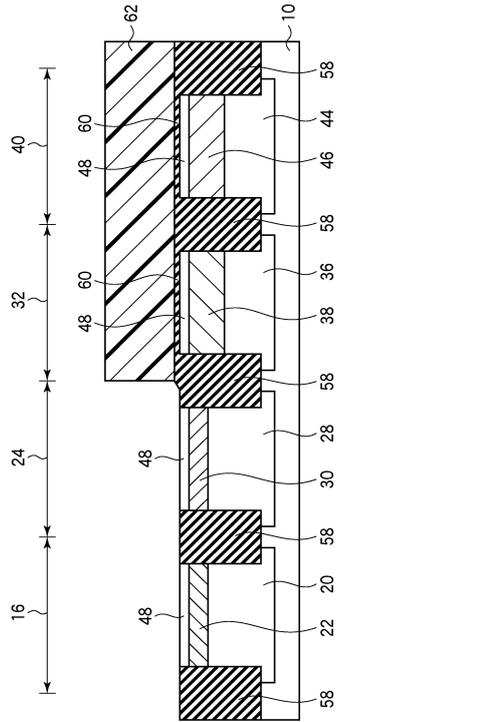
【図 11】



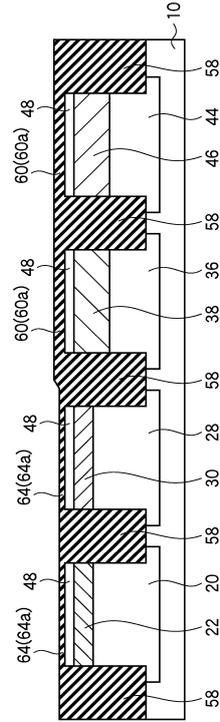
【図 12】



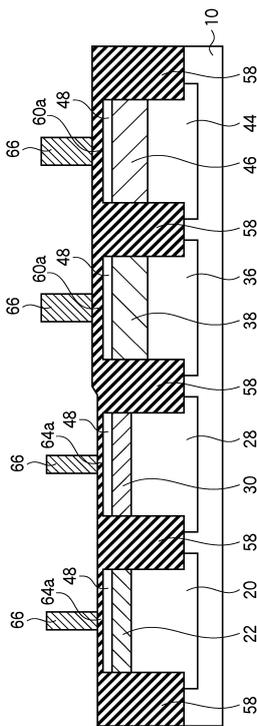
【図 13】



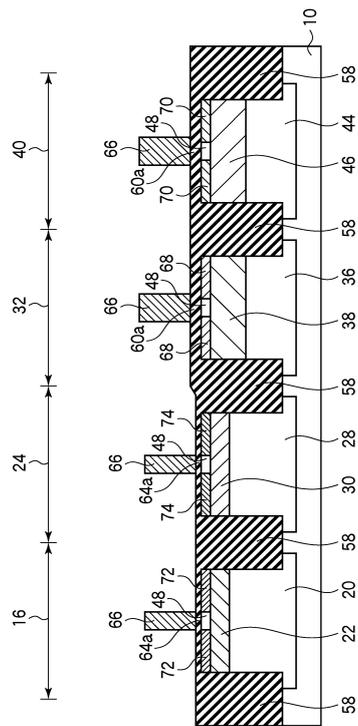
【図 14】



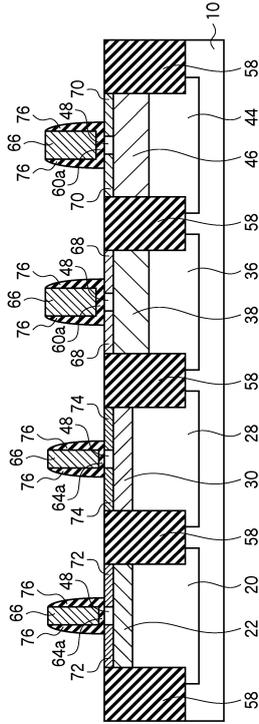
【図 15】



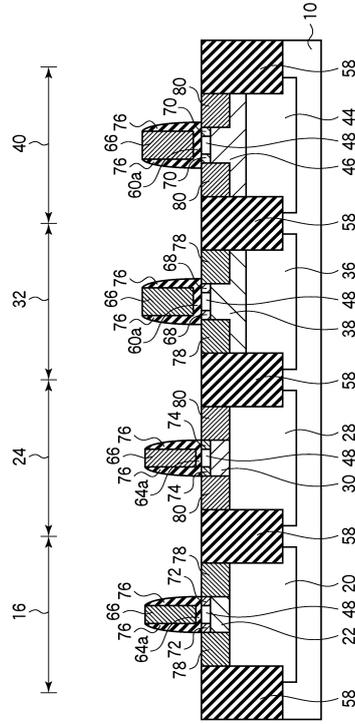
【図 16】



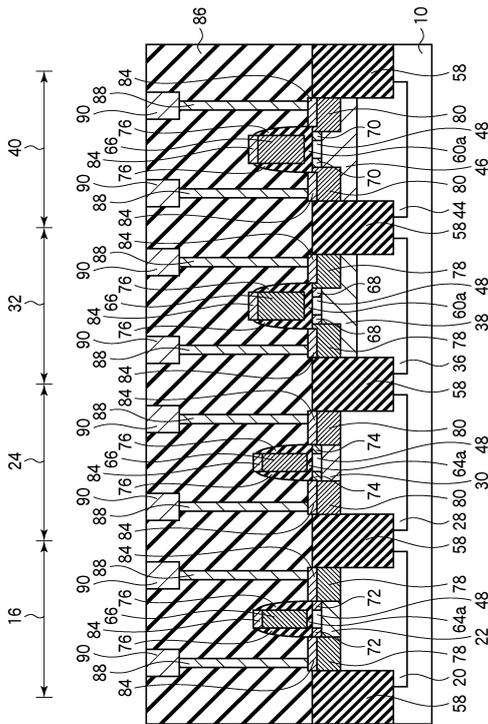
【図 17】



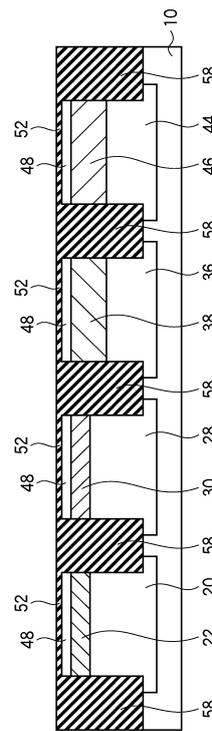
【図 18】



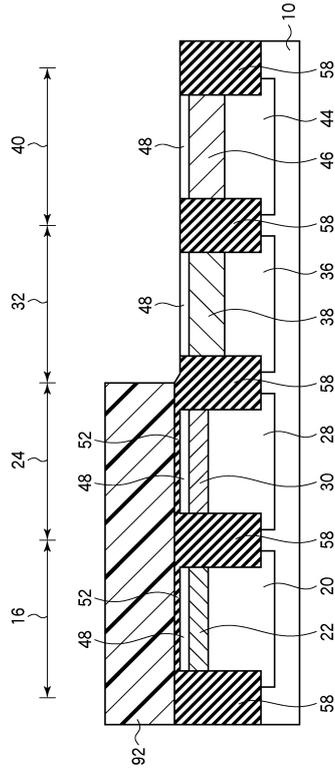
【図 19】



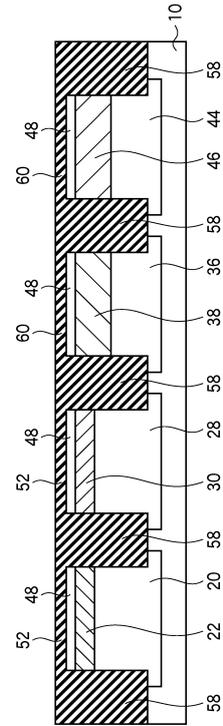
【図 20】



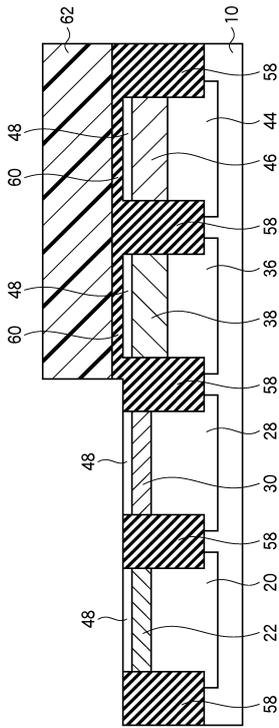
【 図 2 1 】



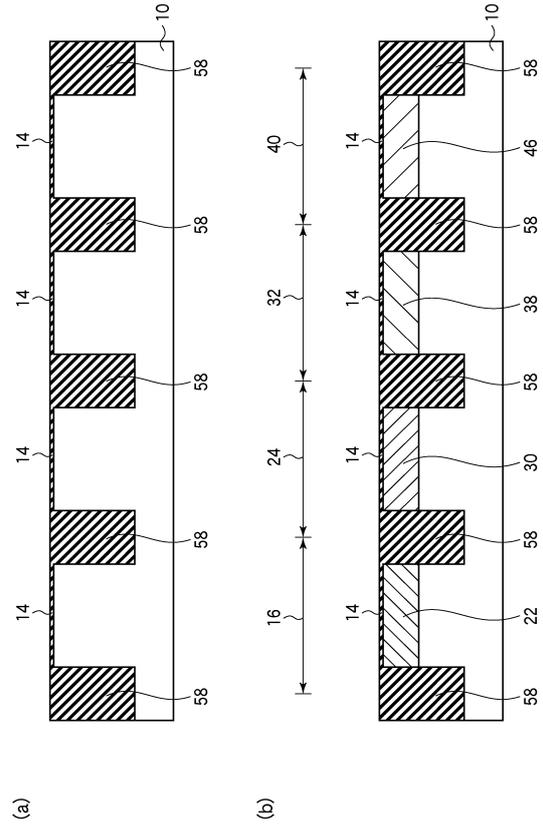
【 図 2 2 】



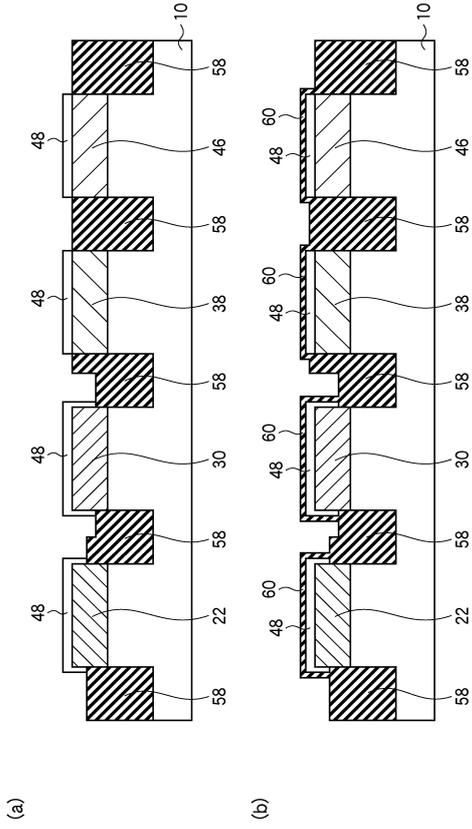
【 図 2 3 】



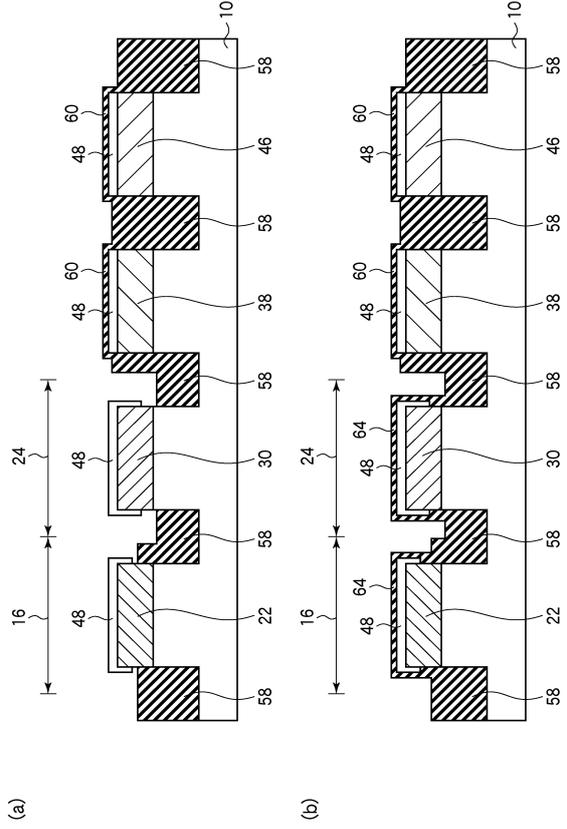
【 図 2 4 】



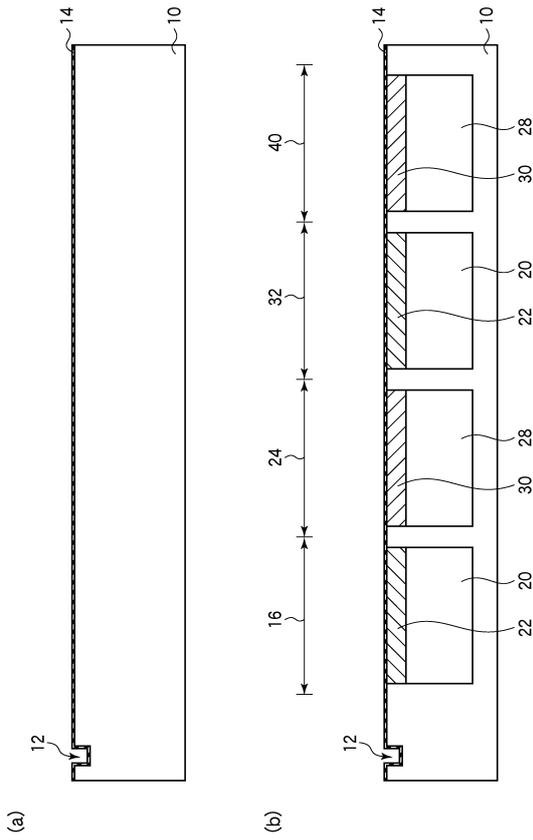
【 図 2 5 】



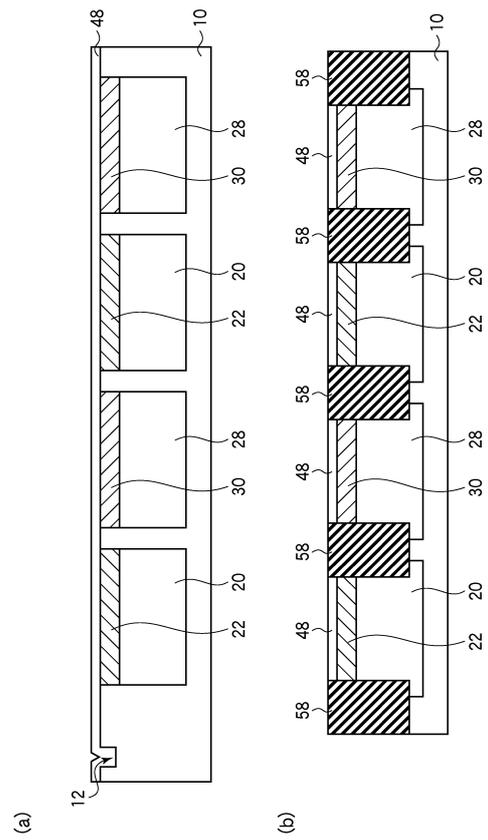
【 図 2 6 】



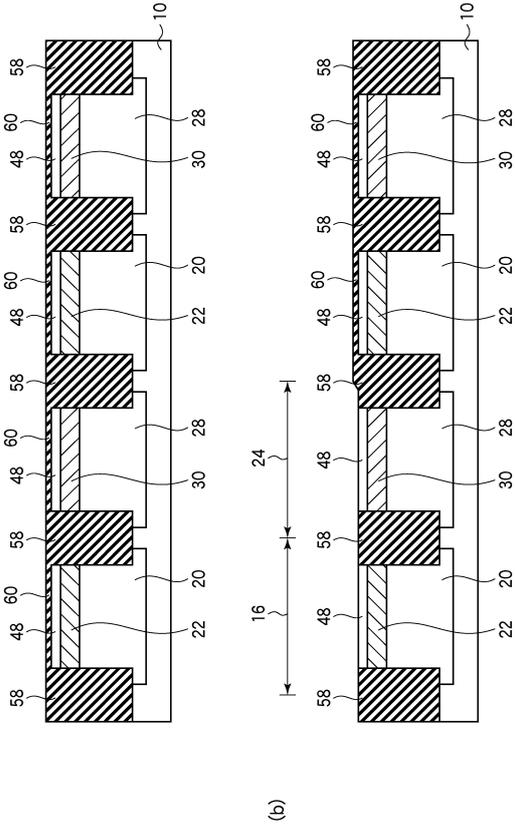
【 図 2 7 】



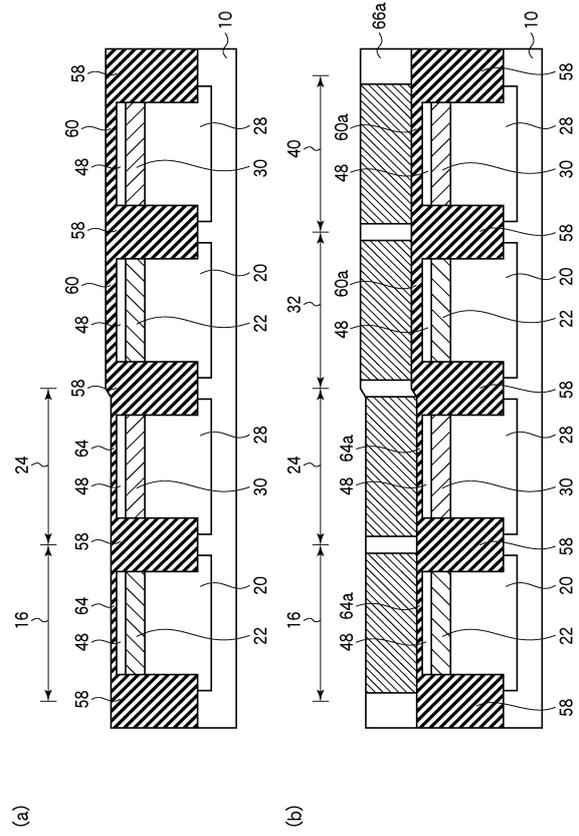
【 図 2 8 】



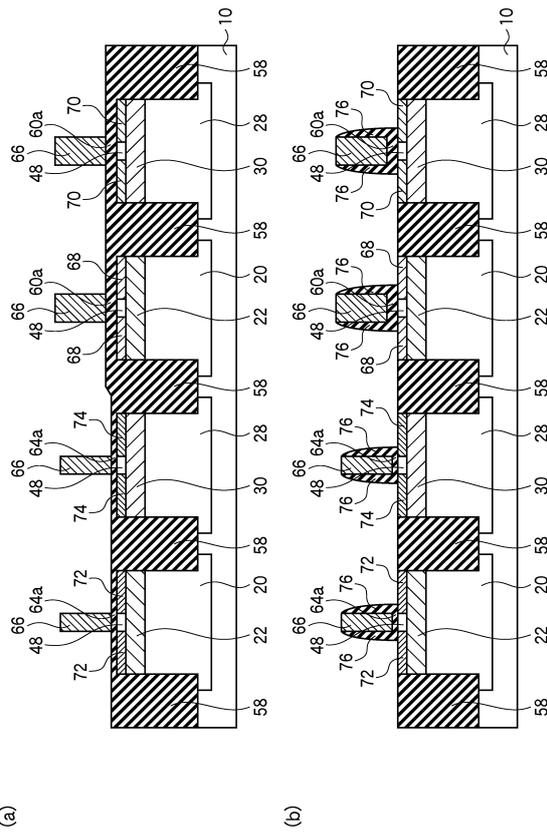
【図 29】



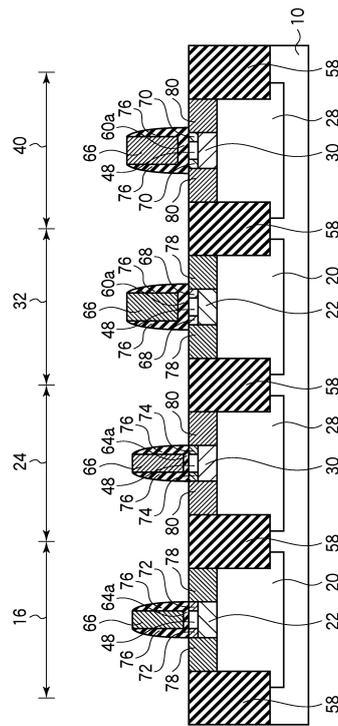
【図 30】



【図 31】



【図 32】



---

フロントページの続き

審査官 宇多川 勉

- (56)参考文献 特開2010-157570(JP,A)  
特開2006-086443(JP,A)  
特開2007-281027(JP,A)  
特開2009-283496(JP,A)  
特開2001-085533(JP,A)  
特開2007-088054(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234  
H01L 27/088