

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3793186号
(P3793186)

(45) 発行日 平成18年7月5日(2006.7.5)

(24) 登録日 平成18年4月14日(2006.4.14)

(51) Int. Cl.	F I				
HO 1 G 2/06 (2006.01)	HO 1 G	1/035	C		
HO 1 G 4/38 (2006.01)	HO 1 G	4/38	A		
HO 1 G 4/228 (2006.01)	HO 1 G	1/14	Z		

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2003-297773 (P2003-297773)	(73) 特許権者	000005821
(22) 出願日	平成15年8月21日(2003.8.21)		松下電器産業株式会社
(62) 分割の表示	特願平11-115673の分割		大阪府門真市大字門真1006番地
原出願日	平成11年4月23日(1999.4.23)	(74) 代理人	110000040
(65) 公開番号	特開2004-48037 (P2004-48037A)		特許業務法人池内・佐藤アンドパートナーズ
(43) 公開日	平成16年2月12日(2004.2.12)	(72) 発明者	本田 和義
審査請求日	平成15年8月21日(2003.8.21)		大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	越後 紀康
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	小田 桐 優
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 電子部品実装体

(57) 【特許請求の範囲】

【請求項1】

配線基板上に、第1電子部品及び第2電子部品がこの順に実装された電子部品実装体であって、

前記第1電子部品は、誘電体を挟んで対向配置された電極層と、前記電極層に接続された取り出し電極又は外部電極と、前記電極層に電氣的に接続されずに前記第1電子部品を貫通する、格子点状に配置された貫通電極とを有し、

前記貫通電極は前記配線基板と前記第2電子部品とを電氣的に接続しており、

前記誘電体とこれを挟んで対向配置された前記電極層とがコンデンサとして機能することを特徴とする電子部品実装体。

【請求項2】

前記取り出し電極は、前記第1電子部品の片側の表面にのみ現出している請求項1に記載の電子部品実装体。

【請求項3】

前記電極層は、前記貫通電極の間に配置された第1の電極層及び第2の電極層とからなり、前記第1の電極層と前記第2の電極層は、前記誘電体を挟んで格子状に交差して配置されている請求項1に記載の電子部品実装体。

【請求項4】

前記電極層は、所定の大きさの対向部分を有するように前記誘電体を挟んで配置された第1の電極層及び第2の電極層とからなる請求項1に記載の電子部品実装体。

【請求項 5】

前記取り出し電極は、前記貫通電極の一方の端部と同一面上に形成されている請求項 1 に記載の電子部品実装体。

【請求項 6】

前記外部電極は、前記貫通電極と異なる面上に形成されている請求項 1 に記載の電子部品実装体。

【請求項 7】

前記第 1 の電極層と前記第 2 の電極層との間で、複数の静電容量形成領域が形成されている請求項 3 又は 4 に記載の電子部品実装体。

【請求項 8】

それぞれの静電容量形成領域を形成する第 1 の電極層と第 2 の電極層に接続された取り出し電極又は外部電極は、相互に絶縁されている請求項 7 に記載の電子部品実装体。

【請求項 9】

静電容量が異なる静電容量形成領域が形成されている請求項 7 又は 8 に記載の電子部品実装体。

【請求項 10】

前記第 2 電子部品が半導体チップを含む請求項 1 に記載の電子部品実装体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子部品実装体に関する。

【背景技術】

【0002】

情報処理速度の高速化要求は止まるところを知らず、半導体チップの高周波化が年々進行している。半導体動作の高速化には集積チップの高密度化、高性能化のみならず、周辺回路の特性向上が必要である。中でも伝送路や電源ラインの安定性確保は高速安定動作に必須要件の一つであり、周辺構成デバイスが半導体チップ本体の死活に関わっているといって過言ではない。

【0003】

伝送路や電源ラインの安定性を確保する重要なデバイスの一つとしてコンデンサがあげられる。高速動作を実現するコンデンサにはコンデンサ自体の高周波性能に加え、コンデンサに至るまでの配線が低インピーダンスであること等が要求される。

【発明の開示】

【発明が解決しようとする課題】

【0004】

半導体チップを高周波動作させるには、配線損失を小さくするためにコンデンサ等を半導体チップの近傍に配置することが必要である。従来技術では半導体の内部に微小なコンデンサ等を形成するなどの限られた手法しかなく、より一層の高周波動作を安定に行わせるには効果が不十分になりつつある。また、半導体チップの周辺にコンデンサ等を配置した場合には実装板面積が大きくなってしまいう問題もある。

【0005】

本発明はこれらの課題を解決するためのものであって、実装面積の増加を少なくしながら、半導体チップ近傍にコンデンサ等を配置することができる電子部品実装体を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、上記の目的を達成するために以下の構成とする。

【0007】

即ち、本発明に係る電子部品実装体は、配線基板上に、第 1 電子部品及び第 2 電子部品がこの順に実装された電子部品実装体であって、前記第 1 電子部品は、誘電体を挟んで対

10

20

30

40

50

向配置された電極層と、前記電極層に接続された取り出し電極又は外部電極と、前記電極層に電氣的に接続されずに前記第1電子部品を貫通する、格子点状に配置された貫通電極とを有し、前記貫通電極は前記配線基板と前記第2電子部品とを電氣的に接続しており、前記誘電体とこれを挟んで対向配置された前記電極層とがコンデンサとして機能することを特徴とする。本発明の第1電子部品は格子点状に配置された貫通電極を有するので、例えば、配線基板上に本発明の第1電子部品を実装し、この上にさらに他の第2電子部品（例えば半導体チップ）を設置して、第2電子部品は上記貫通電極を介して配線基板と接続することができる。また、本発明の第1電子部品は、誘電体とこれを挟む電極層とを有し、これらがコンデンサとして機能する。以上の結果、実装面積の増加を少なくしながら、半導体チップ近傍にコンデンサを配置することができ、半導体チップの高周波駆動と実装面積の増加の抑制とを両立させることができる。

10

【0008】

なお、上記貫通電極は、電極層と誘電体との積層方向と略平行方向に貫通しているのが好ましい。このような構成の第1電子部品は製造するのが容易である。

【0009】

上記の本発明の電子部品実装体において、前記電極層は、前記貫通電極の間に配置された第1の電極層及び第2の電極層とからなり、前記第1の電極層と前記第2の電極層は、前記誘電体を挟んで格子状に交差して配置されている構成とすることができる。あるいは、前記電極層は、所定の大きさの対向部分を有するように前記誘電体を挟んで配置された第1の電極層及び第2の電極層とからなる構成とすることもできる。このような構成によれば、第1電子部品内に所望する容量のコンデンサを容易に形成することができる。

20

【0010】

上記の本発明の電子部品実装体において、前記取り出し電極を、前記貫通電極と同一面上に形成することができる。即ち、取り出し電極と貫通電極とを、第1電子部品の同一表面上に露出するように形成することができる。このような構成によれば、第1電子部品内の電極層への電圧供給のための配線基板等との接続を貫通電極と同一面内（例えば、第1電子部品の下面又は上面）で同様に行なうことができる。この結果、実装面積をさらに小さくすることができる。また、本発明の第1電子部品の上に設置する第2電子部品を取り出し電極に接続するのも容易に行なうことができる。

【0011】

また、上記の本発明の電子部品実装体において、前記外部電極を、前記貫通電極と異なる面上に形成することができる。例えば、貫通電極を第1電子部品の上下の外表面上に露出するように形成し、外部電極を第1電子部品の周囲面に形成する。このような構成によれば、本発明の第1電子部品を配線基板等を実装する場合に、外部電極の配線基板へのはんだ付等を容易に行なうことができる。

30

【0012】

また、上記の本発明の電子部品実装体において、前記第1の電極層と前記第2の電極層との間で、複数の静電容量形成領域が形成されていることが好ましい。これにより、第1電子部品内にコンデンサを形成することができる。

【0013】

このとき、それぞれの静電容量形成領域を形成する第1の電極層と第2の電極層に接続された取り出し電極又は外部電極は、相互に絶縁されていることが好ましい。かかる構成により、第1電子部品内に複数の独立したコンデンサを形成することができる。

40

【0014】

さらに、静電容量が異なる静電容量形成領域が形成されていると、第1電子部品内に容量が異なるコンデンサを複数形成することができる。

【発明の効果】

【0015】

以上のように本発明の電子部品実装体によれば、半導体チップの近傍に静電容量が形成できるので、半導体チップの高周波駆動を可能にし、同時に実装面積の増加を抑えること

50

ができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を図面を用いて説明する。

【0017】

(実施の形態1)

図1は本発明の実施の形態1に係る第1電子部品10の一例を示す模式的平面図である。また、図2は図1に示した第1電子部品の一部分の内部構造を示す斜視図である。

【0018】

略同一平面上に複数本のストライプ形状(縞状)に形成された第1の電極層1と、略同一平面上に複数本のストライプ形状(縞状)に形成された第2の電極層2とが、誘電体層3を挟んで積層されている。各電極層1,2のストライプ方向を交差させることにより、各交差部に静電容量形成領域9が形成され、コンデンサとして機能する。

10

【0019】

第1の電極層1には第1の取り出し電極4が、第2の電極層2には第2の取り出し電極5が接続されている。これらは、前記コンデンサ機能を発揮させるときの接続端子として用いることが出来る。取り出し電極4,5は、図1及び図2の様に第1電子部品10の積層方向に貫通するように形成しても良く、又は、第1電子部品の片側の表面にのみ現出するように形成しても良く、あるいはそれらの組合せでも良い。

【0020】

第1電子部品10には前記取り出し電極4,5の他に、貫通電極6が形成されている。貫通電極6を介することにより、本発明の第1電子部品10の上下に配置された本発明の第1電子部品とは別の第2電子部品間の電気的接続はあたかも本発明の第1電子部品が存在しないが如くそのまま確保される。

20

【0021】

電極層1,2を形成する材料としては、アルミ、銅、金などの金属や金属化合物を用いることが出来る。また、誘電体層3を形成する材料としては、アクリル樹脂、エポキシ樹脂、ビニル樹脂をはじめとする樹脂材料や、バリウムチタン酸化物系セラミックやストロンチウムチタン酸化物系セラミックなどのセラミック材料、あるいは酸化チタン、酸化アルミ、酸化ケイ素等の金属酸化物や半金属酸化物を用いることが出来る。また、取り出し電極4,5及び貫通電極6としては、金、銀、アルミ、銅やはんだ材料などの金属の他、導電性ペーストや導電性高分子を用いることが出来る。

30

【0022】

電極層1,2の形成は、真空蒸着法、スパッタ法、メッキ法等によって行うことが出来る。また、電極層1,2をストライプ状に形成する手段としてはパターンニング形状の固体マスクを用いる方法やオイル等の蒸発性マスクを用いる方法、レーザーエッチングを行う方法などを適宜用いることが出来る。オイルマスクング材料としては炭化水素系のオイルや鉱物オイル、フッ素系オイルを初めとする各種オイル等を用いることが出来る。

【0023】

誘電体層3の形成は、樹脂系材料であれば、ヒータ加熱により気化して、又は超音波若しくはスプレーにより霧化して堆積する方法、セラミック材料や金属系材料であれば、スパッタ、蒸着等の方法を用いることができる。

40

【0024】

取り出し電極4,5や貫通電極6を形成するために誘電体層3に穴状の開口を形成するには、誘電体層を形成後にレーザーエッチングにより所定箇所の誘電体を除去する方法や、予めオイル等の蒸発性マスクを付与した後誘電体層を形成する方法等を用いることができる。点状の蒸発性マスクを付与するためには、マスクング材料の微小滴を微細孔から飛び出させるインクジェット方式により付与する方法が特に有効である。

【0025】

オイルマスクを付与する場合、使用できるオイルとしては、炭化水素系オイル、鉱物オ

50

イル、フッ素系オイル等が挙げられる。

【0026】

尚、蒸発性マスクを用いる場合、各層の成膜後に余剰なマスク材料が残った場合、必要に応じて遠赤外線ヒーター、電子線、紫外線ランプ照射、プラズマ照射等を用いて除去することが出来る。

【0027】

図3は、図1及び図2に示した第1電子部品を製造するための製造工程の一例の一部を説明するための装置の概略斜視図である。

【0028】

支持体は、装置の右側に設けられた支持体搬入室11から搬入されて、所定の工程を経て左側に設けられた支持体取り出し口22から取り出される。仕切弁12aと仕切弁12bとの間は工程ごとに区分された複数の部屋から構成され、これらは所定の真空度に維持された真空槽内に形成される。支持体は装置の略中央に設けられた搬送系21により各部屋を順に移動し、所定の処理が施される。支持体としては、例えばシート状又は板状の、樹脂、セラミックス、又は金属等からなる基材を用いることができ、この上に誘電体薄膜及び金属薄膜が積層される。

10

【0029】

支持体搬入室11に搬入された支持体は、仕切弁12aが開かれて、真空槽内に搬入される。最初に、支持体の表面に下部絶縁体成膜源13により下部絶縁体膜の成膜がなされる。このとき、貫通電極及び取り出し電極を形成する位置にパターニングマスクを付与して又はレーザー光照射により開口(穴)を形成しても良い。続いて金属薄膜成膜源14とパターニングマスクの組合せにより、第一のパターニング金属薄膜(第1の電極層)が形成される。次に誘電体薄膜成膜源15により、第一の誘電体薄膜(誘電体層)が形成される。第一の誘電体薄膜の形成後、レーザー加工機16によって、取り出し電極および貫通電極を形成する位置の誘電体薄膜が除去される。続いて金属薄膜成膜源17とパターニングマスクの組合せにより、第二のパターニング金属薄膜(第2の電極層)が形成される。次に誘電体薄膜成膜源18により、第二の誘電体薄膜(誘電体層)が形成される。第二の誘電体薄膜の形成後も、レーザー加工機19によって、取り出し電極および貫通電極を形成する位置の誘電体薄膜が除去される。しかるのちに再び金属薄膜成膜源14、誘電体薄膜成膜源15、レーザー加工機16、金属薄膜成膜源17、誘電体薄膜成膜源18、レーザー加工機19に順次送られ、所定回数だけこれらの作業が繰り返される。所定回数の成膜を行った後、上部絶縁体成膜源20により上部絶縁体膜の成膜がなされる。このとき、貫通電極及び取り出し電極を形成する位置にパターニングマスクを付与して又はレーザー光照射により開口(穴)を形成しても良い。その後、仕切弁12bが開かれ、支持体取り出し口22から取り出される。

20

30

【0030】

貫通電極は貫通電極の位置に形成された貫通穴に導電性ペーストを塗り込んだ後にペーストを固めることにより形成される。

【0031】

同様に、上部絶縁体膜及び/又は下部絶縁体膜の取り出し電極の位置に形成された開口に露出した金属薄膜と接続するように、開口に導電性ペーストを塗り込んで取り出し電極が積層体表面と同平面若しくは若干の突起となるようにしても良い。

40

【0032】

その後、積層体を適当な工程段階で必要に応じて所定の大きさに切断加工される。

【0033】

形成された本発明の第1電子部品10は、例えば図4に模式的に示した様に、半導体チップ27を搭載したキャリア28と配線基板30との間に配置されて使用される。キャリア28の下面の信号端子29aは必要に応じて本発明の第1電子部品10の貫通電極6を介して配線基板30上に形成された配線パターン31と接続される。またキャリア28の下面のある電源端子29bは貫通電極6を介して配線基板30に接続され、さらに第1の

50

取り出し電極 4 に接続される。また、キャリア 28 の下面の別の電源端子 29 b は貫通電極 6 を介して配線基板 30 に接続され、さらに第 2 の取り出し電極 5 に接続される。貫通電極 6 と取り出し電極 4, 5 との接続は図 4 のように配線基板 30 の表面の配線パターン 31 による方法であっても良いし、配線基板 30 内部での接続等、その他の方法であっても良い。

【0034】

第 1 の取り出し電極 4 と接続された第 1 の電極層 1 と、第 2 の取り出し電極 5 と接続された第 2 の電極層 2 とは誘電体層を挟んで絶縁されているので、例えば第 1 の取り出し電極 4 と接続された電源端子が Vcc 端子、第 2 の取り出し電極 5 と接続された電源端子が GND 端子とすれば、第 1 の取り出し電極 4 と第 2 の取り出し電極 5 の間に形成されたコンデンサは、実装面積をほとんど増やすことなく、かつ半導体チップに近い位置で電源用のパスコンデンサとして機能するので高周波駆動や実装面積低減の点等で好ましい。

10

【0035】

[実施例 1]

金属薄膜材料としてアルミニウム、誘電体材料として酸化アルミニウム、導電性ペーストとして銀系ペースト、インクジェット方式で付与するオイルマスキング材料としてフッ素系オイルを用い、17mm 角の面積内に 0.8mm ピッチの格子点に直径 0.25mm の貫通電極を 484 個形成し、かつ貫通電極間の 0.8mm ピッチの格子点に電極層 1 及び電極層 2 の取り出し電極 4, 5 を直径 0.25mm で各々 462 個形成した。電極層 1 と電極層 2 は共に 0.65mm 幅の多条ストライプとし、電極層の厚さ 30nm、誘電体層の厚さ 0.5ミクロン、誘電体層が 80 層となるような繰り返し積層を行った。積層体の上下には各 4ミクロンの絶縁体層を積層体の強度向上の目的で形成した。簡単のため上下の絶縁体層は誘電体層と同じ材料で構成した。下部絶縁体層には貫通電極や取り出し電極を形成するためにマスキングで穴加工を施した。上部絶縁体層にも貫通電極を形成するためにマスキングで穴加工を施した。穴加工を施した貫通電極の位置及び取り出し電極の位置に発生した凹部(開口部)には導電性ペーストを塗り込んで固めた。

20

【0036】

その結果、総容量で $1\mu\text{F}$ 、 $\tan\delta = 1.2\%$ のコンデンサが厚さ約 50ミクロンの積層体内部に形成できていることが LCR メーターで確認できた。なお、導電性ペーストのかわりにはんだ材料の細線を用いた場合にも同様の結果が得られた。

30

【0037】

(実施の形態 2)

図 5 は本発明の実施の形態 2 に係る第 1 電子部品 10 の別の一例を示す模式的平面図である。また、図 6 は図 5 に示した第 1 電子部品の一部の内部構造を示す斜視図である。

【0038】

略同一平面上に複数本のストライプ形状に形成された第 1 の電極層 1 と、略同一平面上に複数本のストライプ形状に形成された第 2 の電極層 2 とが、誘電体層 3 を挟んで積層されている。各電極層 1, 2 のストライプ方向を交差させることにより、各交差部に静電容量形成領域 9 が形成され、コンデンサとして機能する。

【0039】

第 1 電子部品 10 の外周面に外部電極 7, 8 が形成されている。第 1 の外部電極 7 は第 1 の電極層 1 と、また第 2 の外部電極 8 は第 2 の電極層 2 とそれぞれ電氣的に接続されており、これらは前記コンデンサ機能を発揮させるときの接続端子として用いることができる。外部電極 7, 8 は、図 5 の様に第 1 電子部品の対向する両側面に形成しても良く、又は、対向する側面の片面側のみ形成しても良く、又はこれらの組み合わせであっても良い。また、外部電極 7, 8 は、図 6 のように第 1 電子部品 10 の積層方向の両表面(上面及び下面)に達するように形成しても良く、又は、第 1 電子部品の片側にのみ現出するように形成しても良く、あるいはそれらの組合せでも良い。また、一つの外部電極 7 (又は 8) に複数の条の電極層 1 (又は 2) が接続されていても良い。これにより、形成されるコンデンサの容量を変化させることができる。

40

50

【0040】

第1電子部品10には前記外部電極7, 8の他に、貫通電極6が形成されている。貫通電極6を介することにより、本発明の第1電子部品10の上下に配置された本発明の第1電子部品とは別の第2電子部品間の電気的接続はあたかも本発明の第1電子部品が存在しないが如くそのまま確保される。

【0041】

電極層1, 2を形成する材料としては、アルミ、銅、金などの金属や金属化合物を用いることが出来る。また、誘電体層3を形成する材料としては、アクリル樹脂、エポキシ樹脂、ビニル樹脂をはじめとする樹脂材料や、バリウムチタン酸化物系セラミックやストロンチウムチタン酸化物系セラミックなどのセラミック材料、あるいは酸化チタン、酸化アルミ、酸化ケイ素と等の金属酸化物や半金属酸化物を用いることが出来る。また、外部電極7, 8及び貫通電極6としては、金、銀、アルミ、銅やはんだ材料などの金属の他、導電性ペーストや導電性高分子を用いることが出来る。

10

【0042】

電極層1, 2の形成は、真空蒸着法、スパッタ法、メッキ法等によって行うことが出来る。また、電極層1, 2をストライプ状に形成する手段としてはパターンニング形状の固体マスクを用いる方法やオイル等の蒸発性マスクを用いる方法、レーザーエッチングを行う方法などを適宜用いることが出来る。オイルマスクング材料としては炭化水素系のオイルや鉍物オイル、フッ素系オイルを初めとする各種オイル等を用いることが出来る。

【0043】

誘電体層3の形成は、樹脂系材料であれば、ヒータ加熱により気化して、又は超音波若しくはスプレーにより霧化して堆積する方法、セラミック材料や金属系材料であれば、スパッタ、蒸着等の方法を用いることができる。

20

【0044】

外部電極7, 8を形成するためには、溶射、メッキ、導電性ペーストの塗布等の方法を用いることができる。

【0045】

貫通電極6を形成するために誘電体層3に穴状の開口を形成するには、誘電体層を形成後にレーザーエッチングにより所定箇所の誘電体を除去する方法や、予めオイル等の蒸発性マスクを付与した後誘電体層を形成する方法等を用いることができる。点状の蒸発性マスクを付与するためには、マスクング材料の微小滴を微細孔から飛び出させるインクジェット方式により付与することが特に有効である。

30

【0046】

オイルマスクを付与する場合、使用できるオイルとしては、炭化水素系オイル、鉍物オイル、フッ素系オイル等が挙げられる。

【0047】

尚、蒸発性マスクを用いる場合、各層の成膜後に余剰なマスクング材料が残った場合、必要に応じて遠赤外線ヒーター、電子線、紫外線ランプ照射、プラズマ照射等を用いて除去することが出来る。

【0048】

図7は、図5及び図6に示した第1電子部品を製造するための製造装置の一例の一部を示した概略断面図である。

40

【0049】

真空槽24内は工程ごとに区分された複数の部屋から構成され、金属薄膜成膜源14, 17の部屋には真空ポンプ等からなる排気系25が接続されている。真空槽内の各部屋は所定の真空度に維持される。真空槽24の略中央部には搬送系として矢印方向に回転移動する支持体(図7ではキャン23)が配置される。

【0050】

まず、キャン23上に絶縁体成膜源(図7では誘電体薄膜成膜源15または18)により下部絶縁体膜の成膜が成される。成膜後、レーザー加工機16又は19によって貫通電

50

極の位置の絶縁体膜を除去して開口（穴）を形成しても良い。また、このとき金属薄膜成膜源 14, 17 のシャッター 26 は閉じている。続いてシャッター 26 を開き金属薄膜成膜源 14 とパターニングマスクの組合せにより第一のパターニング金属薄膜（第 1 の電極層）が形成される。次に誘電体薄膜成膜源 15 により、第一の誘電体薄膜（誘電体層）が形成される。第一の誘電体薄膜の形成後、レーザー加工機 16 によって、貫通電極の位置の誘電体薄膜が除去される。続いて金属薄膜成膜源 17 とパターニングマスクの組合せにより第二のパターニング金属薄膜（第 2 の電極層）が形成される。次に誘電体薄膜成膜源 18 により、第二の誘電体薄膜（誘電体層）が形成される。第二の誘電体薄膜の形成後も、レーザー加工機 19 によって、貫通電極の位置の誘電体薄膜が除去される。しかるのちに再び金属薄膜成膜源 14、誘電体薄膜成膜源 15、レーザー加工機 16、金属薄膜成膜源 17、誘電体薄膜成膜源 18、レーザー加工機 19 に順次送られ、所定回数だけこれらの作業が繰り返される。所定回数の成膜を行った後、シャッター 26 を閉じ、絶縁体成膜源（図 7 では誘電体薄膜成膜源 15 または 18）により上部絶縁体膜の成膜が成される。成膜後、レーザー加工機 16 又は 19 によって貫通電極の位置の絶縁体膜を除去して開口（穴）を形成しても良い。

10

【0051】

貫通電極は貫通電極の位置に形成された貫通穴に導電性ペーストを塗り込んだ後にペーストを固めることにより形成される。

【0052】

その後、積層体を適当な工程段階で必要に応じて所定の大きさに切断加工される。

20

【0053】

所定の大きさに切断された積層体の端面には溶射やペースト塗布等の方法によって外部電極が形成される。

【0054】

なお、外部電極形成時にはマスク、レジストなどを用いて外部電極に分割接続されるストライプ電極の条数を調整することが出来る。

【0055】

形成された本発明の第 1 電子部品 10 は、例えば図 8 に模式的に示した様に、半導体チップ 27 を搭載したキャリア 28 と配線基板 30 との間に配置されて使用される。キャリア 28 の下面の信号端子 29 a は必要に応じて本発明の第 1 電子部品 10 の貫通電極 6 を介して配線基板 30 上に形成された配線パターン 31 と接続される。またキャリア 28 の下面のある電源端子 29 b は貫通電極 6 を介して配線基板 30 に接続され、さらに第 1 の外部電極 7 に接続される。また、キャリア 28 の下面の別の電源端子 29 b は貫通電極 6 を介して配線基板 30 に接続され、さらに第 2 の外部電極 8 に接続される。貫通電極 6 と外部電極 7, 8 との接続は図 8 のように配線基板 30 の表面の配線パターン 31 による方法であっても良いし、配線基板 30 内部での接続又は本発明の第 1 電子部品の上表面での接続等、その他の方法であっても良い。外部電極 7, 8 と配線基板 30 との接続ははんだ付け 32、又はその他の方法を用いることが出来る。

30

【0056】

第 1 の外部電極 7 と接続された第 1 の電極層 1 と、第 2 の外部電極 8 と接続された第 2 の電極層 2 とは誘電体層を挟んで絶縁されているので、例えば第 1 の外部電極 7 に接続された電源端子が Vcc 端子、第 2 の外部電極 8 に接続された電源端子が GND 端子とすれば、第 1 の外部電極 7 と第 2 の外部電極 8 の間に形成されたコンデンサは、実装面積をほとんど増やすことなくかつ半導体チップに近い位置で電源用のパスコンデンサとして機能するので高周波駆動や実装面積低減の点で好ましい。

40

【0057】

[実施例 2]

金属薄膜材料としてアルミニウム、誘電体材料としてアクリレート、導電性ペーストとして銀系ペースト、レーザーとして出力 10 W の炭酸ガスレーザーを用い、17 mm 角の面積内に 0.8 mm ピッチの格子点に直径 0.25 mm の貫通電極を 484 個形成した。

50

電極層 1 と電極層 2 は共に 0.8 mm 幅の多条ストライプとし、電極層の厚さ 30 nm、誘電体層の厚さ 0.25 ミクロン、誘電体層が 140 層となるような繰り返し積層を行った。積層体の上下には各 5 ミクロンの絶縁体層を積層体の強度向上の目的で形成した。簡単のため上下の絶縁体層は誘電体層と同じ材料で構成した。上部絶縁体層及び下部絶縁体層には貫通電極を形成するためのレーザー加工を施した。その後、積層体に切断加工を施し切断面に溶射によりしんちゅう層を 20 μm の厚さに形成し、続いて半田めっき層を 60 μm 形成して外部電極とした。穴加工を施した貫通電極の位置に発生した凹部（開口部）には導電性ペーストを塗り込んで固めた。

【0058】

その結果、総容量で 1 μF、 $\tan \delta$ 0.8% のコンデンサが厚さ約 50 ミクロンの積層体内部に形成できていることが LCR メーターで確認できた。

【0059】

（実施の形態 3）

図 9 は本発明の実施の形態 3 に係る第 1 電子部品 10 の一例を示す模式的平面図である。また、図 10 は図 9 に示した第 1 電子部品の一部の内部構造を示す斜視図である。

【0060】

略同一平面上に所定のパターンで形成された複数の第 1 の電極層 1 と、略同一平面上に所定のパターンで形成された複数の第 2 の電極層 2 とが、誘電体層 3 を挟んで積層されている。各第 1 の電極層 1 と各第 2 の電極層 2 とを少なくとも一部が重なり合うように（対向するように）形成することにより、各重なり部分（対向部分）に静電容量形成領域 9 が形成され、コンデンサとして機能する。各重なり部分（静電容量形成領域 9）の大きさを変更することにより静電容量を変化させることができる。

【0061】

第 1 の電極層 1 には第 1 の取り出し電極 4 が、第 2 の電極層 2 には第 2 の取り出し電極 5 が接続されている。これらは、前記コンデンサ機能を発揮させるときの接続端子として用いることが出来る。取り出し電極 4, 5 は、図 9 及び図 10 の様に第 1 電子部品 10 の積層方向に貫通するように形成しても良く、又は、第 1 電子部品の片側の表面にのみ現出するように形成しても良く、あるいはそれらの組合せでも良い。

【0062】

第 1 電子部品 10 には前記取り出し電極 4, 5 の他に、貫通電極 6 が形成されている。貫通電極 6 を介することにより、本発明の第 1 電子部品 10 の上下に配置された本発明の第 1 電子部品とは別の第 2 電子部品間の電氣的接続はあたかも本発明の第 1 電子部品が存在しないが如くそのまま確保される。

【0063】

電極層 1, 2 を形成する材料としては、アルミ、銅、金などの金属や金属化合物を用いることが出来る。また、誘電体層 3 を形成する材料としては、アクリル樹脂、エポキシ樹脂、ビニル樹脂をはじめとする樹脂材料や、バリウムチタン酸化物系セラミックやストロンチウムチタン酸化物系セラミックなどのセラミック材料、あるいは酸化チタン、酸化アルミ、酸化ケイ素等の金属酸化物や半金属酸化物を用いることが出来る。また、取り出し電極 4, 5 及び貫通電極 6 としては、金、銀、アルミ、銅やはんだ材料などの金属の他、導電性ペーストや導電性高分子を用いることが出来る。

【0064】

電極層 1, 2 の形成は、真空蒸着法、スパッタ法、メッキ法等によって行うことが出来る。また、電極層 1, 2 を多角形状等の所定のパターン（形状）に形成する手段としてはパターン形状の固体マスクを用いる方法やオイル等の蒸発性マスクを用いる方法、レーザーエッチングを行う方法などを適宜用いることが出来る。オイルマスク材料としては炭化水素系のオイルや鉱物オイル、フッ素系オイルを初めとする各種オイル等を用いることが出来る。

【0065】

誘電体層 3 の形成は、樹脂系材料であれば、ヒータ加熱により気化して、又は超音波若

しくはスプレーにより霧化して堆積する方法、セラミック材料や金属系材料であれば、スパッタ、蒸着等の方法を用いることができる。

【0066】

取り出し電極4、5や貫通電極6を形成するために誘電体層3に穴状の開口を形成するには、誘電体層を形成後にレーザーエッチングにより所定箇所の誘電体を除去する方法や、予めオイル等の蒸発性マスクを付与した後誘電体層を形成する方法等を用いることができる。点状や線状の蒸発性マスクを付与するためには、マスクング材料の微小滴を微細孔から飛び出させるインクジェット方式により付与する方法も有効である。

【0067】

オイルマスクを付与する場合、使用できるオイルとしては、炭化水素系オイル、鉍物オイル、フッ素系オイル等が挙げられる。

10

【0068】

尚、蒸発性マスクを用いる場合、各層の成膜後に余剰なマスクング材料が残った場合、必要に応じて遠赤外線ヒーター、電子線、紫外線ランプ照射、プラズマ照射等を用いて除去することが出来る。

【0069】

本実施の形態の第1電子部品の具体的な製造方法は、例えば実施の形態1又は2で示した装置を用いて同様に製造できる。

【0070】

形成された本発明の第1電子部品10は、例えば図11に模式的に示した様に、半導体チップ27を搭載したキャリア28と配線基板30との間に配置されて使用される。キャリア28の下面の信号端子29aは必要に応じて本発明の第1電子部品10の貫通電極6を介して配線基板30上に形成された配線パターン31と接続される。またキャリア28の下面のある電源端子29bは貫通電極6を介して配線基板30に接続され、さらに第1の取り出し電極4に接続される。また、キャリア28の下面の別の電源端子29bは貫通電極6を介して配線基板30に接続され、さらに第2の取り出し電極5に接続される。貫通電極6と取り出し電極4、5との接続は図11のように配線基板30の表面の配線パターン31による方法であっても良いし、配線基板30内部での接続等、その他の方法であっても良い。あるいはキャリア28の下面の電源端子29bをキャリア下面で取り出し電極4、5に接続しておき、配線基板30の表面で本発明の第1電子部品10と配線基板30とを接続しても良い。図中9は第1の金属薄膜と第2の金属薄膜との重なり部分で形成される静電容量形成領域である。

20

30

【0071】

第1の取り出し電極4と接続された第1の電極層1と、第2の取り出し電極5と接続された第2の電極層2とは誘電体層を挟んで絶縁されているので、例えば第1の取り出し電極4と接続されたある電源端子がVcc端子、第2の取り出し電極5と接続された別の電源端子がGND端子とすれば、第1の取り出し電極4と第2の取り出し電極5の間に形成されたコンデンサは、実装面積をほとんど増やすことなく、かつ半導体チップに近い位置で電源用のパスコンデンサとして機能するので高周波駆動や実装面積低減の点で好ましい。

40

【0072】

[実施例3]

金属薄膜材料としてアルミニウム、誘電体材料として酸化アルミニウム、導電性ペーストとして銀系ペーストを用いた。電極層を形成する際には窓形状の穴の空いた固体マスクを用い、誘電体層を形成する際にはインクジェット方式で付与するオイルマスクング材料としてフッ素系オイルを用い、15mm角の面積内に0.7mmピッチで直径0.3mmの貫通電極を1列20個×10列の総計200個を形成し、かつ貫通電極列の間に1~2mm幅の矩形の電極層1と電極層2を種々の長さで形成し、両電極層の重なり部分の面積の異なるコンデンサとなるようにした。取り出し電極は0.25mm×1mmの穴形状部に導電性ペーストを充填して各々のコンデンサに2個ずつ形成した。電極層の厚さ30n

50

m、誘電体層の厚さ0.3ミクロン、誘電体層が130層となるような繰り返し積層を行った。積層体の上下には各8ミクロンの絶縁体層を積層体の強度向上の目的で形成した。簡単のため上下の絶縁体層は誘電体層と同じ材料で構成した。下部絶縁体層には貫通電極や取り出し電極を形成するためにマスキングで穴加工を施した。上部絶縁体層にも貫通電極を形成するためにマスキングで穴加工を施した。穴加工を施した貫通電極の位置及び取り出し電極の位置に発生した凹部（開口部）には導電性ペーストを塗り込んで固めた。

【0073】

その結果、容量が $0.047\mu\text{F} \times 4$ 個、 $0.068\mu\text{F} \times 2$ 個、 $0.1\mu\text{F} \times 2$ 個、 $0.47\mu\text{F} \times 1$ 個の計9個コンデンサが、 $\tan \delta = 1.2\%$ で厚さ約60ミクロンの積層体内部に形成できていることがLCRメーターで確認できた。

10

【0074】

本発明の電極層を形成する材料としては、上記の実施の形態1~3及び実施例1~3に限られず、アルミ、銅、金などの金属や金属化合物を用いることが出来る。また、誘電体層を形成する材料としては、アクリル樹脂、エポキシ樹脂、ビニル樹脂をはじめとする樹脂材料や、バリウムチタン酸化物系セラミックやストロンチウムチタン酸化物系セラミックなどのセラミック材料、あるいは酸化チタン、酸化アルミ、酸化ケイ素と等の金属酸化物や半金属酸化物を用いることが出来る。また、貫通電極としては、導電性ペーストの他、金、銀、アルミ、銅やはんだ材料などの金属や導電性高分子を用いることが出来る。また、取り出し電極及び外部電極としては、導電性ペーストの他、真鍮、亜鉛、はんだ材料、金、銀、銅などの金属や導電性高分子などを単独で、あるいは例えば真鍮層を形成後導電性ペースト層を形成するなどして適宜組み合わせる用いることが出来る。

20

【0075】

また、実施の形態1~3の説明図において、静電容量形成領域を形成するための電極層の配置は、積層方向上方から見たときに電極層が互いに直交する等して矩形の静電容量形成領域が形成されるように構成しているが、静電容量形成領域は必ずしも矩形状である必要はない。例えば、ストライプ状の電極層を斜めに交差させるなどして、交差部分に形成される静電容量形成領域の形状を平行四辺形等の別の形状とすることも可能である。

【0076】

また、取り出し電極や貫通電極の形状は、図面で模式的に示した形状のみに限定されるものではなく、それ以外の形状に変更することも可能である。

30

【0077】

また、同一の第1電子部品内に、実施の形態1~3に示した構造が混在していても良い。例えば、実施の形態1,2に示したストライプ状の電極層を形成し、一部の電極層には実施の形態1に示した取り出し電極を接続し、他の電極層には実施の形態2に示した外部電極を接続しても良い。あるいは、実施の形態1,2に示したストライプ状の電極層と実施の形態3に示した所定パターンの電極層とを形成し、一部の電極層には実施の形態1又は3に示した取り出し電極を接続し、他の電極層には実施の形態2に示した外部電極を接続しても良い。

【0078】

また、貫通電極や取り出し電極を形成するための誘電体層の開口（穴）は、誘電体層を積層するたびにレーザーエッチングや蒸発性オイルを付与して形成したが、例えば積層途中ではこのような方法を採用せず、積層後に所定箇所にレーザー光を照射するなどして開口（穴）を形成しても良い。即ち、いずれの電極層とも接触しないように積層方向に貫通穴を形成し、該貫通穴に導電性材料を充填することにより、貫通電極を形成することができる。また、所望する電極層にのみ接触するように、所定深さの穴（あるいは貫通穴）を形成し、該穴の内周壁（及び穴の底部）に露出した電極層と接触するように導電性材料を充填することにより、所望する電極層が電氣的に接続された取り出し電極を形成することができる。

40

【0079】

また、本発明の第1電子部品は、コンデンサ機能を有するものを例に説明したが、コン

50

デンサ機能の他に、またはコンデンサ機能とともに、他の機能（例えば、コイル、ノイズフィルタ、積層回路基板等）を有するものであっても良い。

【図面の簡単な説明】

【0080】

【図1】本発明の実施の形態1に係る第1電子部品の一例を示す模式的平面図である。

【図2】図1に示した第1電子部品の一部分の内部構造を示す斜視図である。

【図3】図1に示した第1電子部品を製造するための製造工程の一部を説明するための装置の概略斜視図である。

【図4】図1に示した第1電子部品の使用例を示した模式図である。

【図5】本発明の実施の形態2に係る第1電子部品の一例を示す模式的平面図である。 10

【図6】図5に示した第1電子部品の一部分の内部構造を示す斜視図である。

【図7】図5に示した第1電子部品を製造するための製造装置を示した概略断面図である。

【図8】図5に示した第1電子部品の使用例を示した模式図である。

【図9】本発明の実施の形態3に係る第1電子部品の一例を示す模式的平面図である。

【図10】図9に示した第1電子部品の一部分の内部構造を示す斜視図である。

【図11】図9に示した第1電子部品の使用例を示した模式図である。

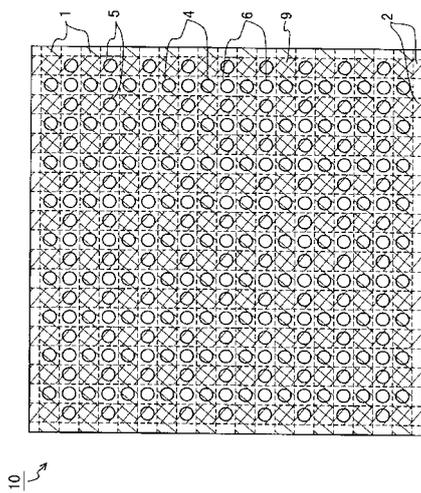
【符号の説明】

【0081】

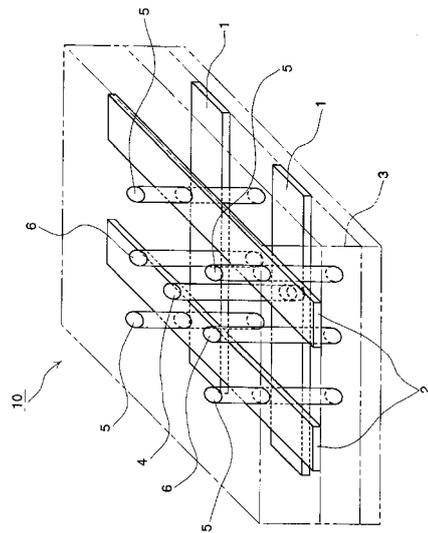
- | | | |
|------------|-----------|----|
| 1 | 第1の電極層 | 20 |
| 2 | 第2の電極層 | |
| 3 | 誘電体層 | |
| 4 | 第1の取り出し電極 | |
| 5 | 第2の取り出し電極 | |
| 6 | 貫通電極 | |
| 7 | 第1の外部電極 | |
| 8 | 第2の外部電極 | |
| 9 | 静電容量形成領域 | |
| 10 | 第1電子部品 | |
| 11 | 支持体搬入室 | 30 |
| 12 a, 12 b | 仕切弁 | |
| 13 | 下部絶縁体成膜源 | |
| 14 | 金属薄膜成膜源 | |
| 15 | 誘電体薄膜成膜源 | |
| 16 | レーザー加工機 | |
| 17 | 金属薄膜成膜源 | |
| 18 | 誘電体薄膜成膜源 | |
| 19 | レーザー加工機 | |
| 20 | 上部絶縁体成膜源 | |
| 21 | 搬送系 | 40 |
| 22 | 支持体取り出し口 | |
| 23 | キャン | |
| 24 | 真空槽 | |
| 25 | 排気系 | |
| 26 | シャッター | |
| 27 | 半導体チップ | |
| 28 | キャリア | |
| 29 a | 信号端子 | |
| 29 b | 電源端子 | |
| 30 | 配線基板 | 50 |

- 3 1 配線パターン
- 3 2 はんだ

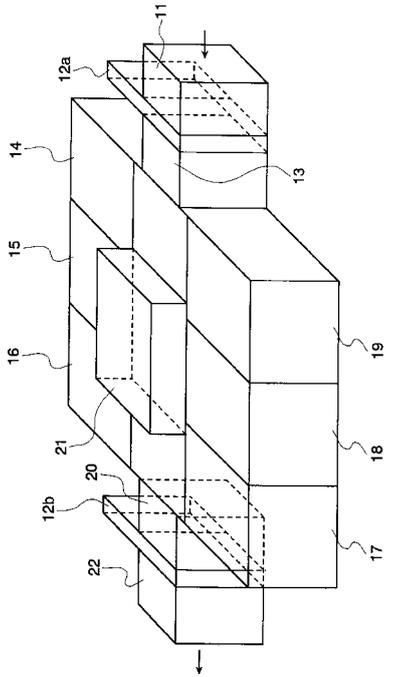
【図 1】



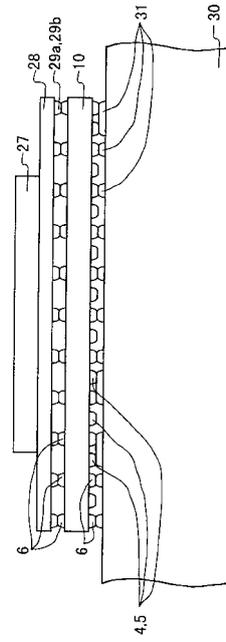
【図 2】



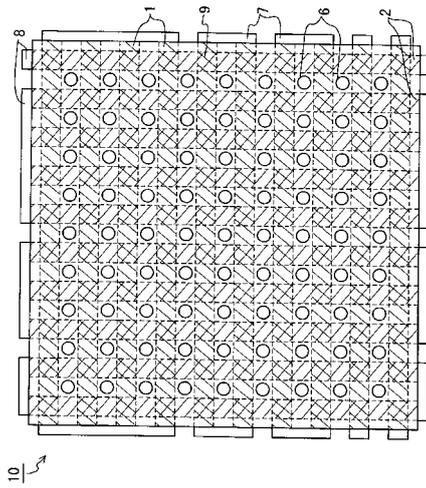
【 図 3 】



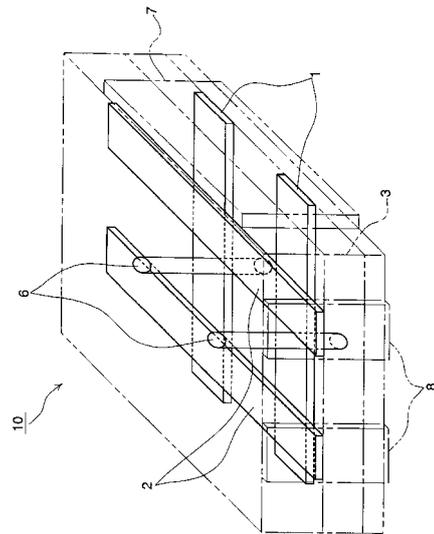
【 図 4 】



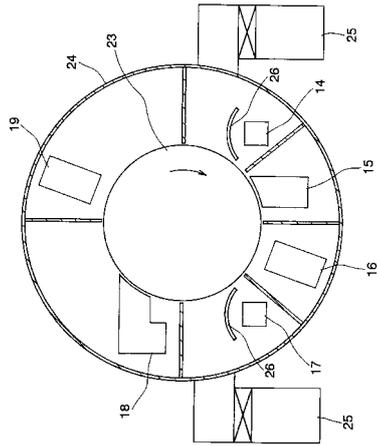
【 図 5 】



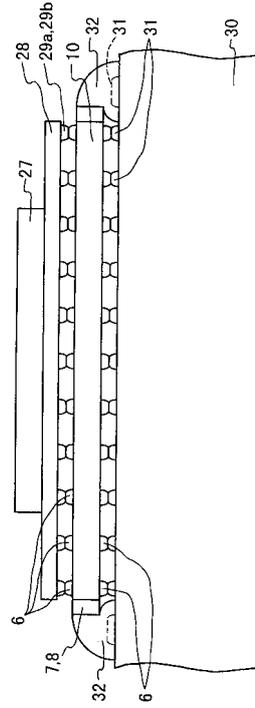
【 図 6 】



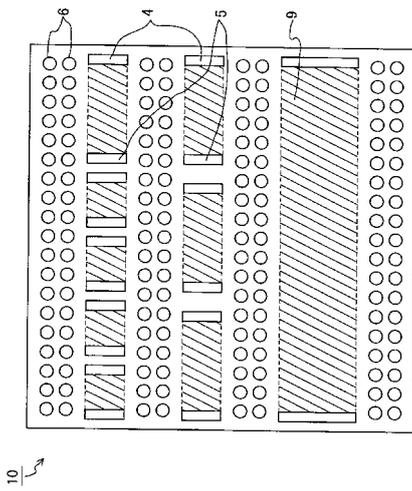
【 図 7 】



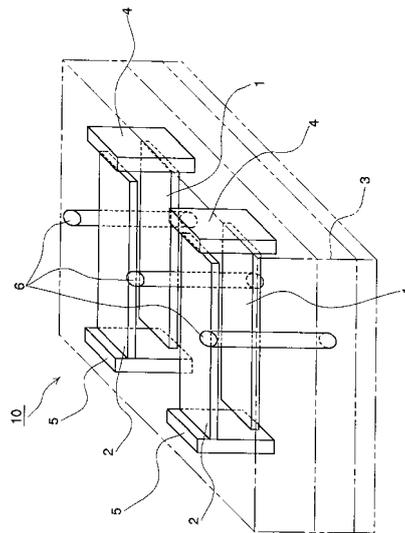
【 図 8 】



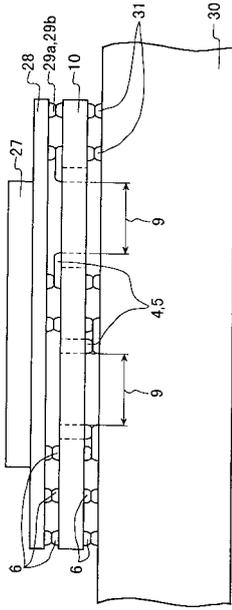
【 図 9 】



【 図 10 】



【 図 1 1 】



フロントページの続き

(72)発明者 杉本 高則
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 大澤 孝次

(56)参考文献 特開平06-338587(JP,A)
特開平10-270849(JP,A)
特開平08-096873(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01G 2/06
H01G 4/228
H01G 4/38