

(21) 申請案號：098143399

(22) 申請日：中華民國 98 (2009) 年 12 月 17 日

(51) Int. Cl. : **G09G3/20 (2006.01)**

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：陳佩怡 CHEN, PEI YI (TW) ; 黃峻維 HUANG, CHUN WEI (TW)

(74) 代理人：郭曉文

申請實體審查：有 申請專利範圍項數：8 項 圖式數：7 共 21 頁

(54) 名稱

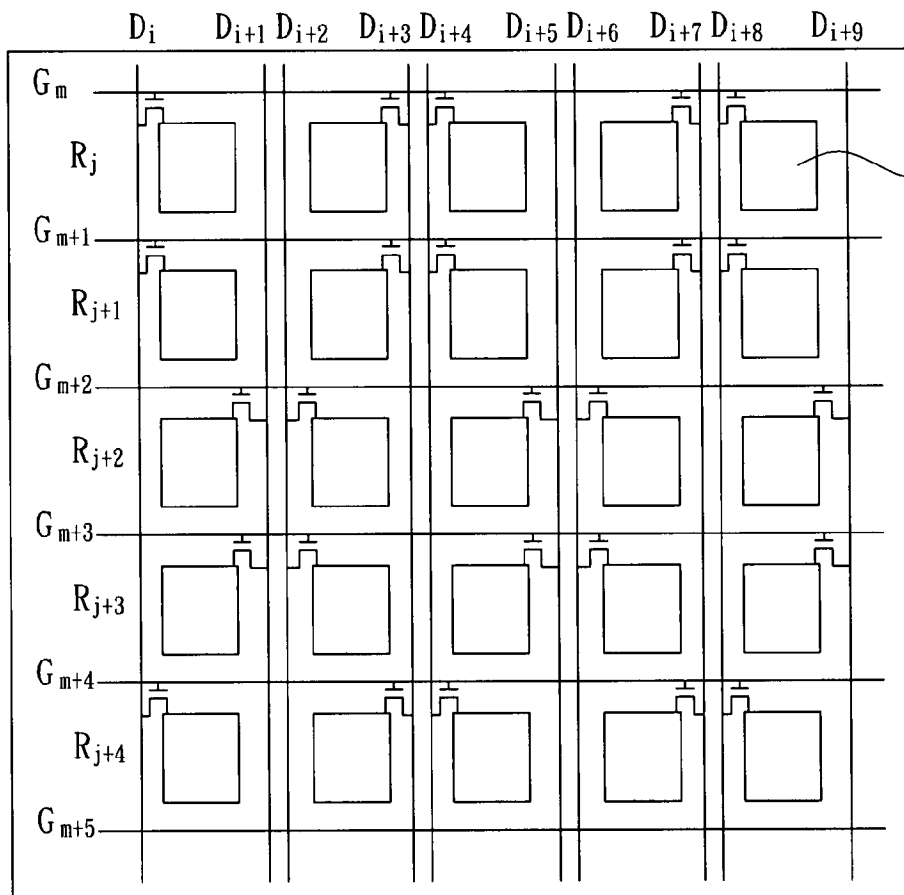
主動式矩陣顯示器

ACTIVE MATRIX DISPLAY DEVICE

(57) 摘要

一種主動式矩陣顯示器包括多條閘極訊號線、多條資料訊號線以及多個畫素列；各閘極訊號線係獨立驅動，每一畫素列電性耦接至上述閘極訊號線之一及部分之上述資料訊號線。上述畫素列包括第一畫素列與第二畫素列，第一畫素列與第二畫素列係互不相鄰，與第一畫素列相電性耦接之閘極訊號線和與第二畫素列相電性耦接之閘極訊號線同步開啟。

12



12：薄膜電晶體陣列基板

$D_i \sim D_{i+9}$ ：資料訊號線

$G_m \sim G_{m+5}$ ：閘極訊號線

P 線

P：畫素

$R_j \sim R_{j+4}$ ：畫素列

六、發明說明：

【發明所屬之技術領域】

本發明是有關於顯示技術領域，且特別是有關於一種主動式矩陣顯示器。

【先前技術】

按，目前市場上大部分的液晶顯示面板皆為 60 赫茲(Hz)或 120Hz 的驅動頻率。當播放動態影像畫面的時候，由於影像播放的速度不夠快，容易有殘影現象發生。為了解決此問題，可將單一個動作切割成更多的畫面連續播放。因此面板的驅動頻率必須變得更快。

一般一個畫面的驅動時間是 $1/f$ (f 為面板的驅動頻率)，以現在的全高清 (FHD, 1920×1080 個畫素) 規格來看，60Hz 的單一個畫面的充電時間約為 16 毫秒 (ms)；120Hz 的單一個畫面的充電時間約為 8ms。若使用 240Hz 驅動，則一張畫面的充電時間將會被縮短為 4ms，此時單一顆畫素的充電時間僅有 3.5 微秒 (μs)。

為了解決充電時間過短的問題，先前技術有提出一種方案，即將每相鄰的兩條閘極訊號線電性相接，以致於在同一時間內可充電兩個畫素列，由於兩個畫素列同時寫入顯示資料訊號，因此單個畫素列中的畫素之充電時間可以延長為兩倍。

然而，此種技術方案存在以下缺陷：由於每相鄰之兩條閘極訊號線係電性相接，在電路佈局 (Layout) 設計時須考慮中間有其他的電路必須閃避，較為麻煩，而且電性相接的每兩條閘極訊號線上的訊號會相互影響及干擾。

【發明內容】

本發明提出的一種主動式矩陣顯示器，其包括多條閘極訊號線、多條資料訊號線以及多個畫素列；各閘極訊號線獨立驅

動，每一畫素列電性耦接至上述閘極訊號線之一及部分之上述資料訊號線。上述畫素列包括第一畫素列與第二畫素列，第一畫素列與第二畫素列係互不相鄰，與第一畫素列相電性耦接之閘極訊號線和與第二畫素列相電性耦接之閘極訊號線同步開啟。

在本發明的一實施例中，上述之與第一畫素列像電性耦接的閘極訊號線和與第二畫素列相電性耦接的閘極訊號線之間設置有其餘上述閘極訊號線中之至少一者。

在本發明的一實施例中，第一畫素列與第二畫素列同步從上述資料線接收顯示資料訊號之充電時間長度等於第一畫素列與第二畫素列任意一者之充電時間長度。

在本發明的一實施例中，上述主動式矩陣顯示器包括彩色濾光片基板、薄膜電晶體陣列基板以及設置於彩色濾光片與薄膜電晶體陣列基板之間的顯示層；上述閘極訊號線、資料訊號線以及畫素列皆形成於薄膜電晶體陣列基板上。

本發明另一實施例提出的一種主動式矩陣顯示器，包括：第一閘極訊號線及第二閘極訊號線、多條資料訊號線、以及第一畫素列及第二畫素列；第一閘極訊號線與第二閘極訊號線各自獨立驅動，第一畫素列與第二畫素列分別電性耦接至第一閘極訊號線與第二閘極訊號線，第一畫素列電性耦接至上述資料訊號線中之一部分，且第二畫素列電性耦接至上述資料訊號線中之另一部分。其中，第一閘極訊號線與第二閘極訊號線係依序被開啟且開啟的時間存在部分重疊。

在本發明的一實施例中，第一畫素列與第二畫素列係互為相鄰之二畫素列。

在本發明的一實施例中，第一畫素列與第二畫素列依序從

上述資料訊號線接收顯示資料訊號之充電時間長度小於第一畫素列之充電時間長度與第二畫素列之充電時間長度之和。

在本發明的一實施例中，上述主動式矩陣顯示器包括彩色濾光片基板、薄膜電晶體陣列基板以及設置於彩色濾光片基板與薄膜電晶體陣列基板之間的顯示層；上述第一及第二閘極訊號線、資料訊號線以及第一及第二畫素列皆形成於薄膜電晶體陣列基板上。

本發明實施例因採用各個閘極訊號線分別獨立驅動之方式來達成在給定面板驅動頻率下延長畫素充電時間之目的，相較於先前技術，無需考慮電路佈局設計時之閘極訊號線間之閃避問題，且閘極訊號線上的閘極驅動訊號之間不會彼此受影響和干擾。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

參見圖 1，其繪示為相關於本發明實施例之一種主動式矩陣顯示器的立體結構分解圖。如圖 1 所示，主動式矩陣顯示器例如主動式矩陣液晶顯示器 10，其包括薄膜電晶體陣列基板 12、彩色濾光片基板 16 以及位於薄膜電晶體陣列基板 12 與彩色濾光片基板 16 之間的液晶層 14（作為顯示層）。本發明實施例以主動式矩陣液晶顯示器 10 作為舉例進行說明，但並非用來限制本發明，其他類型之顯示器例如電漿顯示器、有機電激發光顯示器等皆可適用。

參見圖 2，其繪示出圖 1 所示薄膜電晶體陣列基板 12 之局部電路圖。如圖 2 所示，薄膜電晶體陣列基板 12 上設置有閘極訊號線 $G_m \sim G_{m+5}$ 、資料訊號線 $D_i \sim D_{i+9}$ 以及畫素列

$R_j \sim R_{j+4}$ 。各個閘極訊號線 $G_m \sim G_{m+5}$ 分別獨立驅動，亦即相互之間電性獨立，其首尾不相連接；資料訊號線 $D_i \sim D_{i+9}$ 與閘極訊號線 $G_m \sim G_{m+5}$ 交叉設置；每一畫素列 $R_j \sim R_{j+4}$ 分別與閘極訊號線 $G_m \sim G_{m+4}$ 相電性耦接。每一畫素列 $R_j \sim R_{j+4}$ 包括多個畫素 P，例如按照一定規則排列（直條狀排列或馬賽克排列）之紅（R）、綠（G）及藍（B）畫素。每一畫素列 $R_j \sim R_{j+4}$ 中之畫素 P 電性耦接至資料訊號線 $D_i \sim D_{i+9}$ 中之部分者，例如畫素列 R_j 中的各個畫素 P 分別電性耦接至資料訊號線 $D_i \sim D_{i+9}$ 中的 D_i 、 D_{i+3} 、 D_{i+4} 、 D_{i+7} 及 D_{i+8} ，與畫素列 R_j 間隔畫素列 R_{j+1} 之畫素列 R_{j+2} 中的各個畫素 P 分別電性耦接至資料訊號線 $D_i \sim D_{i+9}$ 中的 D_{i+1} 、 D_{i+2} 、 D_{i+5} 、 D_{i+6} 及 D_{i+9} 。此外，閘極訊號線 $G_m \sim G_{m+5}$ 可電性耦接至設置於薄膜電晶體陣列基板 12 上的閘極驅動電路（圖中未繪示）以接收閘極驅動訊號；資料訊號線 D_i 、 D_{i+3} 、 D_{i+4} 、 D_{i+7} 、 D_{i+8} 與資料訊號線 D_{i+1} 、 D_{i+2} 、 D_{i+5} 、 D_{i+6} 、 D_{i+9} 可分別電性耦接至設置於薄膜電晶體陣列基板 12 上的二資料驅動電路（圖中未繪示）以接收顯示資料訊號。

參見圖 3，其繪示出圖 2 所示閘極資料線 $G_m \sim G_{m+5}$ 上之閘極驅動訊號之時序圖。結合圖 2 及圖 3 可知，閘極訊號線 G_m 與 G_{m+2} 在 T1 期間同步開啟，相應地與閘極訊號線 G_m 與 G_{m+2} 分別相電性耦接且互不相鄰之畫素列 R_j 與 R_{j+2} 同步從資料訊號線 $D_i \sim D_{i+9}$ 接收顯示資料之充電時間長度為 T_c ，其中畫素列 R_j 從資料訊號線 D_i 、 D_{i+3} 、 D_{i+4} 、 D_{i+7} 、 D_{i+8} 接收顯示資料之充電時間長度以及畫素列 R_{j+2} 從資料訊號線 D_{i+1} 、 D_{i+2} 、 D_{i+5} 、 D_{i+6} 、 D_{i+9} 接收顯示資料之充電時間長度皆為 T1，在此 T_c 與 T1 相等。類似地，閘極訊號線 G_{m+1} 與 G_{m+3} 在 T2 期間同步開啟，相應地與閘極訊號線 G_{m+1} 與 G_{m+3} 分別相電性耦接且互不

相鄰之畫素列 R_{j+1} 與 R_{j+3} 同步從資料訊號線 $D_i \sim D_{i+9}$ 接收顯示資料之充電時間長度則等於 T_2 。在此，由於同一時間內同時對兩個畫素列進行充電，相對於同一時間內只對單個畫素列充電之情形，在給定面板驅動頻率的前提下，各個畫素之充電時間長度可以延長為兩倍；而且各個閘極訊號線 $G_m \sim G_{m+5}$ 分別獨立驅動，無需考慮電路佈局設計時之閘極訊號線間之閃避問題，且閘極訊號線 $G_m \sim G_{m+5}$ 上的閘極驅動訊號之間不會彼此受影響和干擾。另外，從圖 3 中還可以得知，閘極訊號線 G_{m+4} 與 G_{m+5} 分別在 T_3 及 T_4 期間開啟。

本發明實施例並不僅限於前述之同時對間隔一個畫素列之二畫素列進行充電，亦可同時對間隔多個畫素列之二畫素列進行充電，例如圖 4 及圖 5 繪示出同時對間隔兩個畫素列之二畫素列進行充電之情形。

如圖 4 所示，薄膜電晶體陣列基板 12a 上設置有閘極訊號線 $G_m \sim G_{m+5}$ 、資料訊號線 $D_i \sim D_{i+9}$ 以及畫素列 $R_j \sim R_{j+4}$ 。各個閘極訊號線 $G_m \sim G_{m+5}$ 分別獨立驅動，亦即相互之間電性獨立，其首尾不相連接；資料訊號線 $D_i \sim D_{i+9}$ 與閘極訊號線 $G_m \sim G_{m+5}$ 交叉設置；每一畫素列 $R_j \sim R_{j+4}$ 分別與閘極訊號線 $G_m \sim G_{m+4}$ 相電性耦接。每一畫素列 $R_j \sim R_{j+4}$ 包括多個畫素 P，例如按照一定規則排列（直條狀排列或馬賽克排列）之紅（R）、綠（G）及藍（B）畫素。每一畫素列 $R_j \sim R_{j+4}$ 中之畫素 P 電性耦接至資料訊號線 $D_i \sim D_{i+9}$ 中之部分者，例如畫素列 R_j 中的各個畫素 P 分別電性耦接至資料訊號線 $D_i \sim D_{i+9}$ 中的 D_i 、 D_{i+3} 、 D_{i+4} 、 D_{i+7} 及 D_{i+8} ，與畫素列 R_j 間隔二畫素列 R_{j+1} 及 R_{j+2} 之畫素列 R_{j+3} 中的各個畫素 P 分別電性耦接至資料訊號線 $D_i \sim D_{i+9}$ 中的 D_{i+1} 、 D_{i+2} 、 D_{i+5} 、 D_{i+6} 及 D_{i+9} 。在此，與畫素列 R_j 相鄰之畫素

列 R_{j+1} 中的各個畫素 P 也係分別電性耦接至資料訊號線 $D_i \sim D_{i+9}$ 中的 D_{i+1} 、 D_{i+2} 、 D_{i+5} 、 D_{i+6} 及 D_{i+9} 。

結合圖 4 及圖 5 可知，閘極訊號線 G_m 與 G_{m+3} 在 $T1$ 期間同步開啟，相應地與閘極訊號線 G_m 與 G_{m+3} 分別相電性耦接且互不相鄰之畫素列 R_j 與 R_{j+3} 同步從資料訊號線 $D_i \sim D_{i+9}$ 接收顯示資料之充電時間長度為 T_c ，其中畫素列 R_j 從資料訊號線 D_i 、 D_{i+3} 、 D_{i+4} 、 D_{i+7} 、 D_{i+8} 接收顯示資料之充電時間長度以及畫素列 R_{j+3} 從資料訊號線 D_{i+1} 、 D_{i+2} 、 D_{i+5} 、 D_{i+6} 、 D_{i+9} 接收顯示資料之充電時間長度皆為 $T1$ ，在此 T_c 與 $T1$ 相等。類似地，閘極訊號線 G_{m+1} 與 G_{m+4} 在 $T2$ 期間同步開啟，相應地與閘極訊號線 G_{m+1} 與 G_{m+4} 分別相電性耦接且互不相鄰之畫素列 R_{j+1} 與 R_{j+4} 同步從資料訊號線 $D_i \sim D_{i+9}$ 接收顯示資料之充電時間長度則等於 $T2$ 。此外，閘極訊號線 G_{m+2} 與 G_{m+5} 在 $T3$ 期間同步開啟。

另外，本發明實施例並不僅限於前述之採用同一時間內同時對兩個畫素列進行充電之技術方案來達成在給定面板驅動頻率下延長畫素充電時間之目的，其還可採用其他技術方案，例如圖 6 及圖 7 繪示之利用依序開啟之閘極訊號線的開啟時間存在部分時間重疊之方式來達成在給定面板驅動頻率下延長畫素充電時間之目的。

圖 6 繪示之薄膜電晶體陣列基板 12b 與圖 4 繪示之薄膜電晶體陣列基板 12a 相同，故在此不再贅述。

結合圖 6 及圖 7 可知，閘極訊號線 G_m 與 G_{m+1} 分別在 $T1$ 及 $T2$ 期間依序開啟且開啟時間 $T1$ 與 $T2$ 存在部分重疊，相應地與閘極訊號線 G_m 與 G_{m+1} 分別相電性耦接且相互鄰接之畫素列 R_j 與 R_{j+1} 依序從資料訊號線 $D_i \sim D_{i+9}$ 接收顯示資料之充電時

間長度為 T_c ，其中畫素列 R_j 從資料訊號線 D_i 、 D_{i+3} 、 D_{i+4} 、 D_{i+7} 、 D_{i+8} 接收顯示資料之充電時間長度為 T_1 ，畫素列 R_{j+1} 從資料訊號線 D_{i+1} 、 D_{i+2} 、 D_{i+5} 、 D_{i+6} 、 D_{i+9} 接收顯示資料之充電時間長度為 T_2 ，在此 T_c 小於 (T_1+T_2) 之和。類似地，閘極訊號線 G_{m+1} 與 G_{m+2} 分別在 T_2 及 T_3 期間依序開啟且開啟時間 T_2 與 T_3 存在部分重疊，閘極訊號線 G_{m+2} 與 G_{m+3} 分別在 T_3 及 T_4 期間依序開啟且開啟時間 T_3 與 T_4 存在部分重疊，閘極訊號線 G_{m+3} 與 G_{m+4} 分別在 T_4 及 T_5 期間依序開啟且開啟時間 T_4 與 T_5 存在部分重疊，閘極訊號線 G_{m+4} 與 G_{m+5} 分別在 T_5 及 T_6 期間依序開啟且開啟時間 T_5 與 T_6 存在部分重疊。

在此，由於每相鄰之兩個畫素列係依序進行充電且充電時間存在部分重疊，相對於每次只對單個畫素列充電之情形，在給定面板驅動頻率的前提下，各個畫素之充電時間長度可得以延長；而且各個閘極訊號線 $G_m \sim G_{m+5}$ 分別獨立驅動，無需考慮電路佈局設計時之閘極訊號線間之閃避問題，且閘極訊號線 $G_m \sim G_{m+5}$ 上的閘極驅動訊號之間不會彼此受影響和干擾。

綜上所述，本發明實施例因採用各個閘極訊號線分別獨立驅動之方式在給定面板驅動頻率下來達成延長畫素充電時間之目的，相較於先前技術，無需考慮電路佈局設計時之閘極訊號線間之閃避問題，且閘極訊號線上的閘極驅動訊號之間不會彼此受影響和干擾。

另外，本領域技術人員還可對本發明實施例提出之主動式矩陣顯示器作適當之變更，例如適當變更薄膜電晶體陣列基板上的各畫素列中之各畫素與資料訊號線之何者相電性耦接，及/或變更主動式矩陣顯示器之種類（例如，將液晶層變更為有機發光二極體顯示層）等等，只要其不偏離本發明之技術效果

均可。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示相關於本發明實施例之一種主動式矩陣顯示器的立體結構分解示意圖。

圖 2 繪示圖 1 所示主動式矩陣顯示器的薄膜電晶體陣列基板之局部電路圖。

圖 3 繪示圖 2 所示薄膜電晶體陣列基板之閘極訊號線上的閘極驅動訊號之時序圖。

圖 4 繪示相關於本發明實施例之再一薄膜電晶體陣列基板之局部電路圖。

圖 5 繪示圖 4 所示薄膜電晶體陣列基板之閘極訊號線上的閘極驅動訊號之時序圖。

圖 6 繪示相關於本發明實施例之又一薄膜電晶體陣列基板之局部電路圖。

圖 7 繪示圖 6 所示薄膜電晶體陣列基板之閘極訊號線上的閘極驅動訊號之時序圖。

【主要元件符號說明】

10：主動矩陣顯示器

12、12a、12b：薄膜電晶體陣列基板

14：液晶層

16：彩色濾光片基板

$D_i \sim D_{i+9}$ ：資料訊號線

201123126

$G_m \sim G_{m+5}$: 閘極訊號線

$R_j \sim R_{j+4}$: 畫素列

P : 畫素

T1~T7 : 充電時間長度

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 08143399

※申請日： 98.12.17

※IPC 分類：G09G 3/20 (2006.01)

一、發明名稱：(中文/英文)

主動式矩陣顯示器 / ACTIVE MATRIX DISPLAY DEVICE

二、中文發明摘要：

一種主動式矩陣顯示器包括多條閘極訊號線、多條資料訊號線以及多個畫素列；各閘極訊號線係獨立驅動，每一畫素列電性耦接至上述閘極訊號線之一及部分之上述資料訊號線。上述畫素列包括第一畫素列與第二畫素列，第一畫素列與第二畫素列係互不相鄰，與第一畫素列相電性耦接之閘極訊號線和與第二畫素列相電性耦接之閘極訊號線同步開啟。

三、英文發明摘要：

An exemplary active matrix display device includes a plurality of gate signal lines, a plurality of data signal lines and a plurality of pixel rows. The gate signal lines are independently driven. Each of the pixel rows is electrically coupled to one of the gate signal lines and a part of the data signals lines. The pixel rows include a first pixel row and a second pixel row. The first pixel row and the second pixel row are not neighboring with each other. The gate signal line electrically coupled with the first pixel row and the gate signal line electrically coupled with the second pixel row are synchronized enabled.

七、申請專利範圍：

1.一種主動式矩陣顯示器，包括：

多條閘極訊號線，該些閘極訊號線各自獨立驅動；

多條資料訊號線；以及

多個畫素列，每一該些畫素列電性耦接至該些閘極訊號線之一及部分之該些資料訊號線，該些畫素列包括一第一畫素列與一第二畫素列；

其中，該第一畫素列與該第二畫素列係互不相鄰，與該第一畫素列相電性耦接之該閘極訊號線和與該第二畫素列相電性耦接之該閘極訊號線同步開啟。

2.如申請專利範圍第 1 項所述之主動式矩陣顯示器，其中與該第一畫素列相電性耦接的該閘極訊號線和與該第二畫素列相電性耦接的該閘極訊號線之間設置有其餘該些閘極訊號線中之至少一者。

3.如申請專利範圍第 1 項所述之主動式矩陣顯示器，其中該第一畫素列與該第二畫素列同步從該些資料訊號線接收顯示資料訊號之充電時間長度等於該第一畫素列與該第二畫素列任意一者之充電時間長度。

4.如申請專利範圍第 1 項所述之主動式矩陣顯示器，其中該主動式矩陣顯示器包括一彩色濾光片基板，一薄膜電晶體陣列基板以及一設置於該彩色濾光片基板與該薄膜電晶體陣列基板之間的顯示層；該些閘極訊號線、該些資料訊號線以及該些畫素列皆形成於該薄膜電晶體陣列基板上。

5.一種主動式矩陣顯示器，包括：

一第一閘極訊號線及一第二閘極訊號線，該第一閘極訊號線與該第二閘極訊號線各自獨立驅動；

多條資料訊號線；以及

一第一畫素列及一第二畫素列，該第一畫素列與第二畫素列分別電性耦接至該第一閘極訊號線與該第二閘極訊號線，該第一畫素列電性耦接至該些資料訊號線中之一部分，且該第二畫素列電性耦接至該些資料訊號線中之另一部分；

其中，該第一閘極訊號線與該第二閘極訊號線係依序被開啟且開啟的時間存在部分重疊。

6.如申請專利範圍第5項所述之主動式矩陣顯示器，其中該第一畫素列與該第二畫素列係互為相鄰之二畫素列。

7.如申請專利範圍第5相所述之主動式矩陣顯示器，其中該第一畫素列與該第二畫素列依序從該些資料訊號線接收顯示資料訊號之充電時間長度小於該第一畫素列之充電時間長度與該第二畫素列之充電時間長度之和。

8.如申請專利範圍第5項所述之主動式矩陣顯示器，其中該主動式矩陣顯示器包括一彩色濾光片基板，一薄膜電晶體陣列基板以及一設置於該彩色濾光片基板與該薄膜電晶體陣列基板之間的顯示層；該第一及第二閘極訊號線、該些資料訊號線以及該第一及第二畫素列皆形成於該薄膜電晶體陣列基板上。

八、圖式：

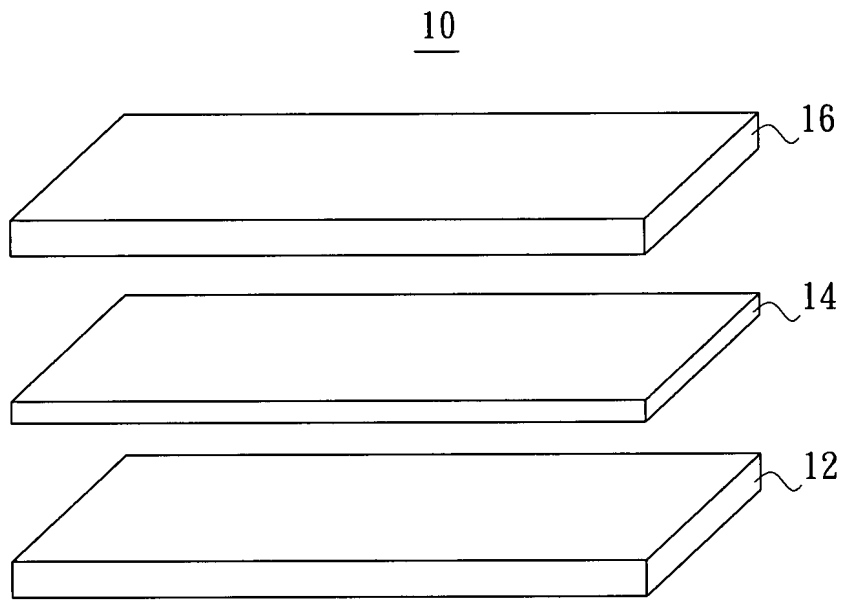


圖1

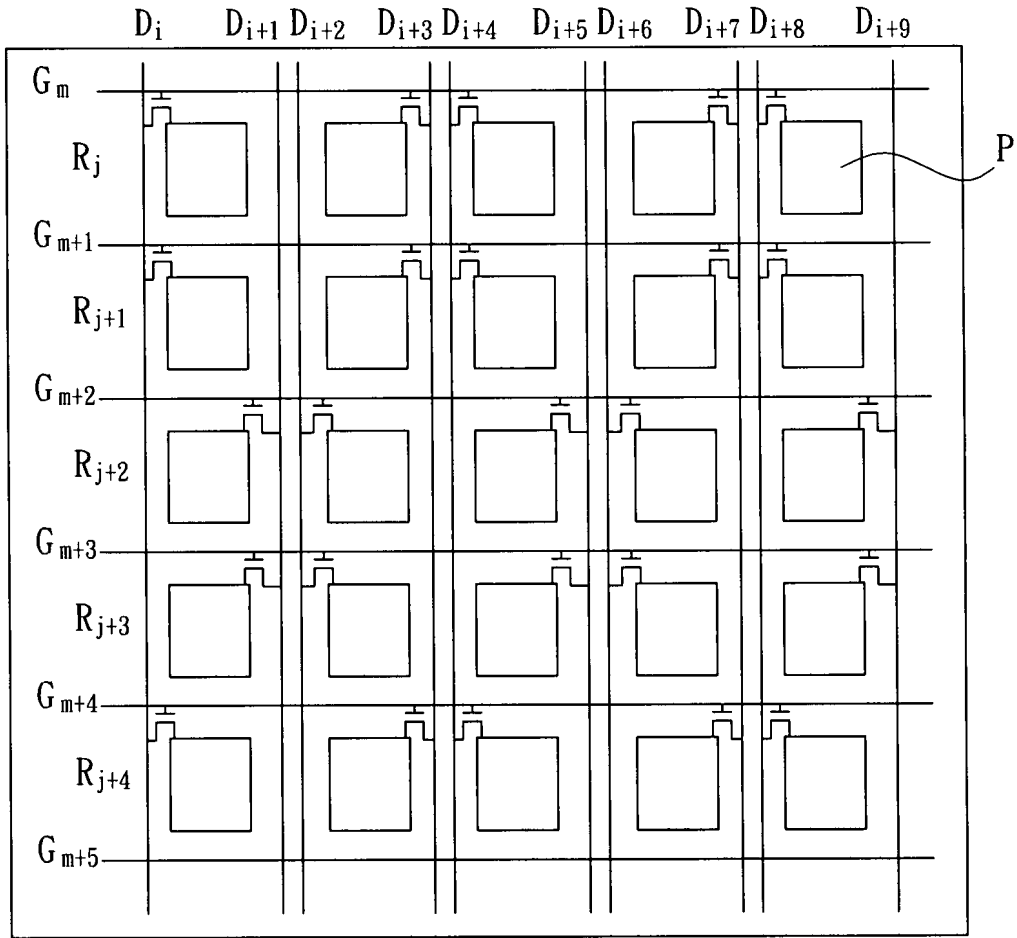


圖2

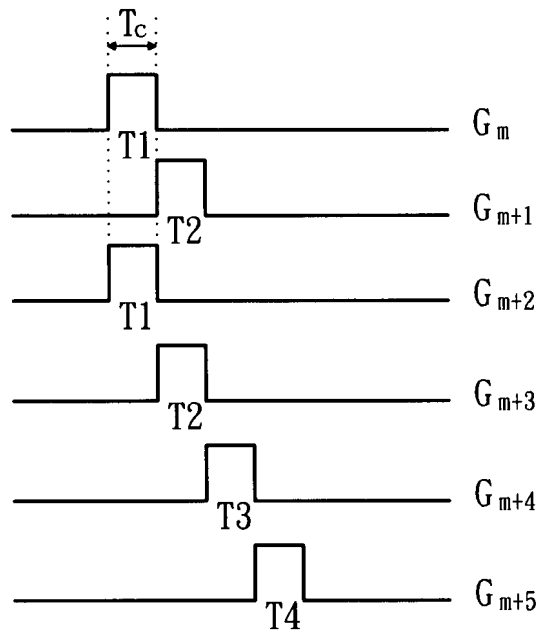


圖 3

12a

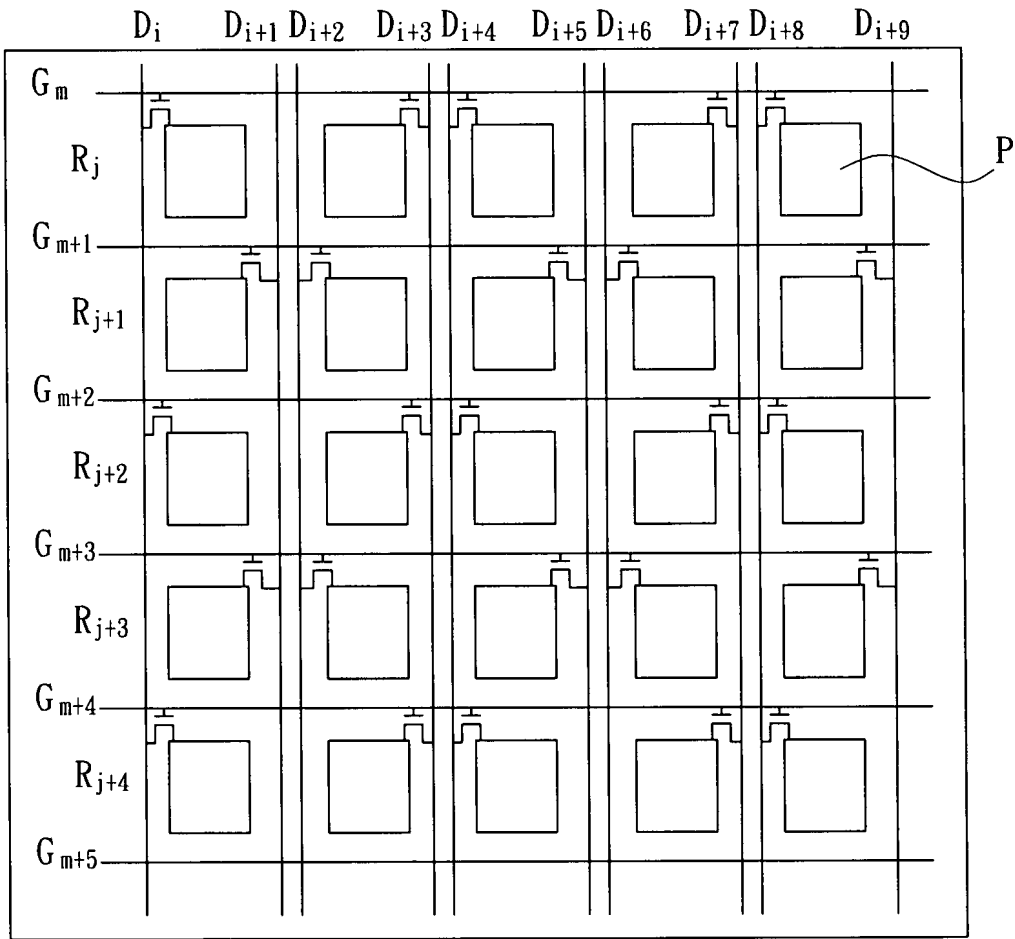


圖4

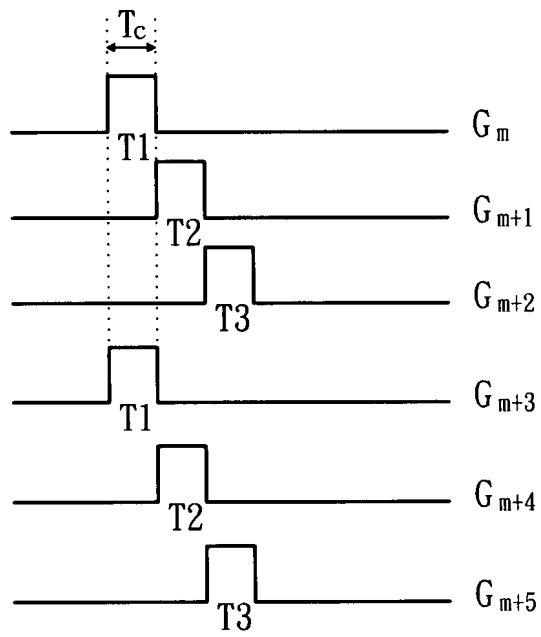


圖 5

12b

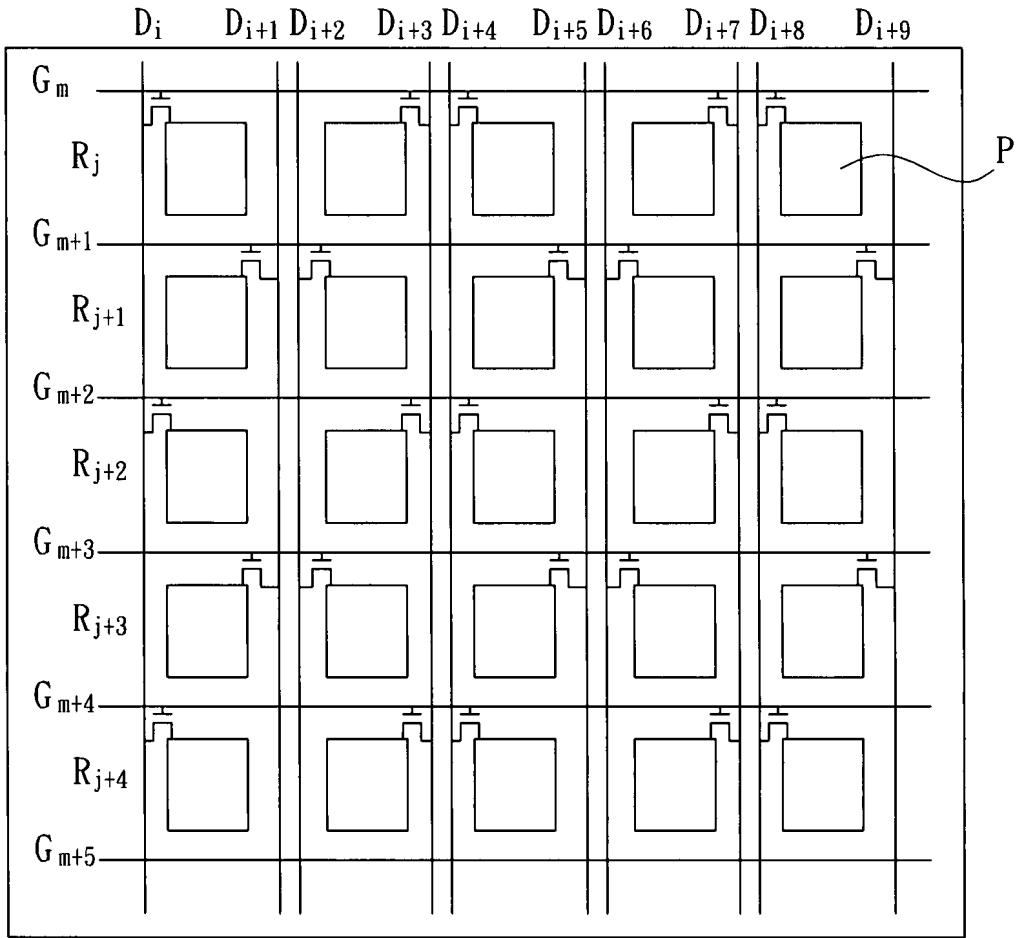


圖6

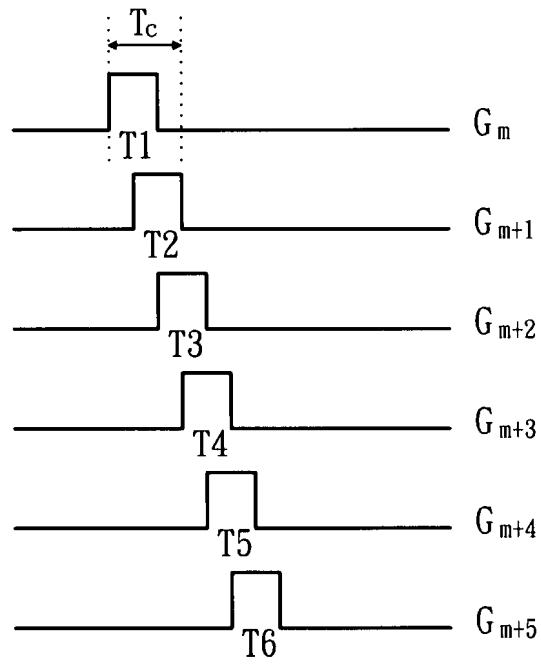


圖 7

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

12：薄膜電晶體陣列基板

$D_i \sim D_{i+9}$ ：資料訊號線

$R_j \sim R_{j+4}$ ：畫素列

$G_m \sim G_{m+5}$ ：閘極訊號線

P：畫素

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無