



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월30일
 (11) 등록번호 10-0861188
 (24) 등록일자 2008년09월24일

(51) Int. Cl.

H01L 21/283 (2006.01)

(21) 출원번호 10-2002-0037726
 (22) 출원일자 2002년06월29일
 심사청구일자 2007년03월13일
 (65) 공개번호 10-2004-0002276
 (43) 공개일자 2004년01월07일
 (56) 선행기술조사문헌
 KR1020020014237 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김종국

경기도수원시우만동300번지408동1502호

지석호

경기도이천시대월면현대6차602동304호

(74) 대리인

이후동, 특허법인태평양

전체 청구항 수 : 총 3 항

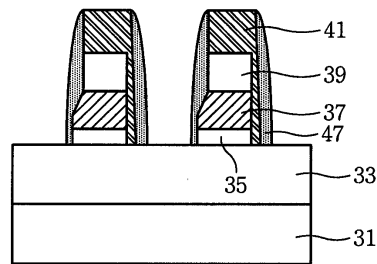
심사관 : 김상철

(54) 반도체소자의 제조방법

(57) 요약

본 발명은 반도체소자의 제조방법에 관한 것으로, 마스크절연막패턴이 적층되어 있는 비트라인을 형성하고, 전체 표면 상부에 층간절연막을 형성한 다음, 저장전극 콘택마스크를 이용한 사진식각공정으로 상기 층간절연막을 식각하여 저장전극 콘택홀을 형성한 후 상기 저장전극 콘택홀의 측벽에 절연막 스페이서를 형성함으로써 상기 비트라인과 후속공정으로 형성되는 저장전극 콘택플러그 간에 절연 특성을 향상시키고, 그에 따른 소자의 수율 및 신뢰성을 향상시키는 기술이다.

대표도 - 도2e



특허청구의 범위

청구항 1

소정의 하부구조물이 구비되는 반도체기판 상부에 제1층간절연막을 형성하는 공정과,
 상기 제1층간절연막 상부에 마스크절연막패턴이 적층되어 있는 비트라인을 형성하는 공정과,
 전체표면 상부에 제2층간절연막을 형성하는 공정과,
 저장전극 콘택마스크를 이용한 사진식각공정으로 상기 제2층간절연막 및 제1층간절연막을 식각하여 저장전극 콘택홀을 형성하는 공정과,
 전체표면 상부에 소정 두께의 절연막을 형성하는 공정과,
 상기 절연막을 전면식각하되, 10 ~ 100%의 과도식각공정으로 실시하여 상기 저장전극 콘택홀의 측벽에 절연막 스페이서를 형성하는 공정을 포함하는 반도체소자의 제조방법.

청구항 2

제 1 항에 있어서,
 상기 절연막은 Si₃N₄막, PE-TEOS막, SiON막 또는 LP-TEOS막을 사용하여 50 ~ 500Å 두께로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 3

제 1 항에 있어서,
 상기 전면식각공정은 주식각가스인 불소가스에 O₂ 또는 Ar 을 혼합한 혼합가스를 식각가스로 이용하여 실시되는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 4

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 반도체소자의 제조방법에 관한 것으로, 보다 상세하게 비트라인과 저장전극 간의 공정 마진을 확보하여 절연 특성을 향상시키는 반도체소자의 제조방법에 관한 것이다.
- <10> 최근의 반도체 장치의 고집적화 추세는 미세 패턴 형성 기술의 발전에 큰 영향을 받고 있으며, 반도체 장치의 제조 공정 중에서 식각 또는 이온주입 공정 등의 마스크로 매우 폭 넓게 사용되는 감광막 패턴의 미세화가 필수 요건이다.
- <11> 상기 감광막 패턴의 분해능(R)은 축소노광장치의 광원의 파장(λ) 및 공정 변수(k)에 비례하고, 노광 장치의 렌즈 구경(numerical aperture:NA, 개구수)에 반비례한다.
- <12> [R=k* λ /NA, R=해상도, λ =광원의 파장, NA=개구수]
- <13> 여기서, 상기 축소노광장치의 광분해능을 향상시키기 위하여 광원의 파장을 감소시키게 되며, 예를 들어 파장이 436 및 365nm인 G-라인 및 i-라인 축소노광장치는 공정 분해능이 각각 약 0.7, 0.5 μ m 정도가 한계이고, 0.5 μ m 이하의 미세 패턴을 형성하기 위해 파장이 작은 원자외선, 예를 들어 파장이 248nm인 KrF 레이저나 193nm인 ArF 레이저를 광원으로 사용하는 노광 장치를 이용하거나, 공정 상의 방법으로는 노광마스크를 위상 반전 마스크를 사용하는 방법과, 이미지 콘트라스트를 향상시킬 수 있는 별도의 박막을 웨이퍼 상에 형성하는 씨.

이.엘.(contrast enhancement layer: 이하 CEL이라 함) 방법이나 두 층의 감광막 사이에 에스.오.지.(spin on glass: SOG) 등의 중간층을 개재시킨 삼층레지스트(Tri layer resist: 이하 TLR 라 함) 방법 또는 감광막의 상층에 선택적으로 실리콘을 주입시키는 실리레이션 방법 등이 개발되어 분해능 한계치를 낮추고 있다.

- <14> 또한, 상하의 도전배선을 연결하는 콘택홀은 소자가 고집적화 되어감에 따라 자체의 크기와 주변배선과의 간격이 감소되고, 콘택홀의 지름과 깊이의 비인 에스펙트비(aspect ratio)가 증가한다. 따라서, 다층의 도전배선을 구비하는 고집적 반도체소자에서는 콘택을 형성하기 위하여 제조 공정에서의 마스크들 간의 정확하고, 엄격한 정렬이 요구되어 공정여유도가 감소된다.
- <15> 이하, 첨부된 도면을 참고로 하여 종래기술에 따른 반도체소자의 제조방법을 설명한다.
- <16> 도 1a 내지 도 1f 는 종래기술에 따른 반도체소자의 제조방법을 도시한 공정단면도이다.
- <17> 먼저, 반도체기판(11)에 활성영역을 정의하는 소자분리절연막(도시안됨)을 형성한다.
- <18> 다음, 상기 반도체기판(11) 상부에 게이트절연막(도시안됨)을 형성하고, 게이트전극(도시안됨) 및 소오스/드레인접합영역으로 이루어지는 트랜지스터와 비트라인 콘택 및 저장전극 콘택으로 예정되는 부분에 접속되는 랜딩플러그(도시안됨)를 형성한다.
- <19> 그 다음, 전체표면 상부에 제1층간절연막(13)을 형성한다.
- <20> 다음, 비트라인 콘택 마스크를 이용한 사진식각공정으로 상기 제1층간절연막(13)을 식각하여 비트라인 콘택홀(도시안됨)을 형성한다.
- <21> 그 다음, 전체표면 상부에 확산방지막(도시안됨), 비트라인용 금속층(도시안됨) 및 마스크절연막(도시안됨)의 적층구조를 형성한다. 이때, 상기 확산방지막은 Ti 또는 Ti/TiN 적층구조로 형성되고, 상기 비트라인용 금속층은 W막으로 형성되며 상기 마스크절연막은 질화막으로 형성된 것이다.
- <22> 다음, 비트라인 마스크를 이용한 사진식각공정으로 상기 적층구조를 식각하여 마스크절연막패턴(19), 비트라인(17) 및 확산방지막패턴(15)을 형성한다. (도 1a 참조)
- <23> 그 다음, 전체표면 상부에 소정 두께의 절연막(21)을 형성한다. 이때, 상기 절연막(21)은 질화막으로 형성된 것이다. (도 1b 참조)
- <24> 다음, 상기 절연막(21)을 전면식각하여 상기 마스크절연막패턴(19), 비트라인(17) 및 확산방지막패턴(15)의 측벽에 절연막 스페이서(22)를 형성한다. (도 1c 참조)
- <25> 그 다음, 전체표면 상부에 제2층간절연막(23)을 형성한다. 이때, 상기 제2층간절연막(23)은 산화막으로 형성된 것이다. (도 1d 참조)
- <26> 다음, 상기 제2층간절연막(23) 상부에 저장전극 콘택으로 예정되는 부분을 노출시키는 감광막패턴(25)을 형성한다. (도 1e 참조)
- <27> 그 다음, 상기 감광막패턴(25)을 식각마스크로 상기 제2층간절연막(23) 및 제1층간절연막(13)을 식각하여 저장전극 콘택홀을 형성한다. 이때, 상기 식각공정은 각 박막들의 식각선택비 차이를 이용한 자기정렬콘택(self aligned contact, 이하 SAC 라 함)방법으로 실시된다.
- <28> 다음, 상기 감광막패턴(25)을 제거한다. (도 1f 참조)
- <29> 그 후, 상기 저장전극 콘택홀을 매립하는 저장전극 콘택플러그(도시안됨)를 형성한다.
- <30> 상기와 같이 종래기술에 따른 반도체소자의 제조방법은, 저장전극 콘택홀을 형성하는 식각공정 시 SAC방법을 실시하기 위하여 비트라인 측벽에 질화막 스페이서를 형성하고 있으나, 미스얼라인먼트, 저장전극 콘택마스크의 CD(critical dimension) 차이 또는 피식각층의 두께 등의 변수에 의해 도 1f 의 ⊗부분과 같이 비트라인 측벽 및 상부에 형성되어 있는 절연막이 손실되어 비트라인이 노출되고, 그로 인하여 상기 비트라인이 후속 공정으로 형성되는 저장전극 콘택플러그와 쇼트(short)되어 소자의 신뢰성 및 수율을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <31> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 마스크절연막패턴이 적층되어 있는 비트라인을 형성하고, 저장전극 콘택홀을 형성한 후 상기 마스크절연막패턴 및 비트라인의 측벽에 절연막 스페이서를 형성함으

로써 상기 저장전극 콘택홀을 형성하는 식각공정 시 상기 비트라인이 노출되는 것을 방지하고, 그에 따른 소자의 수율 및 신뢰성을 향상시키는 반도체소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <32> 이상의 목적을 달성하기 위한 본 발명에 따른 반도체소자의 제조방법은,
- <33> 소정의 하부구조물이 구비되는 반도체기판 상부에 제1층간절연막을 형성하는 공정과,
- <34> 상기 제1층간절연막 상부에 마스크절연막패턴이 적층되어 있는 비트라인을 형성하는 공정과,
- <35> 전체표면 상부에 제2층간절연막을 형성하는 공정과,
- <36> 저장전극 콘택마스크를 이용한 사진식각공정으로 상기 제2층간절연막 및 제1층간절연막을 식각하여 저장전극 콘택홀을 형성하는 공정과,
- <37> 전체표면 상부에 소정 두께의 절연막을 형성하는 공정과,
- <38> 상기 절연막을 전면식각하여 상기 저장전극 콘택홀의 측벽에 절연막 스페이서를 형성하는 공정과,
- <39> 상기 절연막은 Si₃N₄막, PE-TEOS막, SiON막 또는 LP-TEOS막을 사용하여 50 ~ 500Å 두께로 형성되는 것과,
- <40> 상기 전면식각공정은 주식각가스인 불소가스에 O₂ 또는 Ar을 혼합한 혼합가스를 식각가스로 이용하여 실시되는 것과,
- <41> 상기 전면식각공정은 10 ~ 100%의 과도식각공정으로 실시되는 것을 특징으로 한다.
- <42> 이하, 첨부된 도면을 참고로 하여 본 발명에 따른 반도체소자의 제조방법을 설명한다.
- <43> 도 3a 내지 도 3d 는 본 발명에 따른 반도체소자의 제조방법을 도시한 공정단면도이다.
- <44> 먼저, 반도체기판(11)에 활성영역을 정의하는 소자분리절연막(도시안됨)을 형성한다.
- <45> 다음, 상기 반도체기판(31) 상부에 게이트절연막(도시안됨)을 형성하고, 게이트전극(도시안됨) 및 소오스/드레인접합영역으로 이루어지는 트랜지스터와 비트라인 콘택 및 저장전극 콘택으로 예정되는 부분에 접속되는 랜딩플러그(도시안됨)을 형성한다.
- <46> 그 다음, 전체표면 상부에 제1층간절연막(33)을 형성한다.
- <47> 다음, 비트라인 콘택 마스크를 이용한 사진식각공정으로 상기 제1층간절연막(33)을 식각하여 비트라인 콘택홀(도시안됨)을 형성한다.
- <48> 그 다음, 전체표면 상부에 확산방지막(도시안됨), 비트라인용 금속층(도시안됨) 및 마스크절연막(도시안됨)의 적층구조를 형성한다. 이때, 상기 확산방지막은 Ti 또는 Ti/TiN 적층구조로 형성되고, 상기 비트라인용 금속층은 W막으로 형성되며 상기 마스크절연막은 질화막으로 형성된 것이다.
- <49> 다음, 비트라인 마스크를 이용한 사진식각공정으로 상기 적층구조를 식각하여 마스크절연막패턴(39), 비트라인(37) 및 확산방지막패턴(35)을 형성한다.
- <50> 그 다음, 전체표면 상부에 제2층간절연막(41)을 형성한다. 이때, 상기 제2층간절연막(41)은 산화막으로 형성된 것이다. (도 2a 참조)
- <51> 다음, 상기 제2층간절연막(41) 상부에 저장전극 콘택으로 예정되는 부분을 노출시키는 감광막패턴(43)을 형성한다. (도 2b 참조)
- <52> 그 다음, 상기 감광막패턴(43)을 식각마스크로 상기 제2층간절연막(41) 및 제1층간절연막(33)을 식각하여 저장전극 콘택홀을 형성한다. 이때, 상기 식각공정은 각 박막들의 식각선택비 차이를 이용한 SAC방법으로 실시하되, 주식각가스인 불소가스에 O₂ 또는 Ar을 혼합한 혼합가스를 식각가스로 이용하여 실시되며, 10 ~ 50%의 과도식각공정으로 실시된다.
- <53> 이때, 상기 감광막패턴(43)을 형성하는 사진공정 시 미스얼라인먼트가 발생하여 식각공정 후 상기 비트라인(37)이 노출될 수도 있다.

- <54> 다음, 상기 감광막패턴(43)을 제거한다. (도 2c 참조)
- <55> 그 다음, 전체표면 상부에 소정 두께의 절연막(45)을 형성한다. 이때, 상기 절연막(45)은 Si₃N₄막, PE-TEOS막, SiON막 또는 LP-TEOS막을 사용하여 50 ~ 500Å 두께로 형성된 것이다.
- <56> 다음, 상기 절연막(45)을 전면식각하여 상기 저장전극 콘택홀의 측벽에 절연막 스페이서(47)를 형성한다. 이때, 상기 전면식각공정은 주식각가스인 불소가스에 O₂ 또는 Ar을 혼합한 혼합가스를 식각가스로 이용하여 실시되며, 10 ~ 100%의 과도식각공정으로 실시된다. (도 2e 참조)
- <57> 그 후, 상기 저장전극 콘택홀을 매립하는 저장전극 콘택플러그(도시안됨)를 형성한다.

발명의 효과

- <58> 이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 제조방법은, 마스크절연막패턴이 적층되어 있는 비트라인을 형성하고, 전체표면 상부에 층간절연막을 형성한 다음, 저장전극 콘택마스크를 이용한 사진식각공정으로 상기 층간절연막을 식각하여 저장전극 콘택홀을 형성한 후 상기 저장전극 콘택홀의 측벽에 절연막 스페이서를 형성함으로써 상기 비트라인과 후속공정으로 형성되는 저장전극 콘택플러그 간에 절연 특성을 향상시키고, 그에 따른 소자의 수율 및 신뢰성을 향상시키는 이점이 있다.

도면의 간단한 설명

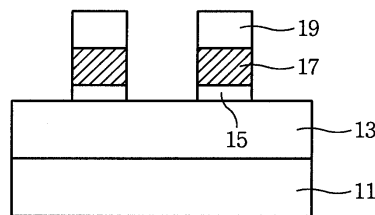
- <1> 도 1a 내지 도 1f 는 종래기술에 따른 반도체소자의 제조방법을 도시한 공정 단면도.
- <2> 도 2a 내지 도 2e 는 본 발명에 따른 반도체소자의 제조방법을 도시한 공정 단면도.

< 도면의 주요부분에 대한 부호의 설명 >

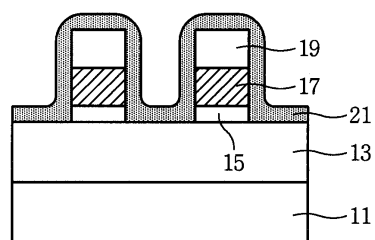
- <4> 11, 31 : 반도체기판
- <5> 15, 35 : 확산방지막패턴
- <6> 19, 39 : 마스크절연막패턴
- <7> 22, 47 : 절연막 스페이서
- <8> 25, 43 : 감광막패턴
- 13, 33 : 제1층간절연막
- 17, 47 : 비트라인
- 21, 45 : 절연막
- 23, 41 : 제2층간절연막

도면

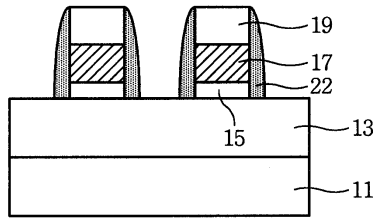
도면1a



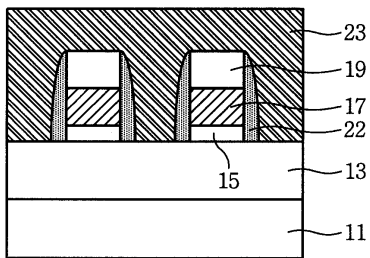
도면1b



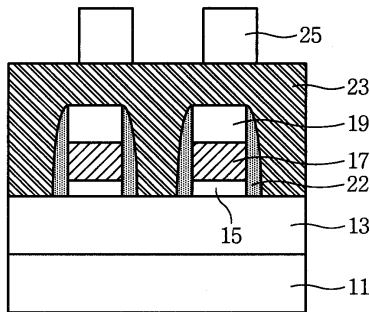
도면1c



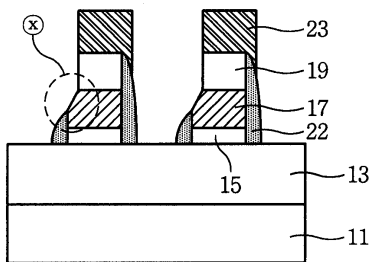
도면1d



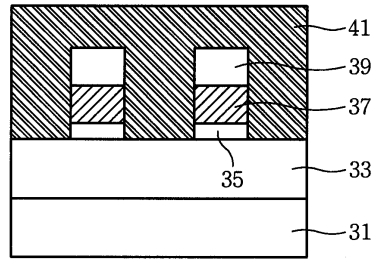
도면1e



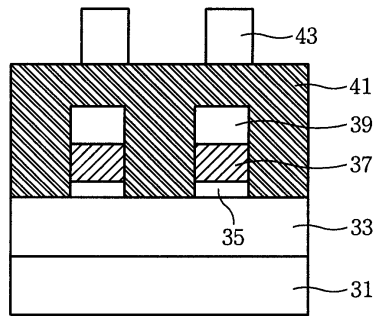
도면1f



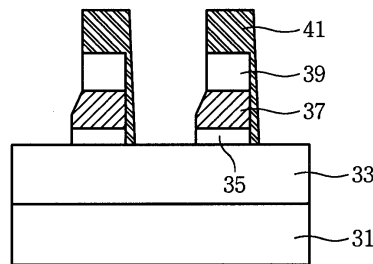
도면2a



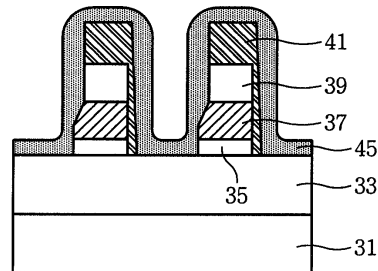
도면2b



도면2c



도면2d



도면2e

