



(12) 实用新型专利

(10) 授权公告号 CN 214896408 U

(45) 授权公告日 2021. 11. 26

(21) 申请号 202023142388.9

(22) 申请日 2020.12.23

(73) 专利权人 龙芯中科技术股份有限公司
地址 100095 北京市海淀区中关村环保科
技示范园龙芯产业园2号楼

(72) 发明人 李晓静 李静

(74) 专利代理机构 北京润泽恒知识产权代理有
限公司 11319
代理人 莎日娜

(51) Int. Cl.
G06F 1/18 (2006.01)

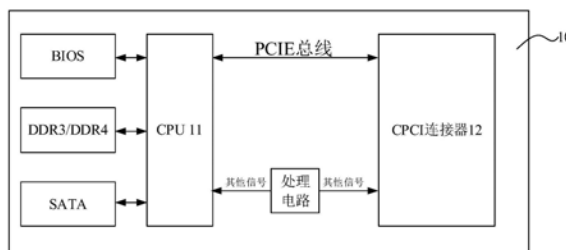
权利要求书1页 说明书5页 附图2页

(54) 实用新型名称

一种主板及计算机设备

(57) 摘要

本实用新型实施例提供了一种主板及计算机设备,涉及计算机技术领域,以解决现有计算机主板中的PCIE控制器无法直接与CPCI连接器相连,以及主板空间与成本浪费的问题。其中,所述主板包括CPU和CPCI连接器;所述CPU中集成有至少一个PCIE控制器,所述CPCI连接器包括高速信号传输接口,所述高速信号传输接口为能够支持高频信号模拟带宽的接口;所述PCIE控制器通过高速信号传输接口与所述CPCI连接器直接连接。本实用新型实施例既可以解决现有计算机主板中的PCIE控制器无法直接与CPCI连接器相连的问题,还可以节省主板的制板空间及成本,有效解决了现有主板空间浪费及成本较高的问题。



1. 一种主板,其特征在于,包括:CPU和CPCI连接器;其中,
所述CPU中集成有至少一个PCIE控制器;
所述CPCI连接器包括高速信号传输接口,所述高速信号传输接口为能够支持高频信号模拟带宽的接口;
所述PCIE控制器通过所述高速信号传输接口与所述CPCI连接器直接连接。
2. 根据权利要求1所述的主板,其特征在于,所述CPU集成了PCIE 0控制器和PCIE 1控制器,所述PCIE 0控制器直接与所述CPCI连接器连接,所述PCIE 1控制器与所述CPCI连接器之间连接有网络控制器芯片。
3. 根据权利要求2所述的主板,其特征在于,所述PCIE控制器与所述CPCI连接器的所述高速信号传输接口之间通过PCIE总线连接。
4. 根据权利要求1所述的主板,其特征在于,所述主板为标准6U欧式板卡类型或标准3U欧式板卡类型。
5. 根据权利要求1-4任一项所述的主板,其特征在于,所述CPCI连接器的接触电阻小于 $10\text{m}\Omega$ 。
6. 根据权利要求5所述的主板,其特征在于,所述CPCI连接器的端接类型为直式通孔焊接。
7. 根据权利要求1-4任一项所述的主板,其特征在于,所述主板还集成了数字量输入接口与数字量输出接口,所述数字量输入接口与所述数字量输出接口分别与所述CPCI连接器电连接。
8. 一种计算机设备,其特征在于,包括底板及权利要求1-7任一项所述的主板;
所述底板与所述主板通过所述CPCI连接器电连接。
9. 根据权利要求8所述的计算机设备,其特征在于,所述CPCI连接器包括CPCI插座或CPCI插头;
所述CPCI插座集成于所述主板上,所述CPCI插头集成于所述底板上,所述PCIE控制器与所述CPCI插座电连接,所述CPCI插座与所述CPCI插头插接电连接;或,
所述CPCI插座集成于所述底板上,所述CPCI插头集成于所述主板上,所述PCIE控制器与所述CPCI插头电连接,所述CPCI插座与所述CPCI插头插接电连接。

一种主板及计算机设备

技术领域

[0001] 本实用新型涉及计算机技术领域,特别是涉及一种主板及计算机设备。

背景技术

[0002] 目前,计算机主板中通常设置有中央处理单元(Central Processing Unit,简称CPU)和紧凑型外设部件互连标准(Compact Peripheral Component Interconnect,简称CPCI)连接器,CPU与CPCI连接器通常通过PCI桥片连接,以实现信号传输。具体地,由于部分CPU内部没有集成外设部件互连标准(Peripheral Component Interconnect,简称PCI)控制器,只有高速串行计算机扩展总线标准(Peripheral Component Interconnect Express,简称PCIE)控制器,而传统的CPCI连接器不具备实现支持高速信号的承载能力,无法直接与PCIE控制器相连。由于PCI桥片可以实现PCIE与PCI的转换,PCIE控制器便可以通过PCI桥片与传统的CPCI连接器实现信号连接,因此需要在计算机主板中额外增加PCI桥片,使用PCI桥片实现PCIE控制器与CPCI连接器之间的信号传输,从而导致浪费主板空间及成本等问题。

[0003] 综上,目前的计算机存在主板空间浪费及成本较高的问题。

实用新型内容

[0004] 鉴于上述问题,提出了克服上述问题或者至少部分地解决上述问题的一种主板及计算机设备,以解决现有计算机主板空间浪费及成本较高的问题。

[0005] 为了解决上述问题,一方面,本实用新型公开了一种主板,包括:CPU和CPCI连接器;其中,

[0006] 所述CPU中集成有至少一个PCIE控制器;

[0007] 所述CPCI连接器包括高速信号传输接口,所述高速信号传输接口为能够支持高频信号模拟带宽的接口;

[0008] 所述PCIE控制器通过所述高速信号传输接口与所述CPCI连接器直接连接。

[0009] 可选地,所述CPU集成了PCIE 0控制器和PCIE 1控制器,所述PCIE0控制器直接与所述CPCI连接器连接,所述PCIE 1控制器与所述CPCI连接器之间连接有网络控制器芯片。

[0010] 可选地,所述PCIE控制器与所述CPCI连接器的所述高速信号传输接口之间通过PCIE总线连接。

[0011] 可选地,所述主板为标准6U欧式板卡类型或标准3U欧式板卡类型。

[0012] 可选地,所述CPCI连接器的接触电阻小于10m Ω 。

[0013] 可选地,所述CPCI连接器的端接类型为直式通孔焊接。

[0014] 可选地,所述主板还集成了数字量输入接口与数字量输出接口,所述数字量输入接口与所述数字量输出接口分别与所述CPCI连接器电连接。

[0015] 另一方面,本实用新型还公开了一种计算机设备,包括底板及上述的主板;

[0016] 所述底板与所述主板通过所述CPCI连接器电连接。

[0017] 可选地,所述CPCI连接器包括CPCI插座或CPCI插头;

[0018] 所述CPCI插座集成于所述主板上,所述CPCI插头集成于所述底板上,所述PCIE控制器与所述CPCI插座电连接,所述CPCI插座与所述CPCI插头插接电连接;或,

[0019] 所述CPCI插座集成于所述底板上,所述CPCI插头集成于所述主板上,所述PCIE控制器与所述CPCI插头电连接,所述CPCI插座与所述CPCI插头插接电连接。

[0020] 本实用新型实施例包括以下优点:

[0021] 本实用新型中提供一种主板,包括:CPU和CPCI连接器;其中,CPU中集成有至少一个PCIE控制器,CPCI连接器包括高速信号传输接口,高速信号传输接口为能够支持高频信号模拟带宽的接口。PCIE控制器通过高速信号传输接口与CPCI连接器直接连接。相比传统方案而言,本实用新型实施例的CPCI连接器包含支持高速信号传输的高速信号传输接口,该高速信号传输接口能够支持高频信号模拟带宽,进而能够接收PCIE控制器传输的高频信号模拟带宽,因此,CPU中的PCIE控制器可通过高速信号传输接口直接与CPCI连接器相连,不需要额外的PCI桥片。可见,本实用新型实施例既可以解决现有计算机主板中的PCIE控制器无法直接与CPCI连接器相连的问题,还可以节省主板的制板空间及成本,有效解决了现有主板空间浪费及成本较高的问题。

附图说明

[0022] 图1是本实用新型的一种主板的结构框图;

[0023] 图2是本实用新型的另一种主板的结构框图;

[0024] 图3是本实用新型的计算机设备的结构框图;

[0025] 图4是本实用新型的主板和底板的布置示意图。

具体实施方式

[0026] 为使本实用新型的上述目的、特征和优点能够更加明显易懂,下面结合附图和具体实施方式对本实用新型作进一步详细的说明。

[0027] 参照图1,本实施例提供了一种主板10,包括:CPU 11和CPCI连接器12;其中,

[0028] 所述CPU 11中集成有至少一个PCIE控制器;

[0029] 所述CPCI连接器12包括高速信号传输接口,所述高速信号传输接口为能够支持高频信号模拟带宽的接口;

[0030] 所述PCIE控制器通过所述高速信号传输接口与所述CPCI连接器12直接连接。

[0031] 可选地,CPU 11中可以集成两个x4模式的PCIE控制器,可配置成六个x1模式的PCIE控制器。CPCI连接器12可以为H2系列高速背板CPCI连接器,CPCI连接器12包括高速信号传输接口,该高速信号传输接口为能够支持高频信号模拟带宽的接口,其传输速率可达3.125Gbps,CPCI连接器12还支持传输单端信号或差分信号。某些性能优异的CPCI连接器12的传输速率甚至可达10Gbps及以上。PCIE控制器的信号传输接口通过高速信号传输接口与CPCI连接器12直接连接,可将PCIE控制器的高速信号传输至CPCI连接器12。

[0032] 本实用新型中提供一种主板10,如图1所示,包括:CPU 11和CPCI连接器12;其中,CPU 11中集成有至少一个PCIE控制器,CPCI连接器12包括高速信号传输接口,PCIE控制器与高速信号传输接口直接连接。相比传统方案而言,本实用新型实施例的CPCI连接器支持

高速信号的传输,因此,CPU 10中的PCIE控制器可直接与CPCI连接器12的高速信号传输接口相连,不需要额外的PCI桥片。可见,本实用新型实施例既可以解决现有计算机主板中的PCIE控制器无法直接与CPCI连接器12相连的问题,还可以节省主板的制板空间及成本,有效解决了现有主板空间浪费及成本较高的问题。

[0033] 可选地,所述CPU 11集成了PCIE 0控制器和PCIE 1控制器,所述PCIE0控制器直接与所述CPCI连接器12连接,所述PCIE 1控制器与所述CPCI连接器12之间连接有网络控制器芯片13。

[0034] 其中,PCIE 1控制器可配置成两路x1模式的PCIE控制器,PCIE 1控制器与CPCI连接器12之间连接网络控制器芯片,网络控制器芯片13可将PCIE 1控制器的两路信号生成两路千兆以太网信号,再将以太网信号传输至CPCI连接器12。PCIE 0控制器可配置成四路x1模式的PCIE控制器,PCIE0控制器可直接与CPCI连接器12连接,本实用新型实施例对PCIE 0总线的用途不做限定,本领域技术人员可根据实际需求对PCIE 0总线进行规划。

[0035] 可选地,CPU 11为龙芯2K1000处理器。

[0036] 其中,处理器中集成了两个PCIE控制器,一个PCIE控制器直接与CPCI连接器12连接,另一个PCIE控制器与CPCI连接器12之间连接有网络控制器芯片13。此外,处理器中还可以集成有精简吉比特介质独立接口(Reduced Gigabit Media Independent Interface,简称RGMI)、通用串行总线(Universal Serial Bus,简称USB) 2.0接口、控制器局域网络(Controller Area Network,简称CAN)、平衡式多点接口(简称RS422)、标准串行数据接口(简称RS232)等功能接口,功能接口均与CPCI连接器12连接,以实现不同功能接口的信号传输。此外,可以理解的是,由于PCIE控制器的数据需要通过PCIE总线进行传输,因此,PCIE控制器与CPCI连接器12通过PCIE总线连接。

[0037] 可选地,所述主板10为标准6U欧式板卡类型或标准3U欧式板卡类型。

[0038] 其中,标准6U欧式板卡的尺寸为233.35mm×160mm,标准6U欧式板卡可设置八个槽位;标准3U欧式板卡的尺寸为100mm×160mm,标准3U欧式板卡可设置五个槽位。本实用新型实施例对主板10的尺寸不做限定,本领域技术人员可根据实际的尺寸及槽位需求设定主板10的具体尺寸。

[0039] 可选地,所述CPCI连接器12为H2系列高速背板CPCI连接器。

[0040] 其中,H2系列高速背板CPCI连接器12具有支持高速信号的承载能力,可直接与PCIE控制器相连,实现PCIE高速信号的传输。而且,相比传统的压接CPCI连接器而言,H2系列高速背板CPCI连接器12支持焊接形式,提高了CPCI连接器12的牢固性,能够承载更为恶劣的强振动环境。示例性地,本实用新型实施例中,所使用的CPCI连接器12的接触电阻可以小于10mΩ,高速信号传输接口的差分信号对之间阻抗可以为 $100 \pm 10 \Omega$,高速信号传输接口的差分信号与地之间的阻抗可以为 $50 \pm 5 \Omega$ 。较小的接触电阻以及较小的传输阻抗均可以确保高速信号传输接口的传输速率达到3.125Gbps。因此,本实用新型实施例的CPCI连接器基于以上电学特性,将传统CPCI连接器的接口(引脚)进行重定义,即将CPCI连接器的部分接口重定义为高速信号传输接口,使得CPCI连接器还可以支持10Gbps甚至更高的模拟带宽,实现高速信号传输。

[0041] 可选地,所述CPCI连接器12的端接类型为直式通孔焊接。

[0042] 其中,CPCI连接器12的端接类型为直式通孔焊接,CPCI连接器12可以为焊接在主

板上的插头或者插座。对于插头或者插座,均包括注塑的壳体以及封装固定在壳体内的金属插针。金属插针可以为壳体上伸出的直列插针,金属插针可以插入与主板上的焊孔中焊接固定,可以提升CPCI连接器12的牢固性,使得CPCI连接器12能够承载更为恶劣的强振动环境。

[0043] 可选地,所述主板还集成了数字量输入接口与数字量输出接口,所述数字量输入接口与所述数字量输出接口分别与所述CPCI连接器12电连接。

[0044] 其中,主板还集成了数字量输入接口与数字量输出接口,数字量输入接口与数字量输出接口分别与CPCI连接器12电连接,可通过CPCI连接器12传输数字量输入接口与数字量输出接口的信号。本实用新型实施例既可以充分利用主板的制板空间,还可以增加主板的的功能接口类型。当然,主板上还可以集成第三代双倍速内存(Double Data Rate 3,简称DDR3)或第四代双倍速内存(Double Data Rate 4,简称DDR4)、存储BIOS(Basic Input Output System,基本输入输出系统)程序的非易失性存储器,显示接口及网络接口等,以及用于连接硬盘和光驱等设备的串行ATA接口(Serial ATA,简称SATA)、PCIE 2.0、USB2.0、串行外设接口(Serial Peripheral Interface,SPI)、CAN、RS422等常用的主流外设接口,其中,DDR3内存设计可以选择使用小外形双列直插式内存模块(Small Outline Dual In-line Memory Module,简称SO-DIMM);BIOS程序主要是为计算机提供最底层的、最直接的硬件设置和控制;处理电路可以为网络控制器芯片,网络控制器芯片与CPU、CPCI控制器之间传输以太网信号。本实用新型实施例对主板上的设备及功能接口的数量及类型不做限定,本领域技术人员可根据实际需求裁剪或增加功能接口。

[0045] 参照图3,本实施例提供了一种计算机设备,包括底板20和前述实施例中的主板10;

[0046] 所述底板20与所述主板10通过所述CPCI连接器12电连接。

[0047] 本实施例中提供一种计算机设备,包括底板20和主板10,如图3所示,主板10包括:CPU 11和CPCI连接器12;其中,CPU 11中集成有至少一个PCIE控制器,CPCI连接器12包括高速信号传输接口,PCIE控制器与高速信号传输接口直接连接。相比传统方案而言,本实用新型实施例的CPCI连接器12支持高速信号的传输,因此,CPU 11中的PCIE控制器可直接与CPCI连接器12的高速信号传输接口相连,不需要额外的PCI桥片。可见,本实用新型实施例既可以解决现有计算机主板中的PCIE控制器无法直接与CPCI连接器相连的问题,还可以节省主板的制板空间及成本,有效解决了现有主板空间与成本浪费的问题。其中,底板20和主板10通过CPCI连接器12电连接,可以实现主板10上的功能接口通过CPCI连接器12与底板20连接,底板20上可连接对外接口板30和电源板40,如图3所示,从而可以实现对主板10功能接口的扩展使用。此外,在实际应用中,基于计算机设备的箱体尺寸及其内部组件的布局空间,可以将底板20和主板10按照图4的示意上下叠层设置,以节省计算机设备内部空间。当然,也可以在内部空间充足的情况下,将底板20和主板10并联设置在同一平面内。本实用新型实施例中对底板20和主板10的相对位置关系不做限定。

[0048] 可选地,所述CPCI连接器12包括CPCI插座或CPCI插头;

[0049] 所述CPCI插座集成于所述主板10上,所述CPCI插头集成于所述底板20上,所述PCIE控制器与所述CPCI插座电连接,所述CPCI插座与所述CPCI插头插接电连接;或,

[0050] 所述CPCI插座集成于所述底板20上,所述CPCI插头集成于所述主板10上,所述

PCIE控制器与所述CPCI插头电连接,所述CPCI插座与所述CPCI插头插接电连接。

[0051] 其中,前述的CPCI连接器12可以包括成对配套使用的CPCI插座或CPCI插头。当把CPCI插座集成于主板10上时,相应地,CPCI插头可以集成于底板20上,PCIE控制器与CPCI插座上插孔的针脚接触电连接,通过CPCI插头的插针与CPCI插座的插孔插接电连接,实现主板10与底板20的电连接,从而将PCIE控制器的高速信号传输至底板20。反之,当把CPCI插座集成于底板20上时,相应地,CPCI插头可以集成于主板10上,PCIE控制器与CPCI插头的插针接触电连接,通过CPCI插头的插针与CPCI插座的插孔插接电连接,也是一种实现主板10与底板20之间高速信号传输的方式。

[0052] 本说明书中的各个实施例均采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似的部分互相参见即可。

[0053] 最后,还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者终端设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者终端设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者终端设备中还存在另外的相同要素。

[0054] 以上对本实用新型所提供的实施例进行了详细介绍,本文中应用了具体个例对本实用新型的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本实用新型的方法及其核心思想;同时,对于本领域的一般技术人员,依据本实用新型的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本实用新型的限制。

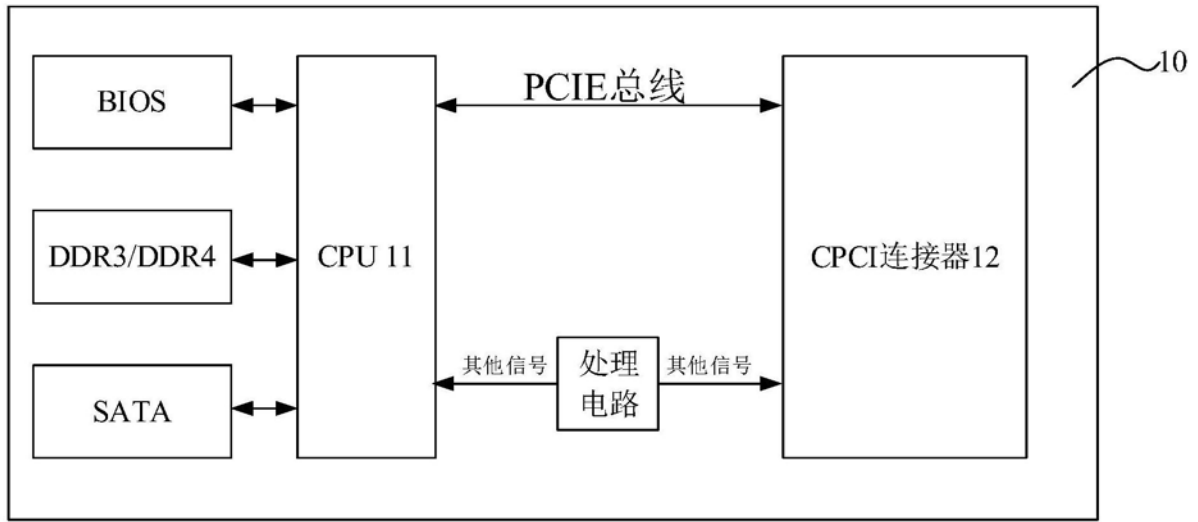


图1

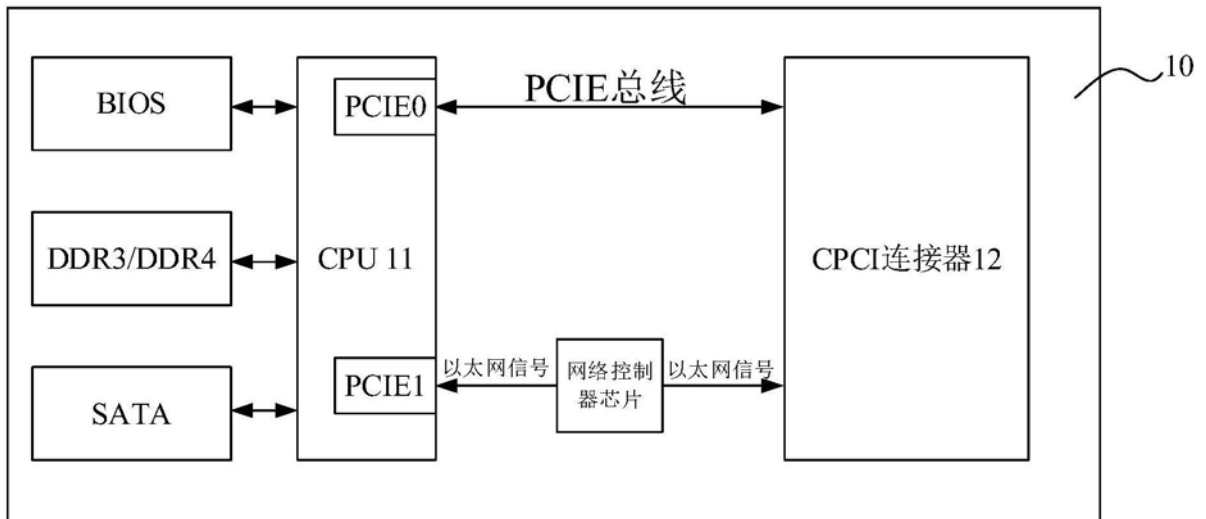


图2

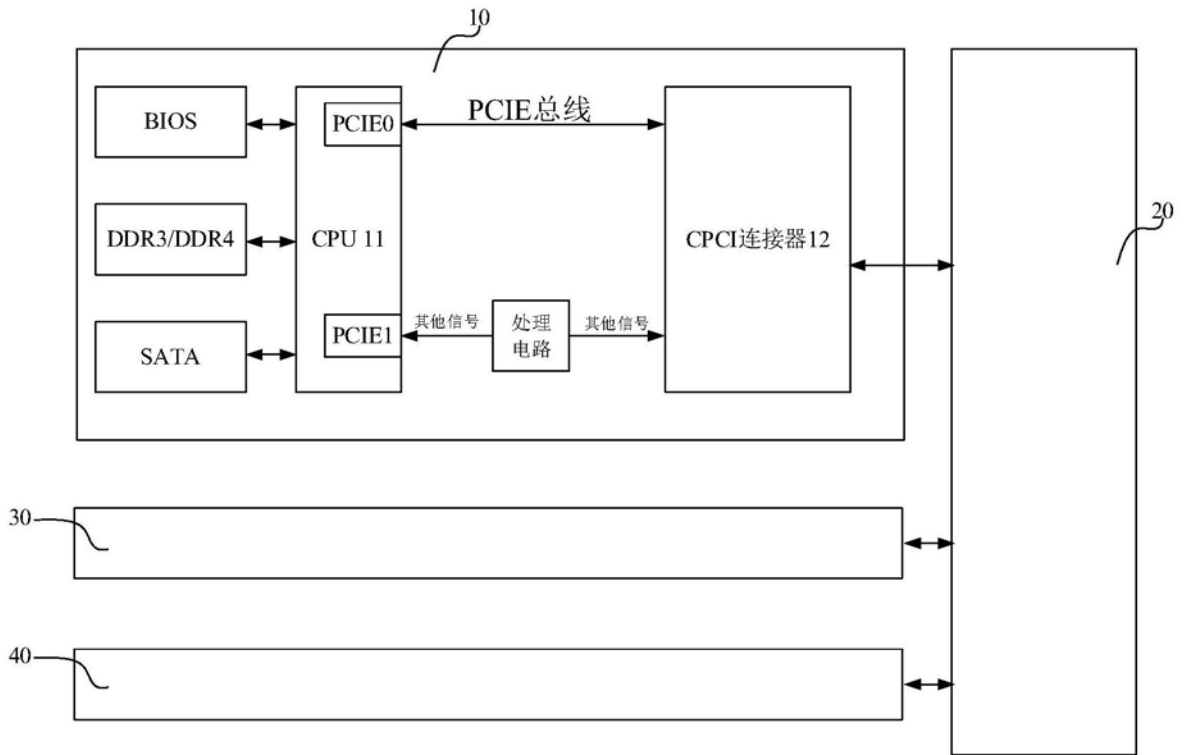


图3

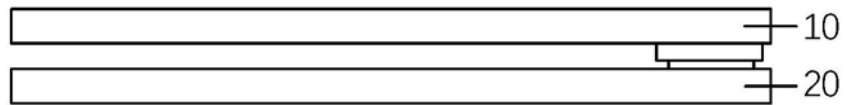


图4