



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년05월29일
(11) 등록번호 10-0900237
(24) 등록일자 2009년05월25일

(51) Int. Cl.

H01L 27/108 (2006.01)

(21) 출원번호 10-2007-0110616
(22) 출원일자 2007년10월31일
심사청구일자 2007년10월31일
(65) 공개번호 10-2009-0044495
(43) 공개일자 2009년05월07일

(56) 선행기술조사문헌
KR1020070002590 A
KR1020070102234 A
KR1020020024736 A
KR1020060108314 A

전체 청구항 수 : 총 26 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

서문식

경기 용인시 풍덕천1동 692-1 수지2차 삼성아파트
201동 1406호

(74) 대리인

강성배

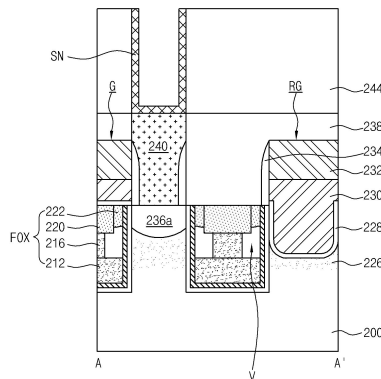
심사관 : 광준영

(54) 반도체 소자 및 그의 제조방법

(57) 요약

본 발명은 인접한 게이트 및 스토리지 노드의 전압에 의해 리세스 게이트의 문턱 전압이 낮아지는 현상을 방지하기 위한 반도체 소자 및 그의 제조방법을 개시한다. 개시된 본 발명의 반도체 소자는, 게이트 영역 및 스토리지 노드 콘택 영역을 포함하고 상기 게이트 영역이 리세스된 활성 영역을 갖는 반도체 기판; 상기 반도체 기판 내에 형성되어 활성 영역을 정의하며, 측벽에 보이드(Void)를 구비한 소자분리막; 상기 반도체 기판의 게이트 영역에 형성된 리세스 게이트; 및 상기 활성 영역의 스토리지 노드 콘택 영역과 연결되게 형성된 스토리지 노드;를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

인접한 게이트 및 스토리지 노드의 전압에 의해 리세스 게이트의 문턱 전압이 낮아지는 현상을 방지하기 위한 반도체 소자로서,

게이트 영역 및 스토리지 노드 콘택 영역을 포함하고 상기 게이트 영역이 리세스된 활성 영역을 갖는 반도체 기관;

상기 반도체 기관 내에 형성되어 활성 영역을 정의하며, 측벽에 보이드(Void)를 구비한 소자분리막;

상기 반도체 기관의 게이트 영역에 형성된 리세스 게이트; 및

상기 활성 영역의 스토리지 노드 콘택 영역과 연결되게 형성된 스토리지 노드;

를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 보이드는 상기 소자분리막의 1/4~3/4 지점에 위치한 것을 특징으로 하는 반도체 소자.

청구항 3

제 1 항에 있어서,

상기 소자분리막은,

상기 반도체 기관 소자분리 영역에 구비된 트렌치의 저면에 형성된 제1절연막;

상기 제1절연막의 일부분 상에 상기 트렌치의 측벽에 보이드가 생성되도록 형성된 제2절연막; 및

상기 트렌치의 상부에 상기 보이드를 매립하지 않도록 형성된 제3절연막;

을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 4

제 3 항에 있어서,

상기 제1절연막은 SOD(Spin-On Dielectric)막, 또는, SOG(Spin-On Glass)막인 것을 특징으로 하는 반도체 소자.

청구항 5

제 3 항에 있어서,

상기 제1절연막은 상기 트렌치 깊이의 1/10~1/2의 두께로 형성된 것을 특징으로 하는 반도체 소자.

청구항 6

제 3 항에 있어서,

상기 제2절연막은 SOD막, 또는 SOG막인 것을 특징으로 하는 반도체 소자.

청구항 7

제 3 항에 있어서,

상기 제3절연막은 HDP(High Density Plasma)막인 것을 특징으로 하는 반도체 소자.

청구항 8

제 3 항에 있어서,

상기 제3절연막은 그 일부가 상기 제2절연막과 접하도록 형성된 것을 특징으로 하는 반도체 소자.

청구항 9

제 3 항에 있어서,

상기 제3절연막은 상기 트렌치의 입구를 막도록 형성된 것을 특징으로 하는 반도체 소자.

청구항 10

인접한 게이트 및 스토리지 노드의 전압에 의해 리세스 게이트의 문턱 전압이 낮아지는 현상을 방지하기 위한 반도체 소자의 제조방법으로서,

게이트 영역 및 스토리지 노드 콘택 영역을 포함하는 활성 영역과 소자분리 영역을 갖는 반도체 기판의 상기 소자분리 영역에 측벽에 보이드를 구비한 소자분리막을 형성하는 단계;

상기 게이트 영역에 리세스 게이트를 형성하는 단계; 및

상기 활성 영역에 스토리지 노드 콘택 영역과 연결되게 스토리지 노드를 형성하는 단계;

를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11

제 10 항에 있어서,

상기 보이드는 상기 소자분리막의 1/4~3/4 지점에 위치한 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12

제 10 항에 있어서,

상기 소자분리막을 형성하는 단계는,

반도체 기판의 상기 소자분리 영역을 식각해서 트렌치를 형성하는 단계;

상기 트렌치의 저면에 제1절연막을 형성하는 단계;

상기 제1절연막이 형성된 트렌치의 측벽에 제1회생막을 형성하는 단계;

상기 제1회생막과 상기 제1절연막 상에 제2절연막을 형성하는 단계;

상기 트렌치 상부의 측벽이 노출되도록 상기 제2절연막과 제1회생막의 일부 두께를 식각하는 단계;

상기 노출된 트렌치 상부의 측벽에 제2회생막을 형성하는 단계;

상기 제2절연막과 상기 제2회생막 상에 상기 트렌치를 매립하도록 제3절연막을 형성하는 단계;

상기 제1회생막과 상기 제2회생막을 제거하는 단계; 및

상기 트렌치의 측벽에 보이드가 생성되도록 상기 트렌치의 상부에 제4절연막을 형성하는 단계;

를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13

제 12 항에 있어서,

상기 제1절연막은 SOD막, 또는, SOG막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 14

제 12 항에 있어서,

상기 제1절연막은 1/10~1/2의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 15

제 12 항에 있어서,

상기 제1 및 제2회생막은 N형, 또는, P형 불순물이 도핑된 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 16

제 15 항에 있어서,

상기 제1 및 제2회생막은 N형, 또는, P형 불순물이 $1 \times 10^{18} \sim 1 \times 10^{22}$ 이온/cm²의 도우즈로 도핑된 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 17

제 15 항에 있어서,

상기 제1 및 제2회생막은 N형, 또는, P형 불순물이 도핑된 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 18

제 12 항에 있어서,

상기 제1회생막은 100~1000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 19

제 12 항에 있어서,

상기 제2절연막은 SOD막, 또는, SOG막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 20

제 12 항에 있어서,

상기 제2회생막은 상기 제1회생막보다 얇은 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 21

제 12 항에 있어서,

상기 제2회생막은 10~100Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 22

제 12 항에 있어서,

상기 제3절연막은 HDP막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 23

제 12 항에 있어서,

상기 제3절연막은 그 일부가 상기 제2절연막과 접하도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 24

제 12 항에 있어서,

상기 제1회생막과 상기 제2회생막을 제거하는 단계는, 습식 식각 방식으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 25

제 12 항에 있어서,

상기 제4절연막은 HDP막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 26

제 12 항에 있어서,

상기 제3 및 제4절연막은 상기 트렌치의 입구를 막도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 소자 및 그의 제조방법에 관한 것으로, 보다 상세하게는, 리세스 게이트의 문턱 전압(Threshold Voltage : V_t) 마진을 확보하여 누설 전류(Leakage Current : LC)를 개선할 수 있는 반도체 소자 및 그의 제조방법에 관한 것이다.

배경기술

<2> 반도체 소자의 고집적화가 진행됨에 따라 트랜지스터의 채널 길이(Channel Length)가 감소하게 되면서 문턱 전압이 급격히 낮아지는, 이른바 단채널효과(Short Channel Effect)가 발생하게 되었다.

<3> 이에, 반도체 기판의 게이트 영역을 식각하여 게이트용 홈을 형성함으로써, 유효 채널 길이(Effective Channel Length)를 확보할 수 있는 다양한 형태의 리세스 채널(Recess Channel)을 갖는 반도체 소자의 구현방법이 제안된 바 있다. 상기 리세스 채널을 갖는 반도체 소자의 제조시, 채널 길이가 증가됨에 따라 기판의 도핑 농도를 줄일 수 있으며, DIBL(Drain-Induced Barrier Lowering)이 개선된다는 장점이 있다.

<4> 이하에서는, 종래 기술에 따른 리세스 채널을 갖는 반도체 소자의 제조방법을 간략하게 설명하도록 한다.

<5> 먼저, 게이트 영역을 포함하는 활성 영역 및 소자분리 영역을 갖는 반도체 기판의 상기 소자분리 영역에 활성 영역을 정의하는 소자분리막을 형성한 다음, 상기 소자분리막이 형성된 반도체 기판의 결과물 상에 활성 영역의 게이트 영역을 노출시키는 마스크 패턴을 형성한다.

<6> 이어서, 상기 마스크 패턴에 의해 노출된 반도체 기판 부분을 식각하여 활성 영역의 게이트 영역에 게이트용 홈을 형성한 후, 상기 마스크 패턴을 제거하고, 그리고 나서, 상기 게이트용 홈을 포함한 반도체 기판의 표면에 게이트 절연막을 형성한다.

<7> 그런 다음, 상기 게이트 절연막 상에 상기 게이트용 홈을 매립하도록 게이트 도전막 및 게이트 하드마스크막을 차례로 증착한 후, 상기 게이트 하드마스크막과 게이트 도전막 및 게이트 절연막을 패터닝하여 게이트용 홈 상에 리세스 게이트를 형성한다.

<8> 계속해서, 상기 리세스 게이트의 양측벽에 스페이서막을 형성하고, 리세스 게이트 양측의 반도체 기판 내에 이온주입을 수행하여 소오스 영역 및 드레인 영역을 형성한 다음, 상기 소오스 영역 상에 스토리지 노드 콘택 플러그를 형성함과 아울러 상기 드레인 영역 상에 비트 라인 콘택 플러그를 형성한다.

<9> 이후, 공지된 일련의 후속 공정들을 차례로 수행하여 리세스 채널을 갖는 반도체 소자를 제조한다.

<10> 그러나, 전술한 종래 기술의 경우에는, 리세스 게이트에 인접한 게이트와 스토리지 노드에 인가되는 전압이 인접한 소자분리막을 통해 상기 리세스 게이트 하부의 채널 영역에 영향을 주어 문턱 전압(Threshold Voltage : V_t)이 낮아지는 현상이 유발된다. 이러한 문턱 전압의 감소는 반도체 소자의 고집적화 추세에 따라 더욱 심화되며, 이 때문에, 셀 트랜지스터의 문턱 전압 마진이 감소하여 누설 전류(Leakage Current : LC)가 발생한다.

발명의 내용

해결하고자하는 과제

<11> 본 발명은 인접한 게이트 및 스토리지 노드의 전압에 의해 리세스 게이트의 문턱 전압이 낮아지는 현상을 방지하여 문턱 전압 마진을 확보할 수 있는 반도체 소자 및 그의 제조방법을 제공한다.

<12> 또한, 본 발명은 상기 리세스 게이트의 문턱 전압 마진을 확보하여 누설 전류(Leakage Current : LC)를 개선할 수 있는 반도체 소자 및 그의 제조방법을 제공한다.

과제 해결수단

<13> 본 발명의 실시예에 따른 반도체 소자는, 인접한 게이트 및 스토리지 노드의 전압에 의해 리세스 게이트의 문턱 전압이 낮아지는 현상을 방지하기 위한 반도체 소자로서, 게이트 영역 및 스토리지 노드 콘택 영역을 포함하고 상기 게이트 영역이 리세스된 활성 영역을 갖는 반도체 기판; 상기 반도체 기판 내에 형성되어 활성 영역을 정의하며, 측벽에 보이드(Void)를 구비한 소자분리막; 상기 반도체 기판의 게이트 영역에 형성된 리세스 게이트; 및 상기 활성 영역의 스토리지 노드 콘택 영역과 연결되게 형성된 스토리지 노드;를 포함한다.

<14> 여기서, 상기 보이드는 상기 소자분리막의 1/4~3/4 지점에 위치한다.

<15> 상기 소자분리막은, 상기 반도체 기판 소자분리 영역에 구비된 트렌치의 저면에 형성된 제1절연막; 상기 제1절연막의 일부분 상에 상기 트렌치의 측벽에 보이드가 생성되도록 형성된 제2절연막; 및 상기 트렌치의 상부에 상기 보이드를 매립하지 않도록 형성된 제3절연막;을 포함한다.

<16> 상기 제1절연막은 SOD(Spin-On Dielectric)막, 또는, SOG(Spin-On Glass)막이다.

<17> 상기 제1절연막은 상기 트렌치 깊이의 1/10~1/2의 두께로 형성된다.

<18> 상기 제2절연막은 SOD막, 또는, SOG막이다.

<19> 상기 제3절연막은 HDP(High Density Plasma)막이다.

<20> 상기 제3절연막은 그 일부가 상기 제2절연막과 접하도록 형성된다.

<21> 상기 제3절연막은 상기 트렌치의 입구를 막도록 형성된다.

<22> 또한, 본 발명의 실시예에 따른 반도체 소자의 제조방법은, 인접한 게이트 및 스토리지 노드의 전압에 의해 리세스 게이트의 문턱 전압이 낮아지는 현상을 방지하기 위한 반도체 소자의 제조방법으로서, 게이트 영역 및 스토리지 노드 콘택 영역을 포함하는 활성 영역과 소자분리 영역을 갖는 반도체 기판의 상기 소자분리 영역에 측벽에 보이드를 구비한 소자분리막을 형성하는 단계; 상기 게이트 영역에 리세스 게이트를 형성하는 단계; 및 상기 활성 영역에 스토리지 노드 콘택 영역과 연결되게 스토리지 노드를 형성하는 단계;를 포함한다.

<23> 여기서, 상기 보이드는 상기 소자분리막의 1/4~3/4 지점에 위치한다.

<24> 상기 소자분리막을 형성하는 단계는, 반도체 기판의 상기 소자분리 영역을 식각해서 트렌치를 형성하는 단계; 상기 트렌치의 저면에 제1절연막을 형성하는 단계; 상기 제1절연막이 형성된 트렌치의 측벽에 제1회생막을 형성하는 단계; 상기 제1회생막과 상기 제1절연막 상에 제2절연막을 형성하는 단계; 상기 트렌치 상부의 측벽이 노출되도록 상기 제2절연막과 제1회생막의 일부 두께를 식각하는 단계; 상기 노출된 트렌치 상부의 측벽에 제2회생막을 형성하는 단계; 상기 제2절연막과 상기 제2회생막 상에 상기 트렌치를 매립하도록 제3절연막을 형성하는 단계; 상기 제1회생막과 상기 제2회생막을 제거하는 단계; 및 상기 트렌치의 측벽에 보이드가 생성되도록 상기 트렌치의 상부에 제4절연막을 형성하는 단계;를 포함한다.

<25> 상기 제1절연막은 SOD막, 또는, SOG막으로 형성한다.

<26> 상기 제1절연막은 상기 트렌치 깊이의 1/10~1/2의 두께로 형성한다.

<27> 상기 제1 및 제2회생막은 N형, 또는, P형 불순물이 도핑된 절연막으로 형성한다.

<28> 상기 제1 및 제2회생막은 N형, 또는, P형 불순물이 $1 \times 10^{18} \sim 1 \times 10^{22}$ 이온/cm²의 도우즈로 도핑된 절연막으로 형성한다.

<29> 상기 제1 및 제2회생막은 N형, 또는, P형 불순물이 도핑된 산화막으로 형성한다.

<30> 상기 제1회생막은 100~1000 Å의 두께로 형성한다.

<31> 상기 제2절연막은 SOD막, 또는, SOG막으로 형성한다.

<32> 상기 제2회생막은 상기 제1회생막보다 얇은 두께로 형성한다.

- <33> 상기 제2회생막은 10~100Å의 두께로 형성한다.
- <34> 상기 제3절연막은 HDP막으로 형성한다.
- <35> 상기 제3절연막은 그 일부가 상기 제2절연막과 접하도록 형성한다.
- <36> 상기 제1회생막과 상기 제2회생막을 제거하는 단계는, 습식 식각 방식으로 수행한다.
- <37> 상기 제4절연막은 HDP막으로 형성한다.
- <38> 상기 제3 및 제4절연막은 상기 트렌치의 입구를 막도록 형성한다.

효 과

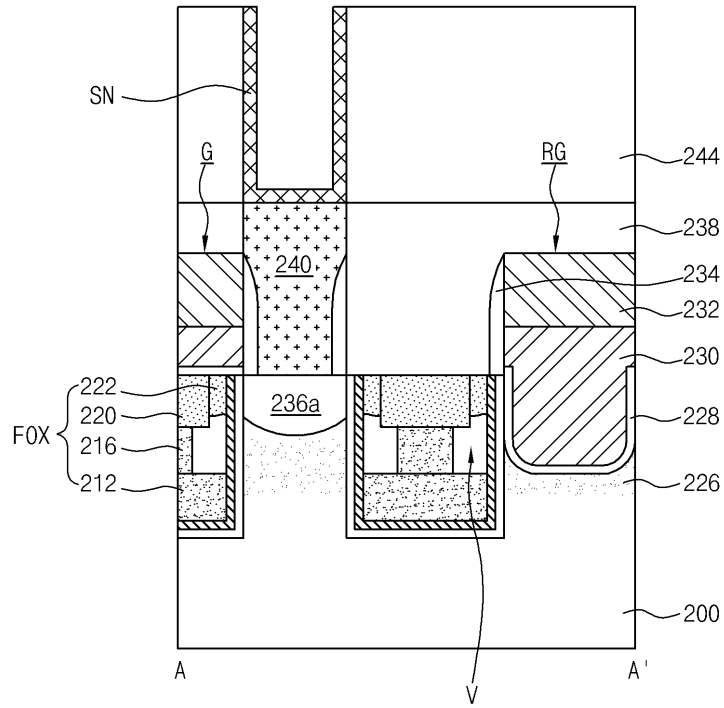
- <39> 이상에서와 같이, 본 발명은 소자분리막의 측벽에 보이드를 생성함으로써, 상기 보이드를 통해 인접한 스토리지 노드 및 게이트가 리세스 게이트에 영향을 미치는 것을 차단할 수 있으며, 이를 통해, 상기 리세스 게이트의 문턱 전압이 낮아지는 현상을 방지할 수 있다.
- <40> 따라서, 본 발명은 상기 리세스 게이트의 문턱 전압 마진을 확보하여 누설 전류를 효과적으로 개선할 수 있으며, 이에 따라, 소자 특성 및 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

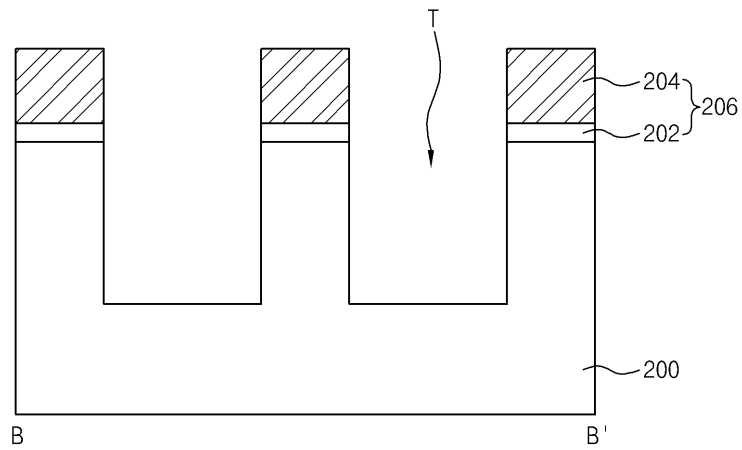
- <41> 본 발명은 반도체 기판을 소자분리 영역을 식각하여 트렌치를 형성하며, 상기 트렌치 내에 측벽에 보이드(Void)를 생성시키면서 절연막을 매립하여 활성 영역을 정의하는 소자분리막을 형성한다. 상기 보이드는 상기 트렌치 중간 부분의 측벽에 생성된다.
- <42> 이렇게 하면, 본 발명은 상기 보이드를 통해 인접한 스토리지 노드 및 게이트가 리세스 게이트에 영향을 미치는 것을 차단하여 상기 리세스 게이트의 문턱 전압이 낮아지는 현상을 방지할 수 있다. 그 결과, 본 발명은 리세스 게이트의 문턱 전압 마진을 확보하여 누설 전류를 개선할 수 있다.
- <43> 이하에서는, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.
- <44> 도 1은 본 발명의 실시예에 따른 반도체 소자를 설명하기 위한 평면도이며, 도 2는 도 1의 A-A'선에 대응하는 본 발명의 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다. 여기서, 도 1의 미설명된 도면부호 10은 스토리지 노드 콘택 영역을, 11은 활성 영역을, 12는 소자분리막을, 그리고, 13은 게이트 라인을 각각 의미한다.
- <45> 도 2를 참조하면, 게이트 영역 및 스토리지 노드 콘택 영역을 포함하고 상기 게이트 영역이 리세스된 활성 영역을 갖는 반도체 기판(200) 내에 활성 영역을 정의하며, 측벽에 보이드(V)를 구비한 소자분리막(FOX)이 형성된다.
- <46> 계속해서, 상기 반도체 기판(200) 활성 영역의 게이트 영역에 리세스 게이트(RG)가 형성됨과 아울러 상기 소자분리막(FOX) 상에 게이트(G)가 형성된다. 그리고, 상기 리세스 게이트(RG) 양측의 반도체 기판(200) 내에 소오스 영역(236) 및 드레인 영역(236b)이 형성된다.
- <47> 이어서, 상기 소오스 영역(236a)과 콘택되는 스토리지 노드 콘택 플러그(240)가 형성되고, 상기 스토리지 노드 콘택 플러그(240)와 콘택하는 스토리지 노드(SN)가 형성된다.
- <48> 여기서, 상기 소자분리막(FOX)은 상기 반도체 기판(200)의 소자분리 영역에 형성된 트렌치(T) 내에 형성되며, 상기 트렌치(T)의 저면에 형성된 제1절연막(212)과 상기 트렌치(T)의 상부에 형성된 제3 및 제4절연막(220, 222) 및 상기 제1절연막(212)의 일부분 상에 상기 제3절연막(220)의 일부와 접촉하도록 형성된 제2절연막(216)을 포함한다.
- <49> 그리고, 상기 제2절연막(216) 둘레의 트렌치(T) 측벽, 바람직하게는, 상기 소자분리막(FOX)의 1/4~3/4 정도 지점에는 보이드(V)가 생성되며, 또한, 상기 제3 및 제4절연막(220, 222)은 상기 보이드(V)를 매립시키지 않으면서 상기 트렌치(T)의 입구를 막도록 형성된다.
- <50> 이때, 상기 제1절연막(212)과 제2절연막(216)은 SOD막, 또는 SOD막으로 이루어지고, 상기 제3절연막(220)과 제4절연막(222)은 HDP막으로 이루어지며, 상기 제1절연막(212)은, 바람직하게는, 소자분리막 깊이의 1/10~1/2 정도의 두께를 갖는다. 상기 보이드(V)는 상기 트렌치(T)의 측벽 부분에서 100~1000Å 정도의 폭을 갖는다.

- <51> 본 발명은, 상기 소자분리막(FOX)의 측벽에 보이드(V)를 생성시킴으로써, 인접한 스토리지 노드(SN) 및 게이트(G)가 리세스 게이트(RG)에 영향을 미치는 것을 차단할 수 있다. 이에 따라, 본 발명은 상기 리세스 게이트(RG)의 문턱 전압이 감소하는 현상을 방지할 수 있다.
- <52> 도 3a 내지 도 3m은 도 1의 B-B'선 및 C-C'선에 대응하는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 공정별 단면도이다.
- <53> 도 3a를 참조하면, 게이트 영역 및 스토리지 노드 콘택 영역을 포함하는 활성 영역과 소자분리 영역을 갖는 반도체 기판(200) 상에 상기 소자분리 영역을 노출시키는 하드마스크(206)를 형성한다. 상기 하드마스크(206)은 패드 산화막(202)과 패드 질화막(204)의 적층막으로 형성할 수 있다. 그런 다음, 상기 하드마스크(206)에 의해 노출된 반도체 기판(200) 부분을 식각하여 상기 소자분리 영역에 트렌치(T)를 형성한다.
- <54> 도 3b를 참조하면, 상기 트렌치(T)의 표면 상에, 예컨대, 열산화(Thermal Oxidation) 공정을 통해 측벽 산화막(208)을 형성한 후, 상기 측벽 산화막(208)의 표면을 포함한 하드마스크(206)의 표면 상에 선형 질화막(210)을 형성한다. 그리고 나서, 상기 선형 질화막(210) 상에 선형 산화막(도시안됨)을 형성함이 바람직하다.
- <55> 도 3c를 참조하면, 상기 트렌치(T)의 저면을 매립하도록 제1절연막(212)을 형성한다. 상기 제1절연막(212)은 흐름성이 우수한 유동성 절연막, 예컨대, SOD막, 또는, SOG막으로 형성하며, 상기 트렌치(T)의 저면에서 트렌치(T) 깊이의 1/10~1/2 정도의 두께를 갖도록 형성함이 바람직하다.
- <56> 이때, 제1절연막(212)은 트렌치(T)를 매립하도록 제1절연막(212)을 증착한 후에 상기 제1절연막(212)을 소망하는 두께, 바람직하게는, 상기 제1절연막(212)을 트렌치(T) 깊이의 1/10~1/2 정도의 두께까지 에치백(Etch Back)하여 형성해도 무방하다.
- <57> 도 3d를 참조하면, 상기 제1절연막(212)이 형성된 반도체 기판(200)의 결과물 상에 N형, 또는, P형 불순물이 도핑된 절연막, 예컨대, N형, 또는, P형 불순물이 도핑된 산화막을 증착한 후, 상기 산화막을 스페이서 식각하여 상기 하드마스크(206)를 포함한 트렌치(T)의 측벽에 제1회생막(214)을 형성한다. 상기 제1회생막(214)은 N형, 또는, P형 불순물이 $1 \times 10^{18} \sim 1 \times 10^{22}$ 이온/cm² 정도의 도우즈로 도핑된 산화막으로 100~1000Å 정도의 두께를 갖도록 형성함이 바람직하다.
- <58> 도 3e를 참조하면, 상기 제1회생막(214)이 형성된 트렌치(T)를 매립하도록 유동성 절연막, 예컨대, SOD막, 또는, SOG막으로 제2절연막(216)을 증착한다. 그리고 나서, 상기 제2절연막(216)과 제1회생막(214)을 상기 트렌치(T)를 완전히 매립하지 않는 두께까지 에치백하여 트렌치(T) 상부의 측벽을 노출시킨다.
- <59> 도 3f를 참조하면, 상기 노출된 트렌치(T) 상부의 측벽에 제2회생막(218)을 형성한다. 상기 제2회생막(218)은 제1회생막(214)과 및 유사한 막, 예컨대, N형, 또는, P형 불순물이 $1 \times 10^{18} \sim 1 \times 10^{22}$ 이온/cm² 정도의 도우즈로 도핑된 산화막으로 형성함이 바람직하며, 예컨대, 10~100Å 정도의 두께를 갖도록 형성한다.
- <60> 도 3g를 참조하면, 상기 제2회생막(218)과 제2절연막(216) 상에 상기 트렌치(T)를 매립하는 두께로 제3절연막(220)을 증착한다. 제3절연막(220)은 단차피복성(Step Coverage)이 우수한 막, 예컨대, HDP막으로 증착함이 바람직하다. 계속해서, 상기 제3절연막(220)을 상기 제2회생막(218)이 노출될 때까지, 바람직하게는, 상기 하드마스크(206)의 패드 산화막(202)과 유사한 높이까지 에치백한다.
- <61> 도 3h를 참조하면, 상기 제1 및 제2회생막을 선택적으로 제거한다. 여기서, 상기 제1 및 제2회생막은 상기 N형, 또는, P형 불순물이 도핑된 산화막으로 형성되었으므로 불순물이 도핑되지 않은 제1, 제2 및 제3절연막(212, 216, 220)과 식각률 차이를 가지며, 이를 통해, 제1 및 제2회생막을 선택적으로 제거할 수 있다. 이때, 상기 제1 및 제2회생막의 제거는 습식 식각, 예컨대, HF 용액이나 RO(H₂SO₄+H₂O₂) 용액을 사용하여 수행함이 바람직하다.
- <62> 도 3i를 참조하면, 하여 제1 및 제2회생막이 제거된 부분, 즉, 상기 트렌치(T)의 1/4~3/4 정도 지점 측벽의 상기 제2절연막(216) 둘레에 보이드(V)가 생성되도록 제4절연막(222)을 증착한다. 상기 제4절연막(222)은 HDP막으로 형성함이 바람직하며, 상기 보이드(V)가 생성된 트렌치(T)의 입구가 막히도록 증착한다.
- <63> 도 3j를 참조하면, 상기 제4절연막(222)을 평탄화, 예컨대, CMP(Chemical Mechanical Polishing)한 후, 하드마스크를 제거하여 측벽 부분에 보이드(V)를 구비한 소자분리막(FOX)을 형성한다. 상기 보이드(V)는 후속으로 형성되는 스토리지 노드 및 게이트가 인접한 리세스 게이트에 미치는 영향을 차단하는 역할을 한다.

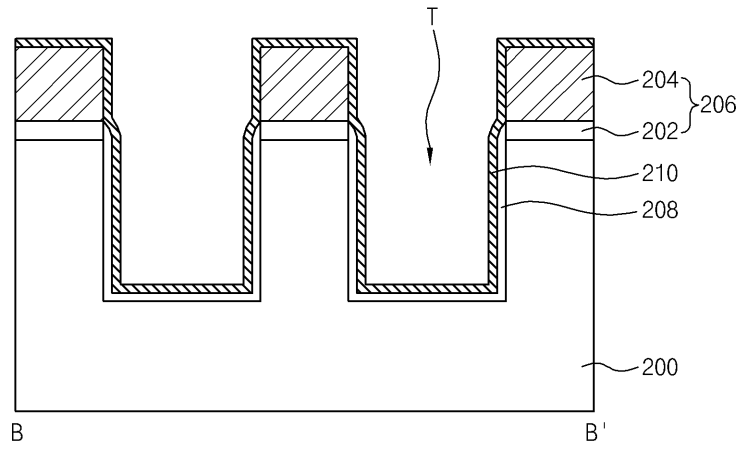
도면2



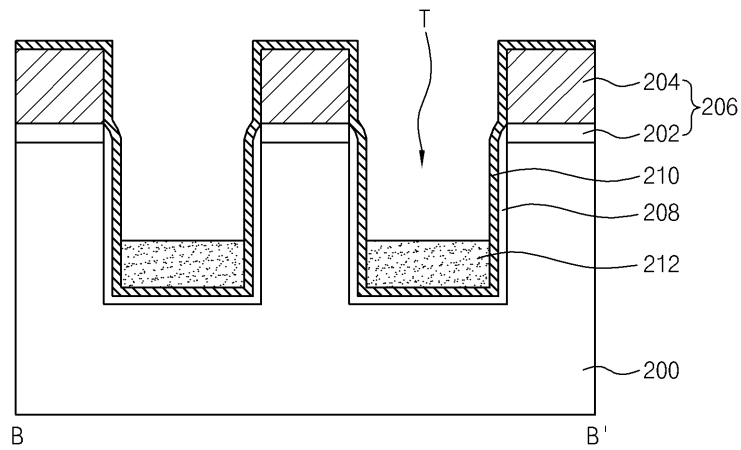
도면3a



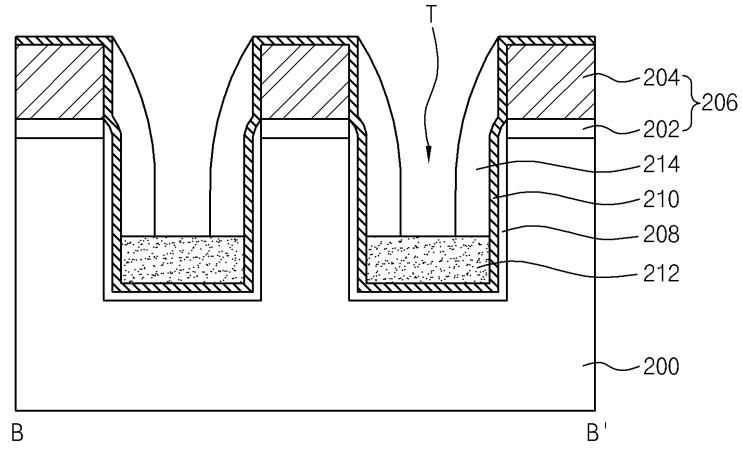
도면3b



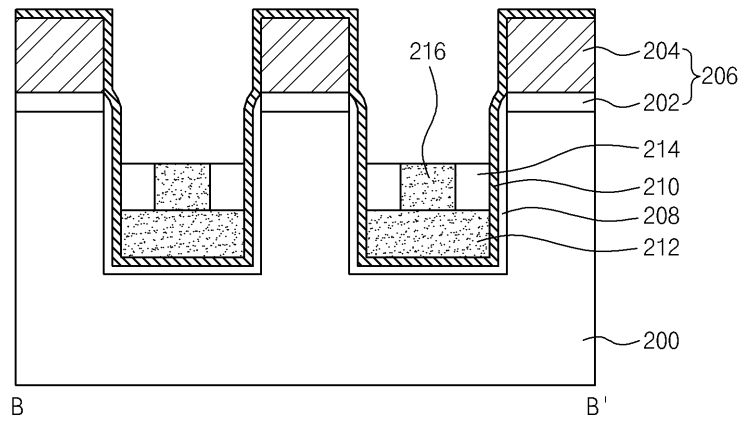
도면3c



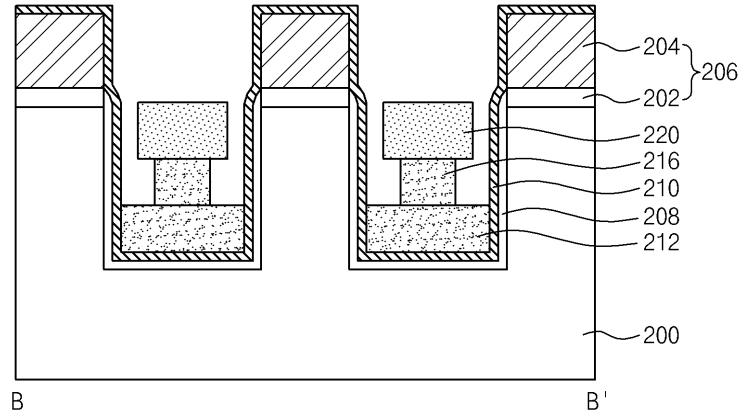
도면3d



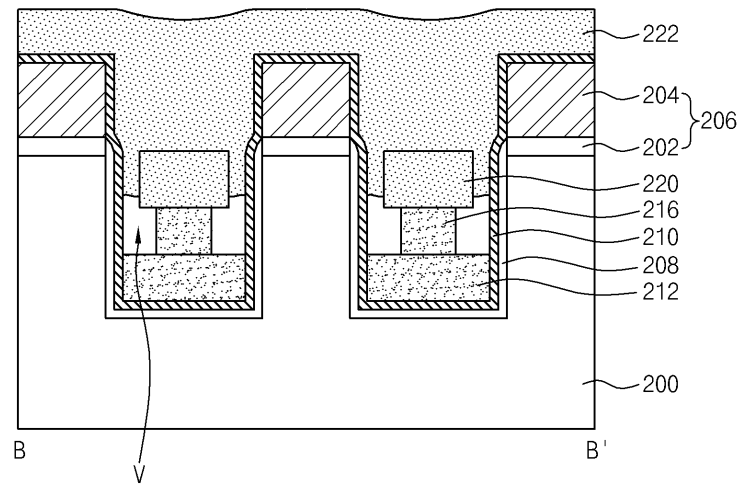
도면3e



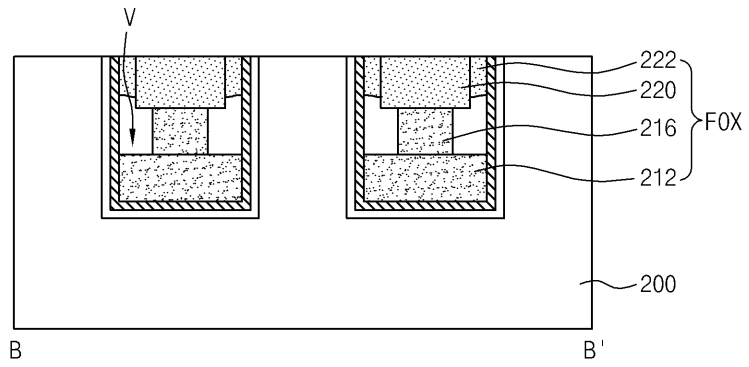
도면3h



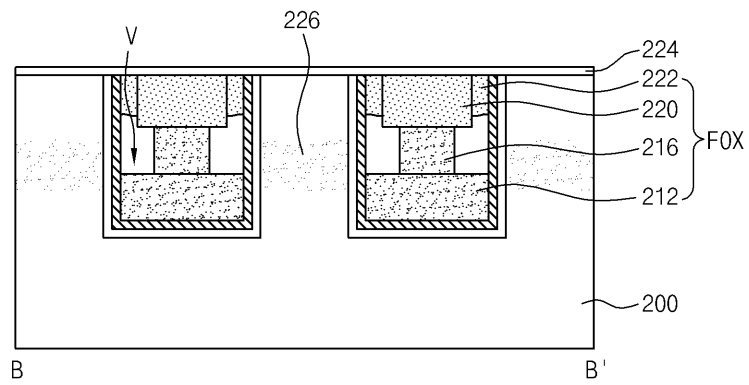
도면3i



도면3j



도면3k



도면3n

