



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I527045 B

(45) 公告日：中華民國 105 (2016) 年 03 月 21 日

(21) 申請案號：104102921

(22) 申請日：中華民國 104 (2015) 年 01 月 28 日

(51) Int. Cl. : G11C19/38 (2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：林煒力 LIN, WEI LI (TW) ; 董哲維 TUNG, CHE WEI (TW) ; 陳嘉亨 CHEN, CHIA HENG (TW)

(74) 代理人：郭曉文

(56) 參考文獻：

TW I366814B

TW I402814B1

TW 201405396A

TW 201415798A

TW 201434019A

TW 201503093A

US 7627076B2

US 2011/0298771A1

US 2013/0010916A1

US 2013/0077736A1

審查人員：鄧嘉琳

申請專利範圍項數：13 項 圖式數：6 共 40 頁

(54) 名稱

移位暫存器電路

SHIFT REGISTER CIRCUIT

(57) 摘要

一種移位暫存器電路，其包括：第一上拉電路、第二上拉電路、第一下拉控制電路、第一下拉電路、第二下拉控制電路、第二下拉電路以及第一電容。本發明之移位暫存器電路實施例是利用電容電性耦接了第 $n-p$ 級移位暫存器電路之控制訊號以及第 $n+m$ 級移位暫存器電路之控制訊號，使得本級之控制訊號可以被第 $n-p$ 級控制訊號以及第 $n+m$ 級控制訊號所補償，因此本級控制訊號可有效避免因外部訊號干擾或者漏電等問題造成本級控制訊號驅動能力低落或者驅動錯誤等情況。

A shift register circuit comprises a first pull up circuit, a second pull up circuit, a first pull down control circuit, a first pull down circuit, a second pull down control circuit, a second pull down circuit and a first capacitor. The shift register circuit uses a capacitor to connect to a control signal of a $(n-p)$ th stage shift register circuit and a control signal of a $(n+m)$ th stage register circuit to compensate a control signal of the shift register circuit, therefore, the shift register circuit can reduce the influence of the control signal caused by noise or leakage.

指定代表圖：

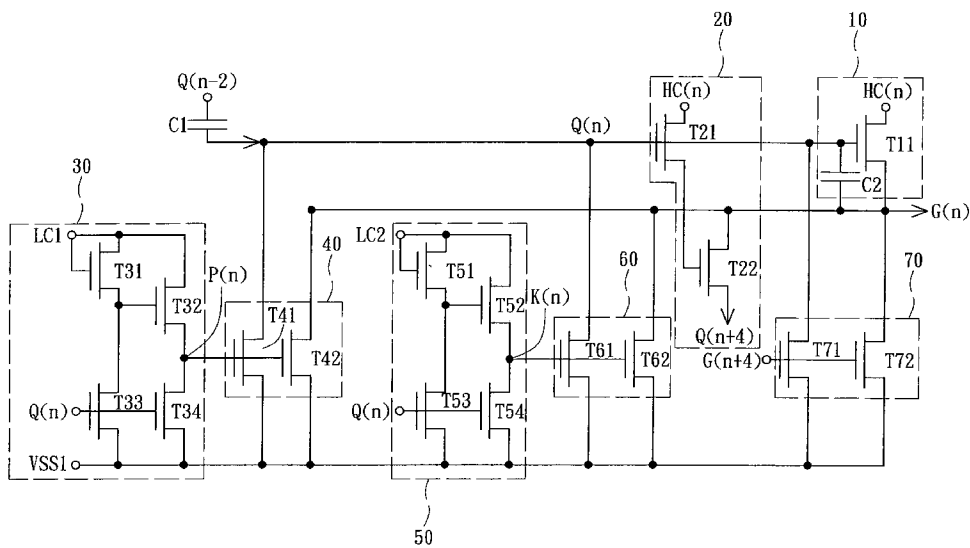


圖 1A

符號簡單說明：

- 10 . . . 第一上拉電路
- 20 . . . 第二上拉電路
- 30 . . . 第一下拉控制電路
- 40 . . . 第一下拉電路
- 50 . . . 第二下拉控制電路
- 60 . . . 第二下拉電路
- 70 . . . 主下拉電路
- T11, T21, T22, T31, T32, T33, T34, T41, T42, T51, T52, T53, T54, T61, T62, T71, T72 . . . 電晶體
- C1 . . . 第一電容
- C2 . . . 第二電容
- LC1 . . . 第一時脈訊號
- LC2 . . . 第二時脈訊號
- HC(n) . . . 第 n 級高頻時脈訊號
- Q(n) . . . 第 n 級控制訊號
- Q(n-2) . . . 第 n-2 級控制訊號
- Q(n+4) . . . 第 n+4 級控制訊號
- G(n) . . . 第 n 級閘極控制訊號
- G(n+4) . . . 第 n+4 級閘極控制訊號
- VSS1 . . . 低電壓準位
- P(n) . . . 第一下拉控制訊號

I527045

TW I527045 B

K(n) . . . 第二下拉
控制訊號

發明摘要

※ 申請案號：104102971

※ 申請日：104.1.28

※IPC 分類：G11C 19/38 (2006.01)

【發明名稱】移位暫存器電路

SHIFT REGISTER CIRCUIT

【中文】

一種移位暫存器電路，其包括：第一上拉電路、第二上拉電路、第一下拉控制電路、第一下拉電路、第二下拉控制電路、第二下拉電路以及第一電容。本發明之移位暫存器電路實施例是利用電容電性耦接了第 $n-p$ 級移位暫存器電路之控制訊號以及第 $n+m$ 級移位暫存器電路之控制訊號，使得本級之控制訊號可以被第 $n-p$ 級控制訊號以及第 $n+m$ 級控制訊號所補償，因此本級控制訊號可有效避免因外部訊號干擾或者漏電等問題造成本級控制訊號驅動能力低落或者驅動錯誤等情況。

【英文】

A shift register circuit comprises a first pull up circuit, a second pull up circuit, a first pull down control circuit, a first pull down circuit, a second pull down control circuit, a second pull down circuit and a first capacitor. The shift register circuit uses a capacitor to connect to a control signal of a $(n-p)$ th stage shift register circuit and a control signal of a $(n+m)$ th stage register circuit to compensate a control signal of the shift register circuit, therefore, the shift register circuit can reduce the influence of the control signal caused by noise or leakage.

【代表圖】

【本案指定代表圖】：第（ 1A ）圖。

(10.0008)【本代表圖之符號簡單說明】：

10 第一上拉電路

20 第二上拉電路

30 第一下拉控制電路

40 第一下拉電路

50 第二下拉控制電路

60 第二下拉電路

70 主下拉電路

T11, T21, T22, T31, T32, T33, T34, T41, T42, T51, T52, T53, T54

, T61, T62, T71, T72 電晶體

C1 第一電容

C2 第二電容

LC1 第一時脈訊號

LC2 第二時脈訊號

HC(n) 第 n 級高頻時脈訊號

Q(n) 第 n 級控制訊號

Q(n-2) 第 n-2 級控制訊號

Q(n+4) 第 n+4 級控制訊號

G(n) 第 n 級閘極控制訊號

G(n+4) 第 n+4 級閘極控制訊號

VSS1 低電壓準位

P(n) 第一下拉控制訊號

K(n) 第二下拉控制訊號

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 移位暫存器電路

SHIFT REGISTER CIRCUIT

【技術領域】

【0001】 本發明是有關於一種移位暫存器電路，尤其是有關於一種具有較佳驅動能力的移位暫存器電路。

【先前技術】

【0002】 移位暫存器係依據其內部之一控制訊號來決定是否輸出一閘極驅動訊號，且在移位暫存器不需要輸出閘極驅動訊號的時段中，將閘極驅動訊號以及控制訊號穩定在低電位，以避免移位暫存器在錯誤的時間輸出閘極驅動訊號驅動錯誤的閘極線。然習知之控制訊號易因為外部訊號的干擾或是漏電等問題而無法正確的驅動閘極驅動訊號，造成移位暫存器無法正常操作。

【發明內容】

【0003】 為了解決上述之缺憾，本發明提出了一種移位暫存器電路實施例，其包括一第一上拉電路、一第二上拉電路、一第一下拉控制電路、一第一下拉電路、一第二下拉控制電路、一第二下拉電路、一主下拉電路、以及一第一電容。

【0004】 第一上拉電路係用以接收一高頻時脈訊號，並根據一第 n 級控制訊號決定是否輸出一第 n 級閘極控制訊號；第二上拉電路與第一上拉電路電性耦接，係用以輸出一第

$n+m$ 級控制訊號；第一下拉控制電路係用以接收一時脈訊號，並根據該時脈訊號與第 n 級控制訊號輸出一第一下拉控制訊號；第一下拉電路係用以根據第一下拉控制訊號決定是否將第 n 級控制訊號及第 n 級閘極控制訊號穩定於一低電壓準位；一第二下拉控制電路係用以接收另一時脈訊號，並根據該時脈訊號與第 n 級控制訊號輸出一第二下拉控制訊號；第二下拉電路係用以根據第二下拉控制訊號決定是否將第 n 級控制訊號及第 n 級閘極控制訊號穩定於低電壓準位；主下拉電路係用以根據一第 $n+4$ 級閘極控制訊號來決定是否將第 n 級控制訊號及第 n 級閘極控制訊號穩定於低電壓準位；第一電容具有第一端及第二端，其第一端係用以接收一第 $n-p$ 級控制訊號，其第二端係用以與第 n 級控制訊號電性耦接，其中， m 、 n 以及 p 為正整數。

【0005】 綜以上所述，由於本發明之移位暫存器電路實施例是利用電容電性耦接了第 $n-p$ 級移位暫存器電路之控制訊號以及第 $n+m$ 級移位暫存器電路之控制訊號，使得本級之控制訊號可以被第 $n-p$ 級控制訊號以及第 $n+m$ 級控制訊號所補償，因此本級控制訊號可有效避免因外部訊號干擾或者漏電等問題造成本級控制訊號驅動能力低落或者驅動錯誤等情況，進而大幅減少移位暫存器無法正常使用之狀況發生。

【圖式簡單說明】

【0006】

圖 1A 為本發明實施例一示意圖。

圖 1B 為本發明實施例二示意圖。

圖 1C 為本發明實施例三示意圖。

圖 2A 為本發明實施例一 2D 顯示之高頻時脈訊號示意圖。
圖 2B 為本發明實施例一 2D 顯示之控制訊號補償示意圖。
圖 3A 為本發明實施例一 3D 顯示之高頻時脈訊號示意圖。
圖 3B 為本發明實施例一 3D 顯示之控制訊號補償示意圖。
圖 4A 為本發明實施例四示意圖。
圖 4B 為本發明實施例五示意圖。
圖 4C 為本發明實施例六示意圖。
圖 5 為本發明實施例四以點反轉方式驅動之高頻時脈訊號及控制訊號補償示意圖。
圖 6 為本發明實施例四以行反轉方式驅動之高頻時脈訊號及控制訊號補償示意圖。

【實施方式】

【0007】 為了更明確的說明本發明內容，以下將配合圖式進行說明。

【0008】 請參閱圖 1A，圖 1A 為本發明移位暫存器電路實施例一，其包括一第一上拉電路 10、一第二上拉電路 20、一第一下拉控制電路 30、一第一下拉電路 40、一第二下拉控制電路 50、一第二下拉電路 60、一主下拉電路 70、以及一第一電容 C1，本實施例並可同時應用於 2D 顯示方式或者 3D 顯示方式。

【0009】 第一上拉電路 10 包括一電晶體 T11，其具有第一端、第二端以及控制端，其第一端係用以接收一第 n 級高頻時脈訊號 HC(n)，其控制端係用以接收一第 n 級控制訊號 Q(n)，其第二端則是根據控制端所接收之第 n 級控制訊號 Q(n) 來決定是否輸出一第 n 級閘極控制訊號 G(n)。此外，第一上

拉電路 10 更包括一第二電容 C2，第二電容 C2 之第一端與電晶體 T11 之第二端電性耦接，第二電容 C2 之第二端則與電晶體 T11 之控制端電性耦接，因此當電晶體 T11 之第二端輸出第 n 級閘極控制訊號 G(n)時，第二電容 C2 可將第 n 級閘極控制訊號 G(n)補償至第 n 級控制訊號 Q(n)，以增加第 n 級控制訊號 Q(n)的驅動能力。

【0010】 第二上拉電路 20 包括一電晶體 T21 以及一電晶體 T22，電晶體 T21 以及電晶體 T22 皆具有第一端、第二端以及控制端，電晶體 T21 之第一端係用以接收前述之第 n 級高頻時脈訊號 HC(n)，電晶體 T21 之控制端係用以接收第 n 級控制訊號 Q(n)，電晶體 T21 之第二端係用以與電晶體 T22 之控制端電性耦接，電晶體 T22 之第一端係用以接收第 n 級閘極控制訊號 G(n)，電晶體 T22 之第二端係用以輸出一第 n+4 級控制訊號 Q(n+4)。因此，當電晶體 T21 因第 n 級控制訊號 Q(n)而開啟，並將第 n 級高頻時脈訊號 HC(n)傳送至電晶體 T22 之控制端時，電晶體 T22 即將其第一端所接收之第 n 級閘極控制訊號 G(n)傳送至第二端並輸出為第 n+4 級控制訊號 Q(n+4)，也就是說本實施例為 1 傳 5 之移位暫存器電路，同理可知，前述之第 n 級控制訊號 Q(n)係由第 n-4 級移位暫存器電路所提供。

【0011】 第一下拉控制電路 30 包括一電晶體 T31、一電晶體 T32、一電晶體 T33 以及一電晶體 T34。電晶體 T31 包括第一端、第二端以及控制端，其第一端與控制端電性耦接，係用以接收一第一時脈訊號 LC1；電晶體 T32 包括第一端、第二端以及控制端，其第一端與電晶體 T31 之第一端電性耦接，其控制端與電晶體 T31 的第二端電性耦接，其第二端則

是用以輸出一第一下拉控制訊號 $P(n)$ ；電晶體 T33 包括第一端、第二端以及控制端，其第一端與電晶體 T31 之第二端電性耦接，其控制端係用以接收第 n 級控制訊號 $Q(n)$ ，其第二端與一低電壓準位 $VSS1$ 電性耦接；電晶體 T34 包括第一端、第二端以及控制端，其第一端係用以接收第一下拉控制訊號 $P(n)$ ，其控制端係用以接收第 n 級控制訊號 $Q(n)$ ，其第二端係用以與前述之低電壓準位 $VSS1$ 電性耦接。因此，當不需要輸出第 n 級閘極控制訊號 $G(n)$ 時，電晶體 T33 以及電晶體 T34 為關閉，因此電晶體 T31 以及電晶體 T32 可根據所接收之第一時脈訊號 LC1 輸出前述之第一下拉控制訊號 $P(n)$ ，而當要輸出第 n 級閘極控制訊號 $G(n)$ 時，此時電晶體 T33 以及電晶體 T34 會因為第 n 級控制訊號 $Q(n)$ 為開啟，因此與電晶體 T33 電性耦接之電晶體 T31 的第二端以及與電晶體 T34 電性耦接之第一下拉控制訊號 $P(n)$ 將會被電晶體 T33 以及電晶體 T34 下拉至低電壓準位 $VSS1$ ，以避免第一下拉電路 40 在錯誤的時間被開啟。

【0012】 第一下拉電路 40 包括一電晶體 T41 以及一電晶體 T42，電晶體 T41 包括第一端、第二端以及控制端，其第一端係用以與第 n 級控制訊號 $Q(n)$ 電性耦接，其控制端係用以接收第一下拉控制訊號 $P(n)$ ，其第二端係用以與低電壓準位 $VSS1$ 電性耦接；電晶體 T42 包括第一端、第二端以及控制端，其第一端係用以與第 n 級閘極控制訊號 $G(n)$ 電性耦接，其控制端係用以接收第一下拉控制訊號 $P(n)$ ，其第二端係用以與低電壓準位 $VSS1$ 電性耦接，因此第一下拉電路 40 係用以根據第一下拉控制訊號 $P(n)$ 來決定是否開啟電晶體 T41 以及電晶體 T42，以將第 n 級控制訊號 $Q(n)$ 以及第 n 級

閘極控制訊號 $G(n)$ 下拉至低電壓準位 $VSS1$ 。

【0013】 第二下拉控制電路 50 包括一電晶體 T51、一電晶體 T52、一電晶體 T53 以及一電晶體 T54。電晶體 T51 包括第一端、第二端以及控制端，其第一端與控制端電性耦接，係用以接收一第二時脈訊號 LC2；電晶體 T52 包括第一端、第二端以及控制端，其第一端與電晶體 T51 之第一端電性耦接，其控制端與電晶體 T51 的第二端電性耦接，其第二端則係用以輸出一第二下拉控制訊號 $K(n)$ ；電晶體 T53 包括第一端、第二端以及控制端，其第一端與電晶體 T51 之第二端電性耦接，其控制端係用以接收第 n 級控制訊號 $Q(n)$ ，其第二端與一低電壓準位 $VSS1$ 電性耦接；電晶體 T54 包括第一端、第二端以及控制端，其第一端係用以接收第二下拉控制訊號 $K(n)$ ，其控制端係用以接收第 n 級控制訊號 $Q(n)$ ，其第二端係用以與前述之低電壓準位 $VSS1$ 電性耦接。因此，當不需要輸出第 n 級閘極控制訊號 $G(n)$ 時，電晶體 T53 以及電晶體 T54 為關閉，因此電晶體 T51 以及電晶體 T52 可根據所接收之第二時脈訊號 LC2 使第二下拉控制訊號 $K(n)$ 為工作電壓準位，而當要輸出第 n 級閘極控制訊號 $G(n)$ 時，此時電晶體 T33 以及電晶體 T34 為開啟，因此與電晶體 T33 電性耦接之電晶體 T31 的第二端以及與電晶體 T34 電性耦接之第二下拉控制訊號 $K(n)$ 將會被下拉至低電壓準位 $VSS1$ ，以避免第二下拉電路 60 在錯誤的時間被開啟。

【0014】 第二下拉電路 60 包括一電晶體 T61 以及一電晶體 T62，電晶體 T61 包括第一端、第二端以及控制端，其第一端係用以與第 n 級控制訊號 $Q(n)$ 電性耦接，其控制端係用以接收第二下拉控制訊號 $K(n)$ ，其第二端係用以與低電壓準

位 VSS1 電性耦接；電晶體 T62 包括第一端、第二端以及控制端，其第一端係用以與第 n 級閘極控制訊號 G(n)電性耦接，其控制端係用以接收第二下拉控制訊號 K(n)，其第二端係用以與低電壓準位 VSS1 電性耦接，因此第二下拉電路 60 係用以根據第二下拉控制訊號 K(n)來決定是否開啟電晶體 T61 以及電晶體 T62，以將第 n 級控制訊號 Q(n)以及第 n 級閘極控制訊號 G(n)下拉至低電壓準位 VSS1。

【0015】 主下拉電路 70 包括一電晶體 T71 以及一電晶體 T72，電晶體 T71 包括第一端、第二端以及控制端，其第一端係用以與第 n 級控制訊號 Q(n)電性耦接，其控制端係用以接收第 n+4 級閘極控制訊號 G(n+4)，其第二端係用以與低電壓準位 VSS1 電性耦接；電晶體 T72 包括第一端、第二端以及控制端，其第一端係用以與第 n 級閘極控制訊號 G(n)電性耦接，其控制端係用以接收第 n+4 級閘極控制訊號 G(n+4)，其第二端係用以與低電壓準位 VSS1 電性耦接，因此，當電晶體 T71 以及電晶體 T72 開啟時，與電晶體 T71 電性耦接之第 n 級控制訊號 Q(n)以及與電晶體 T72 電性耦接之第 n 級閘極控制訊號 G(n)將會被下拉至低電壓準位 VSS1。

【0016】 電容 C1 具有第一端以及第二端，其第一端係用以接收第 n-2 級控制訊號 Q(n-2)，其第二端則與第 n 級控制訊號 Q(n)電性耦接，因此可以第 n-2 級控制訊號 Q(n-2)來補償第 n 級控制訊號 Q(n)，也可以本級之第 n 級控制訊號 Q(n)來補償第 n-2 級控制訊號 Q(n-2)，同理可知，本級之第 n 級控制訊號 Q(n)也可透過第 n+2 級之移位暫存器電路之電容來補償第 n+2 級控制訊號 Q(n+2)或藉由第 n+2 級控制訊號 Q(n+2)補償第 n 級控制訊號 Q(n)，詳細之補償方式將會配合

圖式於圖 2B 及圖 3B 進一步說明。

【0017】 請參考圖 1B，圖 1B 為本發明移位暫存器電路之實施例二，圖 1B 與圖 1A 之差別在於，第二上拉電路 20 之電晶體 T22 之第一端可與電晶體 T22 之控制端電性耦接，也就是當電晶體 T21 開啟時，電晶體 T22 將根據控制端所接收之第 n 級高頻時脈訊號 HC(n)，將電晶體 T22 第一端所接收之第 n 級高頻時脈訊號 HC(n)輸出為第 $n+4$ 級控制訊號 Q($n+4$)。

【0018】 請參考圖 1C，圖 1C 為本發明移位暫存器電路之實施例三，圖 1C 與圖 1A 之差別在於，第二上拉電路 20 可包括一電晶體 T23，電晶體 T23 包括第一端、第二端以及控制端，其第一端以及控制端電性耦接，皆係用以接收第 n 級閘極控制訊號 G(n)，因此電晶體 T23 係根據第 n 級閘極控制訊號 G(n)來將第一端所接收之第 n 級閘極控制訊號 G(n)輸出為第 $n+4$ 級控制訊號 Q($n+4$)。

【0019】 圖 2A 為實施例一之移位暫存器電路使用於 2D 顯示方式之高頻時脈訊號實施例，其包括第 $n-4$ 級高頻時脈訊號 HC($n-4$)、第 $n-3$ 級高頻時脈訊號 HC($n-3$)、第 $n-2$ 級高頻時脈訊號 HC($n-2$)、第 $n-1$ 級高頻時脈訊號 HC($n-1$)、第 n 級高頻時脈訊號 HC(n)、第 $n+1$ 級高頻時脈訊號 HC($n+1$)、第 $n+2$ 級高頻時脈訊號 HC($n+2$)以及第 $n+3$ 級高頻時脈訊號 HC($n+3$)，且第 $n-4$ 級高頻時脈訊號 HC($n-4$)、第 $n-3$ 級高頻時脈訊號 HC($n-3$)、第 $n-2$ 級高頻時脈訊號 HC($n-2$)、第 $n-1$ 級高頻時脈訊號 HC($n-1$)、第 n 級高頻時脈訊號 HC(n)、第 $n+1$ 級高頻時脈訊號 HC($n+1$)、第 $n+2$ 級高頻時脈訊號 HC($n+2$)以及第 $n+3$ 級高頻時脈訊號 HC($n+3$)具有相同的致

能時間，第 $n+3$ 級高頻時脈訊號 $HC(n+3)$ 並落後第 $n+2$ 級高頻時脈訊號 $HC(n+2)$ 一預設時間、第 $n+2$ 級高頻時脈訊號 $HC(n+2)$ 並落後第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 一預設時間、第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 並落後第 n 級高頻時脈訊號 $HC(n)$ 一預設時間、第 n 級高頻時脈訊號 $HC(n)$ 並落後第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 一預設時間、第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 並落後第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 一預設時間、第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 並落後第 $n-3$ 級高頻時脈訊號 $HC(n-3)$ 一預設時間、第 $n-3$ 級高頻時脈訊號 $HC(n-3)$ 並落後第 $n-4$ 級高頻時脈訊號 $HC(n-4)$ 一預設時間。

【0020】 接著請參考圖 2B，並配合圖 2A 以第 n 級控制訊號 $Q(n)$ 為主來說明其補償方式。第 $n-2$ 級控制訊號 $Q(n-2)$ 、第 n 級控制訊號 $Q(n)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 皆包括第一工作電壓準位 I、第二工作電壓準位 II、第三工作電壓準位 III 以及第四工作電壓準位 IV。而根據圖 1A 所示，第 n 級移位暫存器電路會輸出第 $n+4$ 級控制訊號 $Q(n+4)$ ，同理可知，第 $n-4$ 級移位暫存器電路則會輸出第 n 級控制訊號 $Q(n)$ ，因此當第 $n-4$ 級移位暫存器電路之本級高頻訊號，也就是第 $n-4$ 級高頻時脈訊號 $HC(n-4)$ 為高電壓準位時，此時第 n 級控制訊號 $Q(n)$ 會相應抬升至第一工作電壓準位 I；接著，在第 n 級控制訊號 $Q(n)$ 的本級高頻時脈訊號，也就是第 n 級高頻時脈訊號 $HC(n)$ 尚未為高電壓準位時，由於此時第 $n-2$ 級控制訊號 $Q(n-2)$ 被抬升至第三工作電壓準位 III，第 $n+2$ 級控制訊號 $Q(n+2)$ 被抬升至第一工作電壓準位 I，因此第 $n-2$ 級控制訊號 $Q(n-2)$ 可藉由圖 1A 中所述之第一電容 $C1$ 、第 $n+2$ 級控制訊號 $Q(n+2)$ 可藉由第 $n+2$ 級移位暫存器電

路中之電容個別補償至第 n 級控制訊號 $Q(n)$ ，因此此時的第 n 級控制訊號 $Q(n)$ 被第 $n-2$ 級控制訊號 $Q(n-2)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 抬升至第二工作電壓準位 II；當第 n 級高頻時脈訊號 $HC(n)$ 為高電壓準位時，由於第 n 級閘極控制訊號 $G(n)$ 可藉由圖 1A 之第二電容 $C2$ 補償至第 n 級控制訊號 $Q(n)$ ，因此將第 n 級控制訊號 $Q(n)$ 抬升至第三工作電壓準位 III，雖然此時之第 $n-2$ 級控制訊號 $Q(n-2)$ 為較低之第四工作電壓準位 IV，會稍微下拉第 n 級控制訊號 $Q(n)$ ，但由於在前一階段第 n 級控制訊號 $Q(n)$ 已提升至較高之第二工作電壓準位 II，因此第 n 級控制訊號 $Q(n)$ 之第三工作電壓準位 III 仍高於習知之第 n 級控制訊號 $Q(n)$ 之電壓準位；而當第 $n-2$ 級控制訊號 $Q(n-2)$ 回復至低電壓準位、且第 $n+2$ 級控制訊號 $Q(n+2)$ 為第三工作電壓準位 III 時，雖然第 $n-2$ 級控制訊號 $Q(n-2)$ 已回復至低電壓準位，然第 $n+2$ 級控制訊號 $Q(n+2)$ 之第三工作電壓準位 III 大於第 $n-2$ 級控制訊號 $Q(n-2)$ 之低電壓準位，因此第 $n+2$ 級控制訊號 $Q(n+2)$ 仍可補償第 n 級控制訊號 $Q(n)$ 之電壓準位，使第 n 級控制訊號 $Q(n)$ 維持較高之第四工作電壓準位 IV。

【0021】 由於本發明之移位暫存器實施例可藉由第 $n-2$ 級控制訊號 $Q(n-2)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 來對第 n 級控制訊號 $Q(n)$ 進行補償，因此在第 n 級控制訊號 $Q(n)$ 抬升為第一工作電壓準位 I 後且在第 n 級高頻時脈訊號 $HC(n)$ 為高電壓準位前的浮動(floating)階段時，第 n 級控制訊號 $Q(n)$ 可藉由第 $n-2$ 級控制訊號 $Q(n-2)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 的補償抬升為第二工作電壓準位 II，可有效降低漏電以及雜訊對第 n 級控制訊號 $Q(n)$ 的影響，此外，又因為第 $n+2$ 級控

制訊號 $Q(n+2)$ 可在第 n 級高頻時脈訊號 $HC(n)$ 回復為低電壓準位後補償第 n 級控制訊號 $Q(n)$ ，使第 n 級控制訊號 $Q(n)$ 在第 n 級高頻時脈訊號 $HC(n)$ 回復為低電壓準位後可維持在較高的第四工作電壓準位 IV，使第 n 級控制訊號 $Q(n)$ 仍可保有較佳的驅動能力，因此第 n 級閘極控制訊號 $G(n)$ 可透過電晶體 T11 快速下拉至低電壓準位。

【0022】 而圖 3A 為實施例一之移位暫存器電路使用於 3D 顯示方式之高頻時脈訊號實施例，其包括第 $n-4$ 級高頻時脈訊號 $HC(n-4)$ 、第 $n-3$ 級高頻時脈訊號 $HC(n-3)$ 、第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 、第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 、第 n 級高頻時脈訊號 $HC(n)$ 、第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 、第 $n+2$ 級高頻時脈訊號 $HC(n+2)$ 以及第 $n+3$ 級高頻時脈訊號 $HC(n+3)$ ，且第 $n-4$ 級高頻時脈訊號 $HC(n-4)$ 、第 $n-3$ 級高頻時脈訊號 $HC(n-3)$ 、第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 、第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 、第 n 級高頻時脈訊號 $HC(n)$ 、第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 、第 $n+2$ 級高頻時脈訊號 $HC(n+2)$ 以及第 $n+3$ 級高頻時脈訊號 $HC(n+3)$ 具有相同的致能時間，第 $n+3$ 級高頻時脈訊號 $HC(n+3)$ 與第 $n+2$ 級高頻時脈訊號 $HC(n+2)$ 相同並落後第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 與第 n 級高頻時脈訊號 $HC(n)$ 一預設時間、第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 與第 n 級高頻時脈訊號 $HC(n)$ 相同並落後第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 與第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 一預設時間、第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 與第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 相同並落後第 $n-3$ 級高頻時脈訊號 $HC(n-3)$ 與第 $n-4$ 級高頻時脈訊號 $HC(n-4)$ 一預設時間。

【0023】 接著請參考圖 3B，並配合圖 3A 說明第 n 級控

制訊號 $Q(n)$ 之補償方式。第 $n-2$ 級控制訊號 $Q(n-2)$ 、第 n 級控制訊號 $Q(n)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 皆包括第一工作電壓準位 I、第二工作電壓準位 II、第三工作電壓準位 III 以及第四工作電壓準位 IV。當第 $n-4$ 級移位暫存器電路之本級高頻訊號，也就是第 $n-4$ 級高頻時脈訊號 $HC(n-4)$ 為高電壓準位時，此時第 n 級控制訊號 $Q(n)$ 會相應抬升至第一工作電壓準位 I；接著，在第 n 級控制訊號 $Q(n)$ 的本級高頻時脈訊號，也就是第 n 級高頻時脈訊號 $HC(n)$ 尚未為高電壓準位時，由於此時第 $n-2$ 級控制訊號 $Q(n-2)$ 被抬升至第三工作電壓準位 III，第 $n+2$ 級控制訊號 $Q(n+2)$ 被抬升至第一工作電壓準位 I，因此第 $n-2$ 級控制訊號 $Q(n-2)$ 可藉由圖 1 中所述之電容 $C1$ 、第 $n+2$ 級控制訊號 $Q(n+2)$ 可藉由第 $n+2$ 級移位暫存器電路中之電容個別補償至第 n 級控制訊號 $Q(n)$ ，因此此時的第 n 級控制訊號 $Q(n)$ 被第 $n-2$ 級控制訊號 $Q(n-2)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 抬升至更高之第二工作電壓準位 II；當第 n 級高頻時脈訊號 $HC(n)$ 為高電壓準位時，由於第 n 級閘極控制訊號 $G(n)$ 可藉由圖 1A 之第二電容 $C2$ 補償至第 n 級控制訊號 $Q(n)$ ，因此將第 n 級控制訊號 $Q(n)$ 抬升至第三工作電壓準位 III，而此時之第 $n-2$ 級控制訊號 $Q(n-2)$ 為由第三工作電壓準位 III 下降至較低之第四工作電壓準位 IV 的階段，第 $n+2$ 級控制訊號 $Q(n+2)$ 為由第二工作電壓準位 II 上升至第三工作電壓準位 III 的階段，因此此時第 n 級控制訊號 $Q(n)$ 之第三工作電壓準位 III 只會受到第 $n-2$ 級控制訊號 $Q(n-2)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 微小的影響，且由於第 n 級控制訊號 $Q(n)$ 先前已抬升至較高之第二工作電壓準位 II，故第 n 級控制訊號 $Q(n)$ 之第三工作電壓準位 III 仍高於習知之第 n 級控制訊

號 $Q(n)$ 之第三工作電壓準位 III；而第 n 級控制訊號 $Q(n)$ 於第四工作電壓準位 IV 的階段時，由於第 n 級控制訊號 $Q(n)$ 會因第 $n+4$ 級閘極控制訊號 $G(n+4)$ 而快速下拉至低電壓準位，因此不受第 $n-2$ 級控制訊號 $Q(n-2)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 的影響。

【0024】 在 3D 顯示方式時，由於本發明之移位暫存器實施例可藉由第 $n-2$ 級控制訊號 $Q(n-2)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 來對第 n 級控制訊號 $Q(n)$ 進行補償，因此在第 n 級控制訊號 $Q(n)$ 抬升為第一工作電壓準位 I 後且在第 n 級高頻時脈訊號 $HC(n)$ 為高電壓準位前的浮動階段，第 n 級控制訊號 $Q(n)$ 可藉由第 $n-2$ 級控制訊號 $Q(n-2)$ 以及第 $n+2$ 級控制訊號 $Q(n+2)$ 的補償抬升為較高的第二工作電壓準位 II，因此能提升整體第 n 級控制訊號 $Q(n)$ 的驅動能力，有效降低漏電以及雜訊對第 n 級控制訊號 $Q(n)$ 的影響。

【0025】 請參考圖 4A，圖 4A 為本發明之實施例四，本實施例可應用於 2D 顯示方式，圖 4A 與圖 1 之差別在於，圖 4A 之第二上拉電路 20 係用以輸出第 $n+2$ 級控制訊號 $Q(n+2)$ ，也就是本實施例為 1 傳 3 之移位暫存器電路。此外，本實施例之主下拉電路 70 之電晶體 T71 以及電晶體 T72 之控制端係用以接收第 $n+2$ 級閘極控制訊號 $G(n+2)$ ，以根據第 $n+2$ 級閘極控制訊號 $G(n+2)$ 來將第 n 級控制訊號 $Q(n)$ 以及第 n 級閘極控制訊號 $G(n)$ 下拉至低電壓準位。又，本實施例之電容 C1 之第一端係用以接收第 $n-1$ 級控制訊號 $Q(n-1)$ ，也就是本實施例可以第 $n-1$ 級控制訊號 $Q(n-1)$ 來補償本級之第 n 級控制訊號 $Q(n)$ ，也可以第 n 級控制訊號 $Q(n)$ 來補償第 $n-1$ 級控制訊號 $Q(n-1)$ ，同理可知，本級之第 n 級控制訊號 $Q(n)$

也可透過第 $n+1$ 級之移位暫存器電路之電容來補償第 $n+1$ 級控制訊號 $Q(n+1)$ 或藉由第 $n+1$ 級控制訊號 $Q(n+1)$ 補償第 n 級控制訊號 $Q(n)$ ，詳細之補償方式將會配合圖式進一步說明。

【0026】 請參考圖 4B，圖 4B 為本發明移位暫存器電路之實施例五，圖 4B 與圖 4A 之差別在於，第二上拉電路 20 之電晶體 T22 之第一端可與電晶體 T22 之控制端電性耦接，也就是當電晶體 T21 開啟時，電晶體 T22 將根據控制端所接收之第 n 級高頻時脈訊號 $HC(n)$ ，將電晶體 T22 第一端所接收之第 n 級高頻時脈訊號 $HC(n)$ 輸出為第 $n+2$ 級控制訊號 $Q(n+2)$ 。

【0027】 請參考圖 4C，圖 4C 為本發明移位暫存器電路之實施例六，圖 4C 與圖 4A 之差別在於，第二上拉電路 20 可包括電晶體 T23，電晶體 T23 包括第一端、第二端以及控制端，其第一端以及控制端電性耦接，皆係用以接收第 n 級閘極控制訊號 $G(n)$ ，因此電晶體 T23 係根據第 n 級閘極控制訊號 $G(n)$ 來將第一端所接收之第 n 級閘極控制訊號 $G(n)$ 輸出為第 $n+2$ 級控制訊號 $Q(n+2)$ 。

【0028】 圖 5 為實施例四之移位暫存器電路以點反轉方式來驅動液晶顯示器之高頻時脈訊號實施例，其包括第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 、第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 、第 n 級高頻時脈訊號 $HC(n)$ 、第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ ，且第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 、第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 、第 n 級高頻時脈訊號 $HC(n)$ 以及第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 具有相同的致能時間，第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 並落後第 n 級高頻時脈訊號 $HC(n)$ 一預設時間、第 n 級高頻時脈訊號 $HC(n)$ 並落後第 $n-1$ 級高頻時

脈訊號 $HC(n-1)$ —預設時間、第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 並落後第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ —預設時間。

【0029】 接著將以第 n 級控制訊號 $Q(n)$ 為主來說明其補償方式。第 $n-1$ 級控制訊號 $Q(n-1)$ 、第 n 級控制訊號 $Q(n)$ 以及第 $n+1$ 級控制訊號 $Q(n+1)$ 皆包括第一工作電壓準位 I、第二工作電壓準位 II、第三工作電壓準位 III 以及第四工作電壓準位 IV。而根據圖 4A 所示，第 n 級移位暫存器電路會輸出第 $n+2$ 級控制訊號 $Q(n+2)$ ，同理可知，第 $n-2$ 級移位暫存器電路則會輸出第 n 級控制訊號 $Q(n)$ ，因此當第 $n-2$ 級移位暫存器電路之本級高頻訊號，也就是第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 為高電壓準位時，此時第 n 級控制訊號 $Q(n)$ 會相應抬升至第一工作電壓準位 I；接著，在第 n 級控制訊號 $Q(n)$ 的本級高頻時脈訊號，也就是第 n 級高頻時脈訊號 $HC(n)$ 尚未為高電壓準位時，由於此時第 $n-1$ 級控制訊號 $Q(n-1)$ 被抬升至第三工作電壓準位 III，第 $n+1$ 級控制訊號 $Q(n+1)$ 被抬升至第一工作電壓準位 I，因此第 $n-1$ 級控制訊號 $Q(n-1)$ 可藉由圖 4A 中所述之第一電容 $C1$ 、第 $n+1$ 級控制訊號 $Q(n+1)$ 可藉由第 $n+1$ 級移位暫存器電路中之電容個別補償至第 n 級控制訊號 $Q(n)$ ，因此此時的第 n 級控制訊號 $Q(n)$ 被第 $n-1$ 級控制訊號 $Q(n-1)$ 以及第 $n+1$ 級控制訊號 $Q(n+1)$ 抬升至第二工作電壓準位 II；當第 n 級高頻時脈訊號 $HC(n)$ 為高電壓準位時，由於第 n 級閘極控制訊號 $G(n)$ 可藉由圖 4A 之第二電容 $C2$ 補償至第 n 級控制訊號 $Q(n)$ ，因此將第 n 級控制訊號 $Q(n)$ 抬升至第三工作電壓準位 III，雖然此時之第 $n-1$ 級控制訊號 $Q(n-1)$ 為較低之第四工作電壓準位 IV，會稍微下拉第 n 級控制訊號 $Q(n)$ ，但由於在前一階段第 n 級控制訊號 $Q(n)$ 已提升

至較高之第二工作電壓準位 II，因此第 n 級控制訊號 Q(n)之第三工作電壓準位 III 仍高於習知之第 n 級控制訊號 Q(n)之電壓準位；而當第 n-1 級控制訊號 Q(n-1)回復至低電壓準位、且第 n+1 級控制訊號 Q(n+1)為第三工作電壓準位 III 時，雖然第 n-1 級控制訊號 Q(n-1)已回復至低電壓準位，然第 n+1 級控制訊號 Q(n+1)之第三工作電壓準位 III 大於第 n-1 級控制訊號 Q(n-1)之低電壓準位，因此第 n+1 級控制訊號 Q(n+1)仍可補償第 n 級控制訊號 Q(n)之電壓準位，使第 n 級控制訊號 Q(n)維持較高之第四工作電壓準位 IV。

【0030】 據以上所述，在以點反轉方式驅動液晶顯示器時，由於本實施例可藉由第 n-1 級控制訊號 Q(n-1)以及第 n+1 級控制訊號 Q(n+1)來對第 n 級控制訊號 Q(n)進行補償，因此在第 n 級控制訊號 Q(n)抬升為第一工作電壓準位 I 後且在第 n 級高頻時脈訊號 HC(n)為高電壓準位前之浮動狀態，第 n 級控制訊號 Q(n)可藉由第 n-1 級控制訊號 Q(n-1)以及第 n+1 級控制訊號 Q(n+1)的補償而抬升為第二工作電壓準位 II，有效降低漏電以及雜訊對第 n 級控制訊號 Q(n)的影響，此外，又因為第 n+1 級控制訊號 Q(n+1)可在第 n 級高頻時脈訊號 HC(n)回復為低電壓準位後補償第 n 級控制訊號 Q(n)，使第 n 級控制訊號 Q(n)在第 n 級高頻時脈訊號 HC(n)回復為低電壓準位後可維持在第四工作電壓準位 IV，使第 n 級控制訊號 Q(n)保持較佳的驅動能力，因此第 n 級閘極控制訊號 G(n)可透過電晶體 T11 快速下拉至低電壓準位。

【0031】 圖 6 為實施例四之移位暫存器電路以行反轉方式來驅動液晶顯示器之高頻時脈訊號，其包括第 n-2 級高頻時脈訊號 HC(n-2)、第 n-1 級高頻時脈訊號 HC(n-1)、第 n 級

高頻時脈訊號 $HC(n)$ 以及第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ ，且第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 、第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 、第 n 級高頻時脈訊號 $HC(n)$ 以及第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 具有相同的致能時間，第 $n+1$ 級高頻時脈訊號 $HC(n+1)$ 落後第 n 級高頻時脈訊號 $HC(n)$ 一預設時間、第 n 級高頻時脈訊號 $HC(n)$ 落後第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 一預設時間、第 $n-1$ 級高頻時脈訊號 $HC(n-1)$ 落後第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 一預設時間。

【0032】 接著說明第 n 級控制訊號 $Q(n)$ 之補償方式。第 $n-1$ 級控制訊號 $Q(n-1)$ 、第 n 級控制訊號 $Q(n)$ 以及第 $n+1$ 級控制訊號 $Q(n+1)$ 皆包括第一工作電壓準位 I、第二工作電壓準位 II、第三工作電壓準位 III 以及第四工作電壓準位 IV。當第 $n-2$ 級移位暫存器電路之本級高頻訊號，也就是第 $n-2$ 級高頻時脈訊號 $HC(n-2)$ 為高電壓準位時，此時第 n 級控制訊號 $Q(n)$ 會相應抬升至第一工作電壓準位 I；接著，在第 n 級控制訊號 $Q(n)$ 的本級高頻時脈訊號，也就是第 n 級高頻時脈訊號 $HC(n)$ 尚未為高電壓準位時，由於此時第 $n-1$ 級控制訊號 $Q(n-1)$ 被抬升至第三工作電壓準位 III，第 $n+1$ 級控制訊號 $Q(n+1)$ 被抬升至第一工作電壓準位 I，因此第 $n-1$ 級控制訊號 $Q(n-1)$ 可藉由圖 4A 中所述之第一電容 C1、第 $n+1$ 級控制訊號 $Q(n+1)$ 可藉由第 $n+1$ 級移位暫存器電路中之第一電容個別補償至第 n 級控制訊號 $Q(n)$ ，因此此時的第 n 級控制訊號 $Q(n)$ 被第 $n-1$ 級控制訊號 $Q(n-1)$ 以及第 $n+1$ 級控制訊號 $Q(n+1)$ 抬升至更高之第二工作電壓準位 II；當第 n 級高頻時脈訊號 $HC(n)$ 為高電壓準位時，由於第 n 級閘極控制訊號 $G(n)$ 可藉由圖 4A 之第二電容 C2 補償至第 n 級控制訊號 $Q(n)$ ，因此將

第 n 級控制訊號 $Q(n)$ 抬升至第三工作電壓準位 III，而此時之第 $n-1$ 級控制訊號 $Q(n-1)$ 會由第三工作電壓準位 III 下降至較低之第四工作電壓準位 IV，第 $n+1$ 級控制訊號 $Q(n+2)$ 會由第二工作電壓準位 II 上升至第三工作電壓準位 III，因此此時第 n 級控制訊號 $Q(n)$ 之第三工作電壓準位 III 只會受到第 $n-1$ 級控制訊號 $Q(n-1)$ 以及第 $n+1$ 級控制訊號 $Q(n+1)$ 微小的影響，且由於第 n 級控制訊號 $Q(n)$ 先前已抬升至較高之第二工作電壓準位 II，故第 n 級控制訊號 $Q(n)$ 之第三工作電壓準位 III 仍為高於習知之第 n 級控制訊號 $Q(n)$ 之第三工作電壓準位 III；而第 n 級控制訊號 $Q(n)$ 於第四工作電壓準位 IV 的階段時，由於第 n 級控制訊號 $Q(n)$ 會因第 $n+2$ 級閘極控制訊號 $G(n+2)$ 而快速下拉至低電壓準位，因此不受第 $n-1$ 級控制訊號 $Q(n-1)$ 以及第 $n+1$ 級控制訊號 $Q(n+1)$ 的影響。

【0033】 在以行反轉方式驅動液晶顯示器時，由於本實施例可藉由第 $n-1$ 級控制訊號 $Q(n-1)$ 以及第 $n+1$ 級控制訊號 $Q(n+1)$ 來對第 n 級控制訊號 $Q(n)$ 進行補償，因此在第 n 級控制訊號 $Q(n)$ 抬升為第一工作電壓準位 I 後且在第 n 級高頻時脈訊號 $HC(n)$ 為高電壓準位前，第 n 級控制訊號 $Q(n)$ 可藉由第 $n-1$ 級控制訊號 $Q(n-1)$ 以及第 $n+1$ 級控制訊號 $Q(n+1)$ 的補償抬升為較高的第二工作電壓準位 II，因此能提升整體第 n 級控制訊號 $Q(n)$ 的驅動能力，有效降低漏電以及雜訊對第 n 級控制訊號 $Q(n)$ 的影響。

【0034】 綜以上所述，由於本發明之移位暫存器電路實施例可利用電容電性耦接了第 $n-p$ 級移位暫存器電路之控制訊號以及第 $n+m$ 級移位暫存器電路之控制訊號，使得本級之控制訊號不管是在 2D 顯示方式或者 3D 顯示方式的情況下，

皆可以被第 $n-p$ 級控制訊號以及第 $n+m$ 級控制訊號所補償，提高本級控制訊號之驅動能力，更可有效避免因外部訊號干擾或者漏電等因素造成本級控制訊號驅動能力低落或者驅動錯誤等情況，進而大幅減少移位暫存器無法正常使用之狀況發生。

【0035】 然上述之內容僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，凡依本發明申請專利範圍及說明書內容所做之等效變化或修飾，皆仍屬本發明專利涵蓋之範圍內。

【符號說明】

【0036】

10 第一上拉電路

20 第二上拉電路

30 第一下拉控制電路

40 第一下拉電路

50 第二下拉控制電路

60 第二下拉電路

70 主下拉電路

T11, T21, T22, T23, T31, T32, T33, T34, T41, T42, T51, T52, T53, T54, T61, T62, T71, T72 電晶體

C1 第一電容

C2 第二電容

LC1 第一時脈訊號

LC2 第二時脈訊號

HC(n-4) 第 $n-4$ 級高頻時脈訊號

HC(n-3) 第 n-3 級高頻時脈訊號
HC(n-2) 第 n-2 級高頻時脈訊號
HC(n-1) 第 n-1 級高頻時脈訊號
HC(n) 第 n 級高頻時脈訊號
HC(n+1) 第 n+1 級高頻時脈訊號
HC(n+2) 第 n+2 級高頻時脈訊號
HC(n+3) 第 n+3 級高頻時脈訊號
Q(n-2) 第 n-2 級控制訊號
Q(n-1) 第 n-1 級控制訊號
Q(n) 第 n 級控制訊號
Q(n+2) 第 n+2 級控制訊號
Q(n+4) 第 n+4 級控制訊號
G(n) 第 n 級閘極控制訊號
G(n+2) 第 n+2 級閘極控制訊號
G(n+4) 第 n+4 級閘極控制訊號
VSS1 低電壓準位
P(n) 第一下拉控制訊號
K(n) 第二下拉控制訊號

申請專利範圍

1. 一種移位暫存器電路，其包括：
 - 第一上拉電路，係用以接收一高頻時脈訊號，並根據一第 n 級控制訊號決定是否輸出一第 n 級閘極控制訊號；
 - 第二上拉電路，與該第一上拉電路電性耦接，係用以輸出一第 $n+m$ 級控制訊號；
 - 第一下拉控制電路，係用以接收一第一時脈訊號，並根據該第一時脈訊號與該第 n 級控制訊號輸出一第一下拉控制訊號；
 - 第一下拉電路，係用以根據該第一下拉控制訊號決定是否將該第 n 級控制訊號及該第 n 級閘極控制訊號穩定於一低電壓準位；
 - 第二下拉控制電路，係用以接收一第二時脈訊號，並根據該第二時脈訊號與該第 n 級控制訊號輸出一第二下拉控制訊號；
 - 第二下拉電路，係用以根據該第二下拉控制訊號決定是否將該第 n 級控制訊號及該第 n 級閘極控制訊號穩定於該低電壓準位；
 - 主下拉電路，係用以根據一第 $n+m$ 級閘極控制訊號決定是否將該第 n 級控制訊號及該第 n 級閘極控制訊號穩定於該低電壓準位；以及
 - 第一電容，具有第一端及第二端，其第一端係用以接收一第 $n-p$ 級控制訊號，其第二端係用以與該第 n 級控制訊號電性耦接；

其中， m 、 n 以及 p 為正整數。

2. 如請求項 1 所述之移位暫存器電路，該第 $n-p$ 級級控制訊號為一第 $n-2$ 級控制訊號或一第 $n-1$ 級控制訊號。
3. 如請求項 1 所述之移位暫存器電路，該第 $n+m$ 級控制訊號為一第 $n+4$ 級控制訊號或一第 $n+2$ 級控制訊號。
4. 如請求項 1 所述之移位暫存器電路，該第二上拉電路包括：
 - 一第一電晶體，具有第一端、第二端以及控制端，其第一端係用以接收該高頻時脈訊號，其控制端係用以接收該第 n 級控制訊號；以及
 - 一第二電晶體，具有第一端、第二端以及控制端，其第一端係用以接收該第 n 級閘極控制訊號，其控制端與該第一電晶體之第二端電性耦接，其第二端係用以輸出該第 $n+m$ 級控制訊號。
5. 如請求項 1 所述之移位暫存器電路，該第二上拉電路包括：
 - 一第一電晶體，具有第一端、第二端以及控制端，其第一端係用以接收該高頻時脈訊號，其控制端係用以接收該第 n 級控制訊號；以及
 - 一第二電晶體，具有第一端、第二端以及控制端，其第一端與控制端係用以與該第一電晶體之第二端電

性耦接，其第二端係用以輸出該第 $n+m$ 級控制訊號。

6. 如請求項 1 所述之移位暫存器電路，該第二上拉電路包括一第一電晶體，該第一電晶體具有第一端、第二端以及控制端，其第一端及控制端係用以接收該第 n 級閘極控制訊號，其第二端係用以輸出該第 $n+m$ 級控制訊號。
7. 如請求項 1 所述之移位暫存器電路，該第一下拉控制電路包括：
 - 一第三電晶體，其具有第一端、第二端與控制端，其第一端與控制端係用以接收該第一時脈訊號；
 - 一第四電晶體，其具有第一端、第二端與控制端，其第一端與該第三電晶體之第一端電性耦接，其控制端與該第三電晶體之第二端電性耦接，其第二端係用以輸出該第一下拉控制訊號；
 - 一第五電晶體，其具有第一端、第二端與控制端，其第一端與該第三電晶體之第二端電性耦接，其控制端係用以接收該第 n 級控制訊號，其第二端係用以與該低電壓準位電性耦接；以及
 - 一第六電晶體，其具有第一端、第二端與控制端，其第一端與該第一下拉控制訊號電性耦接，其控制端係用以接收該第 n 級控制訊號，其第二端係用以與該低電壓準位電性耦接。
8. 如請求項 1 所述之移位暫存器電路，該第一下拉電路

包括：

一第七電晶體，其具有第一端、第二端與控制端，其第一端與該第 n 級控制訊號電性耦接，其控制端係用以接收該第一下拉控制訊號，其第二端係用以與該低電壓準位電性耦接；以及

一第八電晶體，其具有第一端、第二端與控制端，其第一端與該第 n 級閘極控制訊號電性耦接，其控制端係用以接收該第一下拉控制訊號，其第二端係用以與該低電壓準位電性耦接。

9. 如請求項 1 所述之移位暫存器電路，該第二下拉控制電路包括：

一第九電晶體，其具有第一端、第二端與控制端，其第一端與控制端係用以接收該第二時脈訊號；

一第十電晶體，其具有第一端、第二端與控制端，其第一端與該第九電晶體之第一端電性耦接，其控制端與該第九電晶體之第二端電性耦接，其第二端係用以輸出該第二下拉控制訊號；

一第十一電晶體，其具有第一端、第二端與控制端，其第一端與該第九電晶體之第二端電性耦接，其控制端係用以接收該第 n 級控制訊號，其第二端係用以與該低電壓準位電性耦接；以及

一第十二電晶體，其具有第一端、第二端與控制端，其第一端與該第二下拉控制訊號電性耦接，其控制端係用以接收該第 n 級控制訊號，其第二端係用以與該低電壓準位電性耦接。

10. 如請求項 1 所述之移位暫存器電路，該第二下拉電路包括：

一第十三電晶體，其具有第一端、第二端與控制端，其第一端與該第 n 級控制訊號電性耦接，其控制端係用以接收該第二下拉控制訊號，其第二端係用以與該低電壓準位電性耦接；以及

一第十四電晶體，其具有第一端、第二端與控制端，其第一端與該第 n 級閘極控制訊號電性耦接，其控制端係用以接收該第二下拉控制訊號，其第二端係用以與該低電壓準位電性耦接。

11. 如請求項 1 所述之移位暫存器電路，該第一上拉電路包括：

一第十五電晶體，其具有第一端、第二端與控制端，其第一端係用以接收該高頻時脈訊號，其控制端係用以接收該第 n 級控制訊號，其第二端係用以輸出該第 n 級閘極控制訊號；以及

一第二電容，其具有第一端與第二端，其第一端與該第十五電晶體之第二端電性耦接，其第二端與該第 n 級控制訊號電性耦接。

12. 如請求項 1 所述之移位暫存器電路，該主下拉電路包括：一第十六電晶體，其具有第一端、第二端與控制端，其第一端係用以與該第 n 級控制訊號電性耦接，其控制端係用以接收該第 $n+m$ 級閘極控制訊號，其第

二端係用以與該低電壓準位電性耦接；以及
一第十七電晶體，其具有第一端、第二端與控制端，
其第一端係用以與該第 n 級閘極控制訊號電性耦接，
其控制端係用以接收該第 $n+m$ 級閘極控制訊號，其第
二端係用以與該低電壓準位電性耦接。

13. 如請求項 12 所述之移位暫存器電路，該第 $n+m$ 級閘極控制訊號為一第 $n+4$ 級閘極控制訊號或一第 $n+2$ 級閘極控制訊號。

圖式

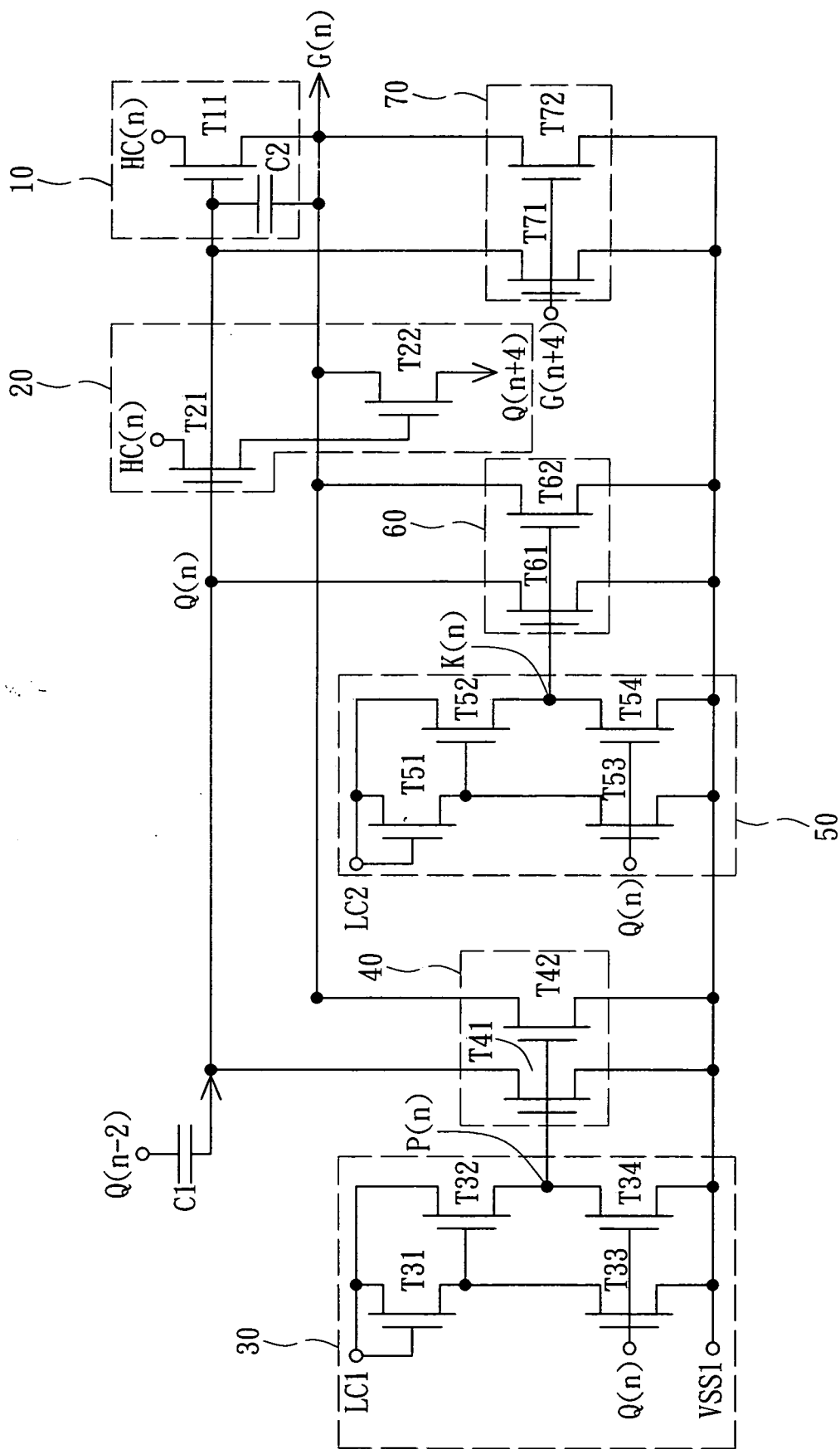


圖1A

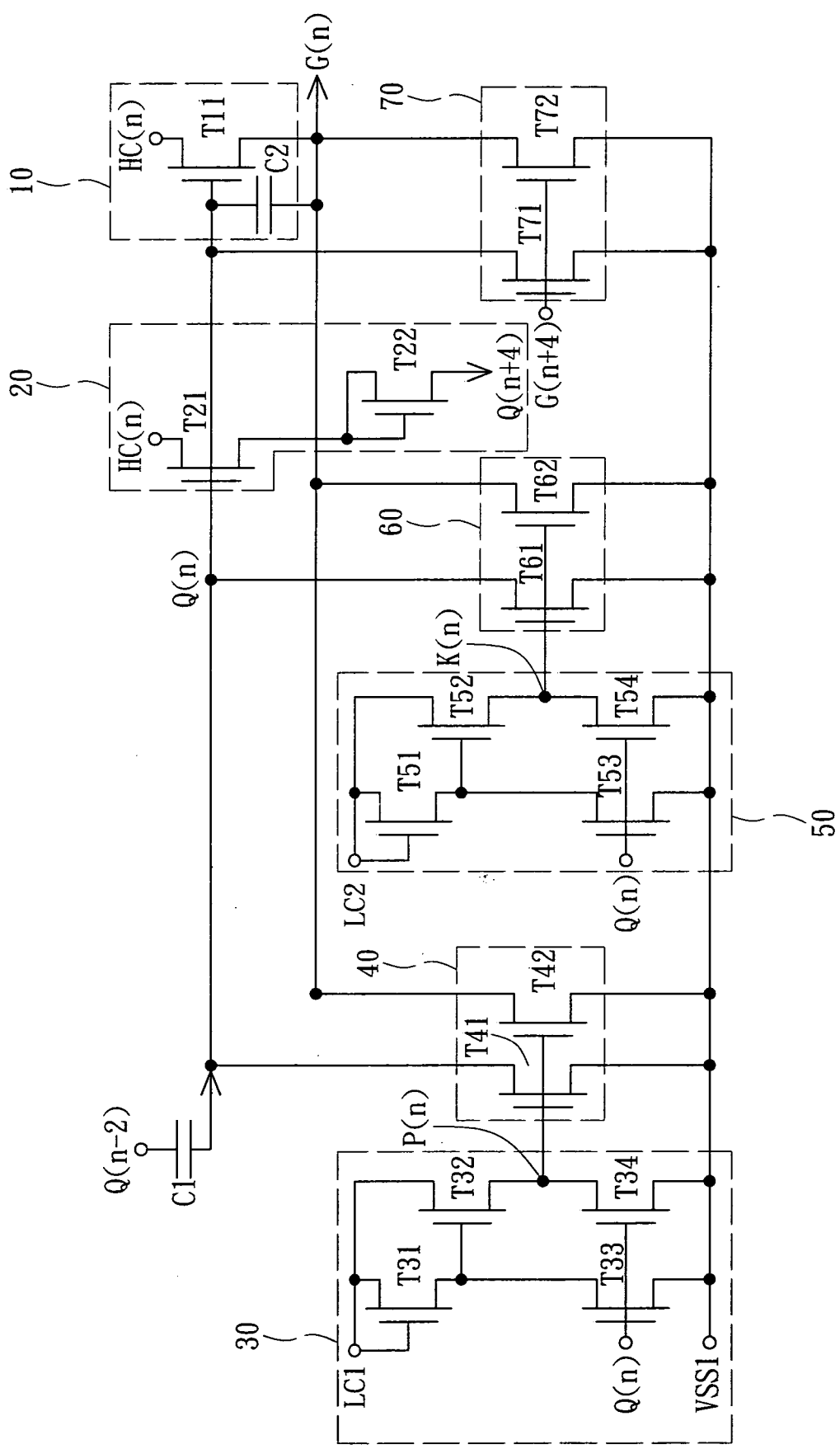


圖 1B

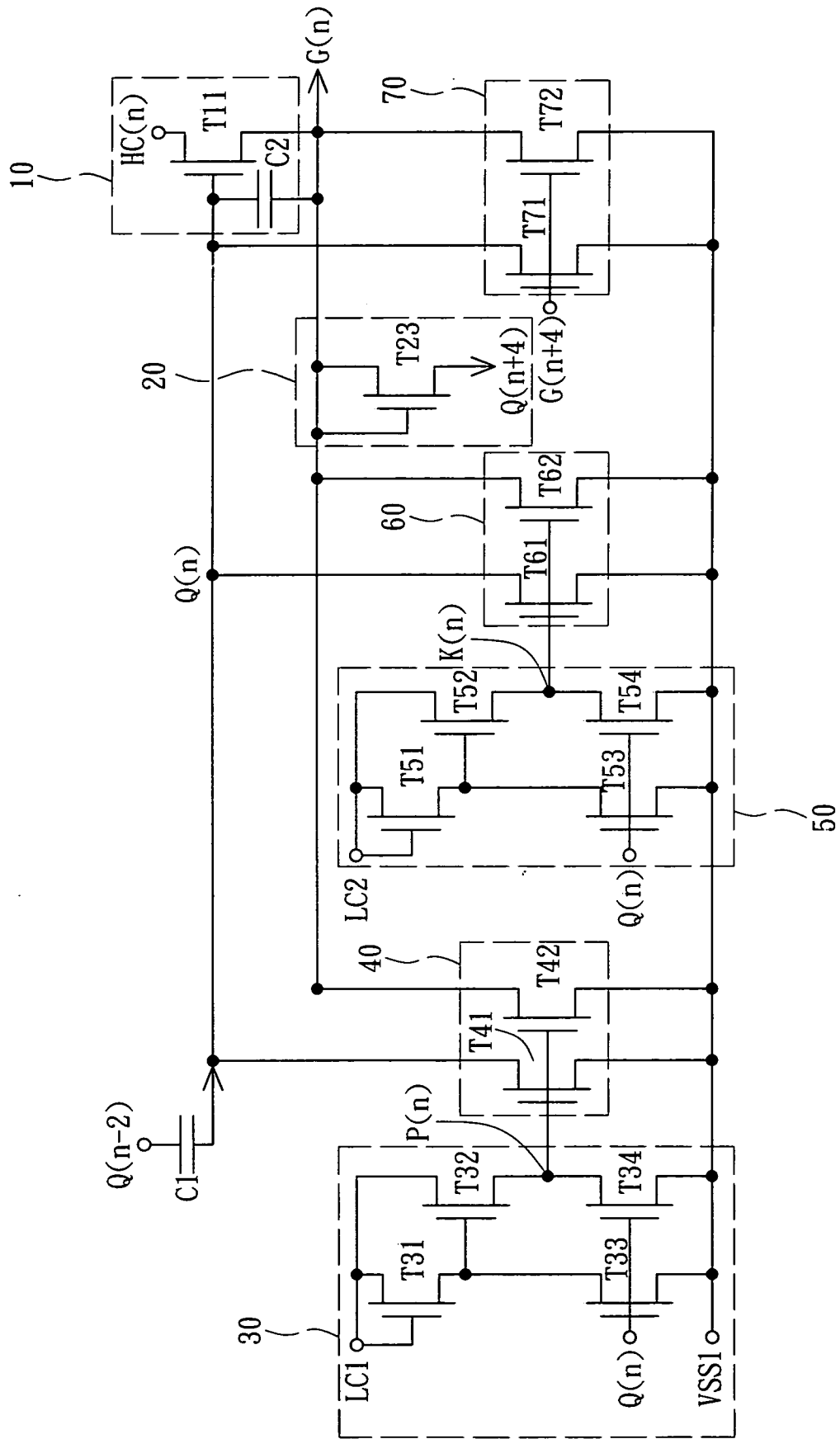


圖 1C

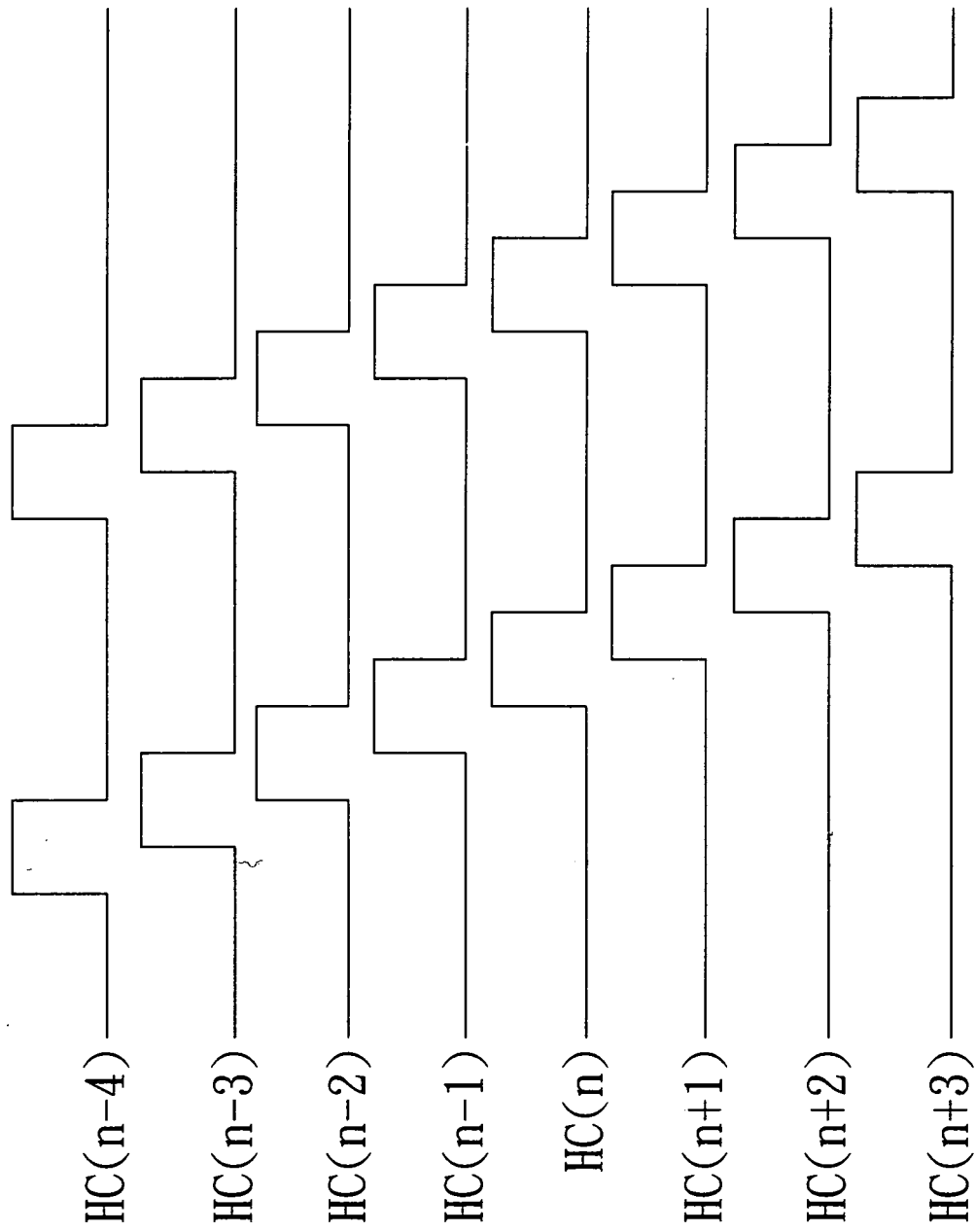


圖2A



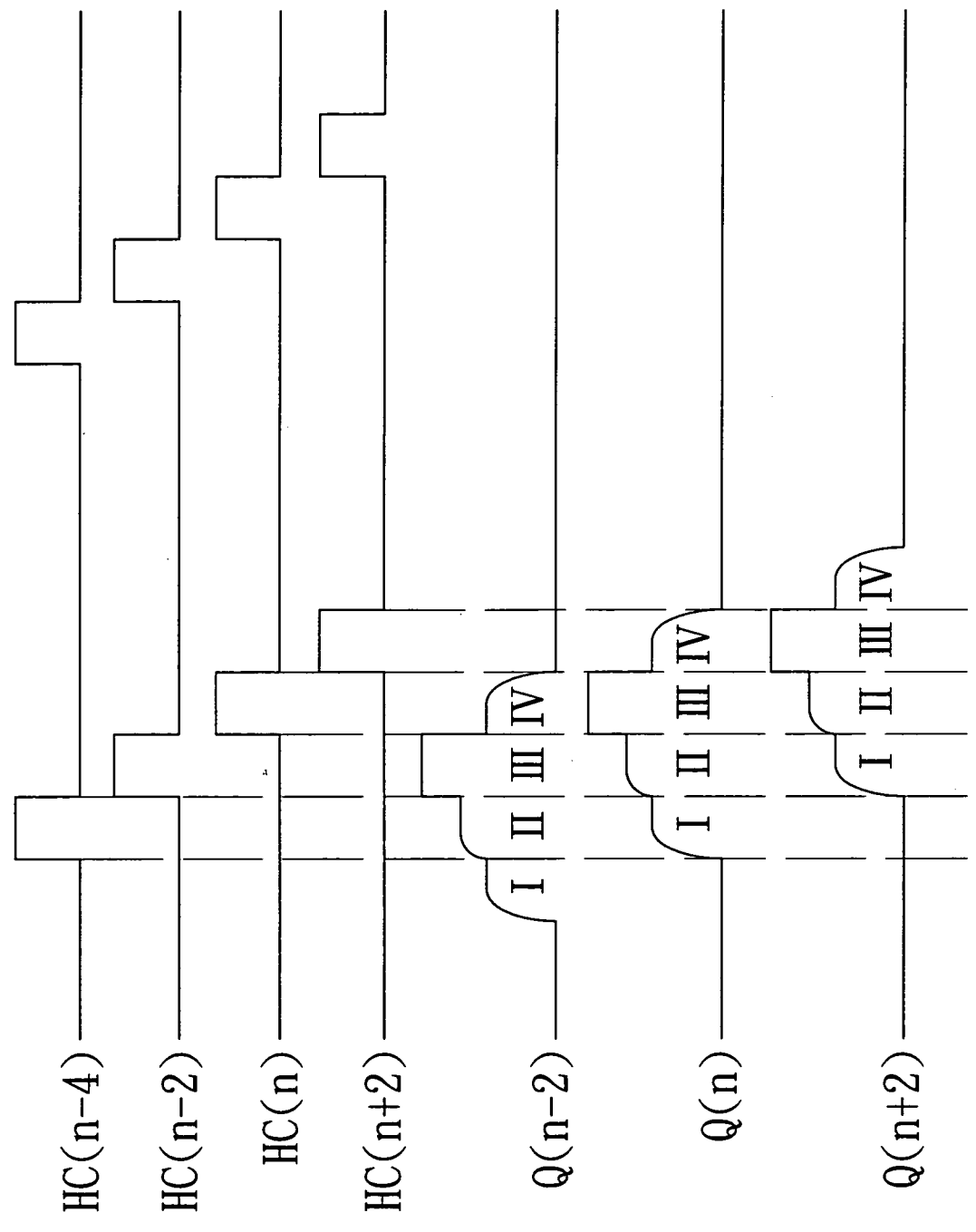


圖 2B

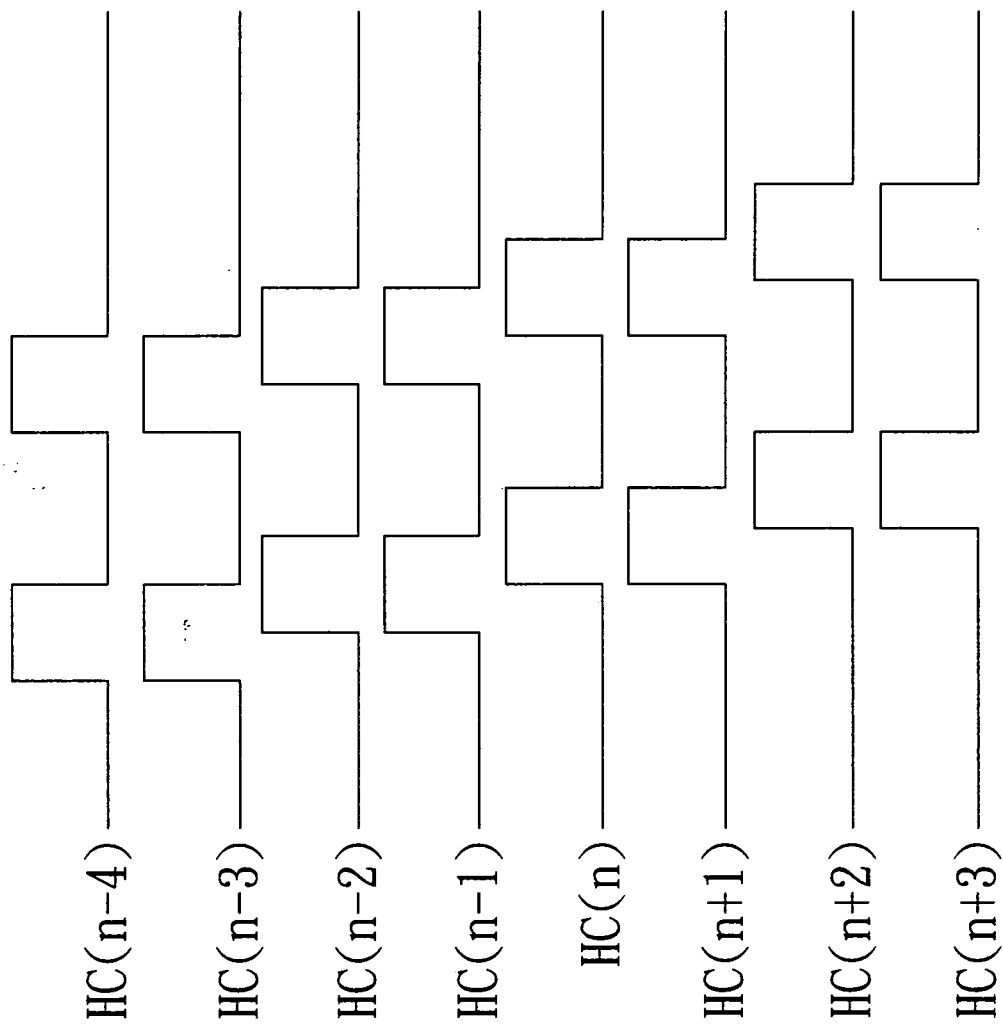


圖3A



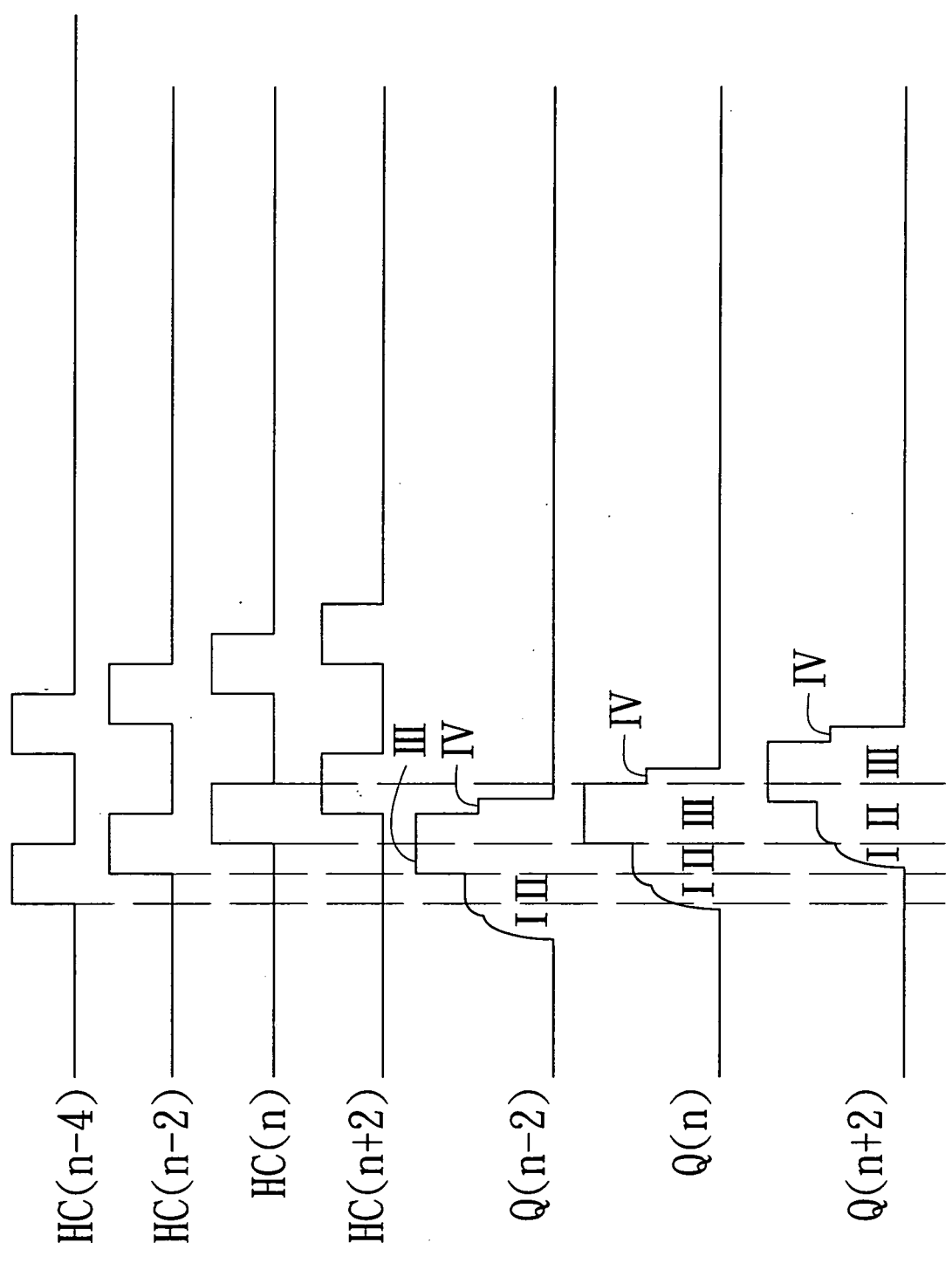


圖 3B

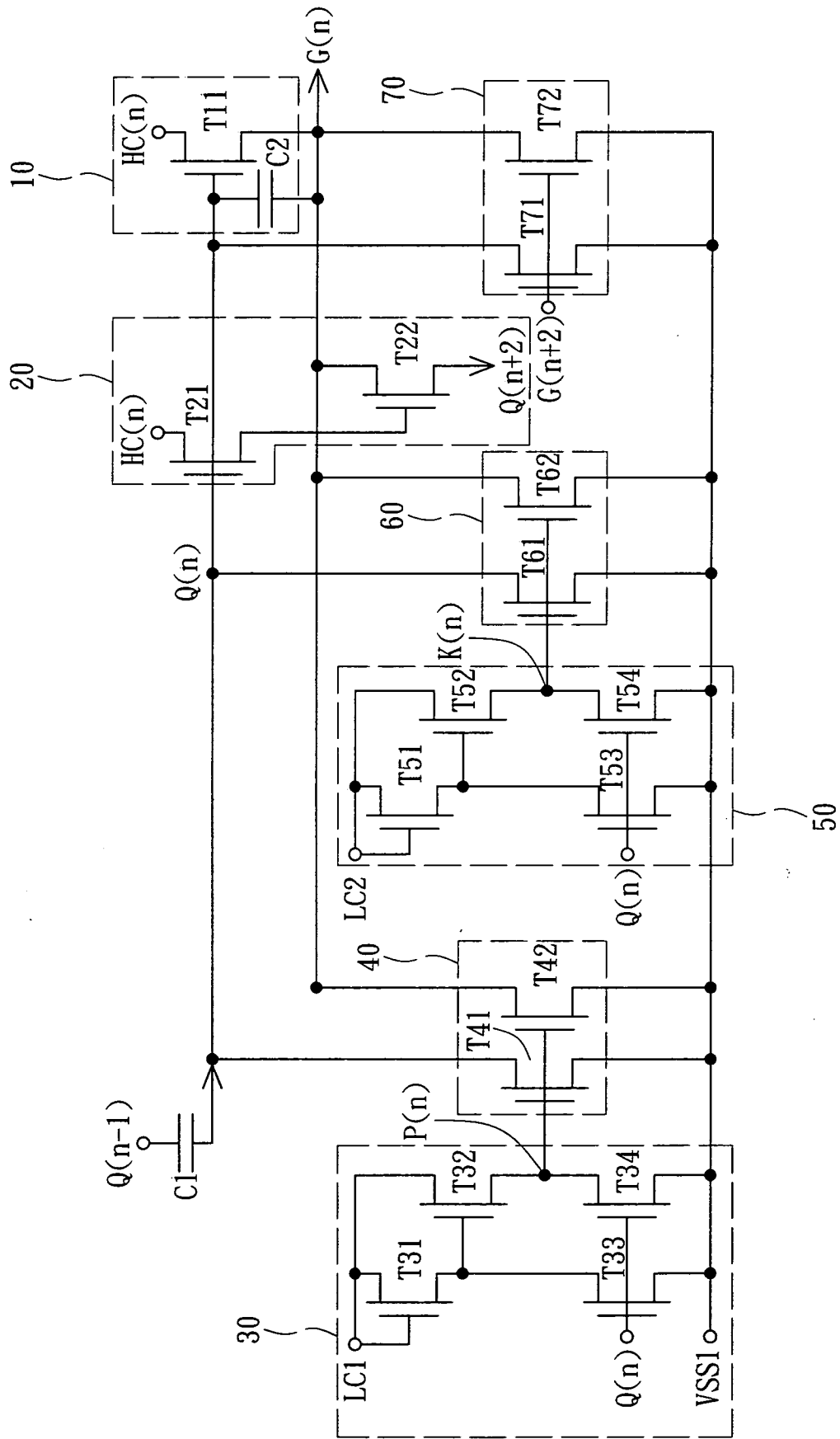


圖4A

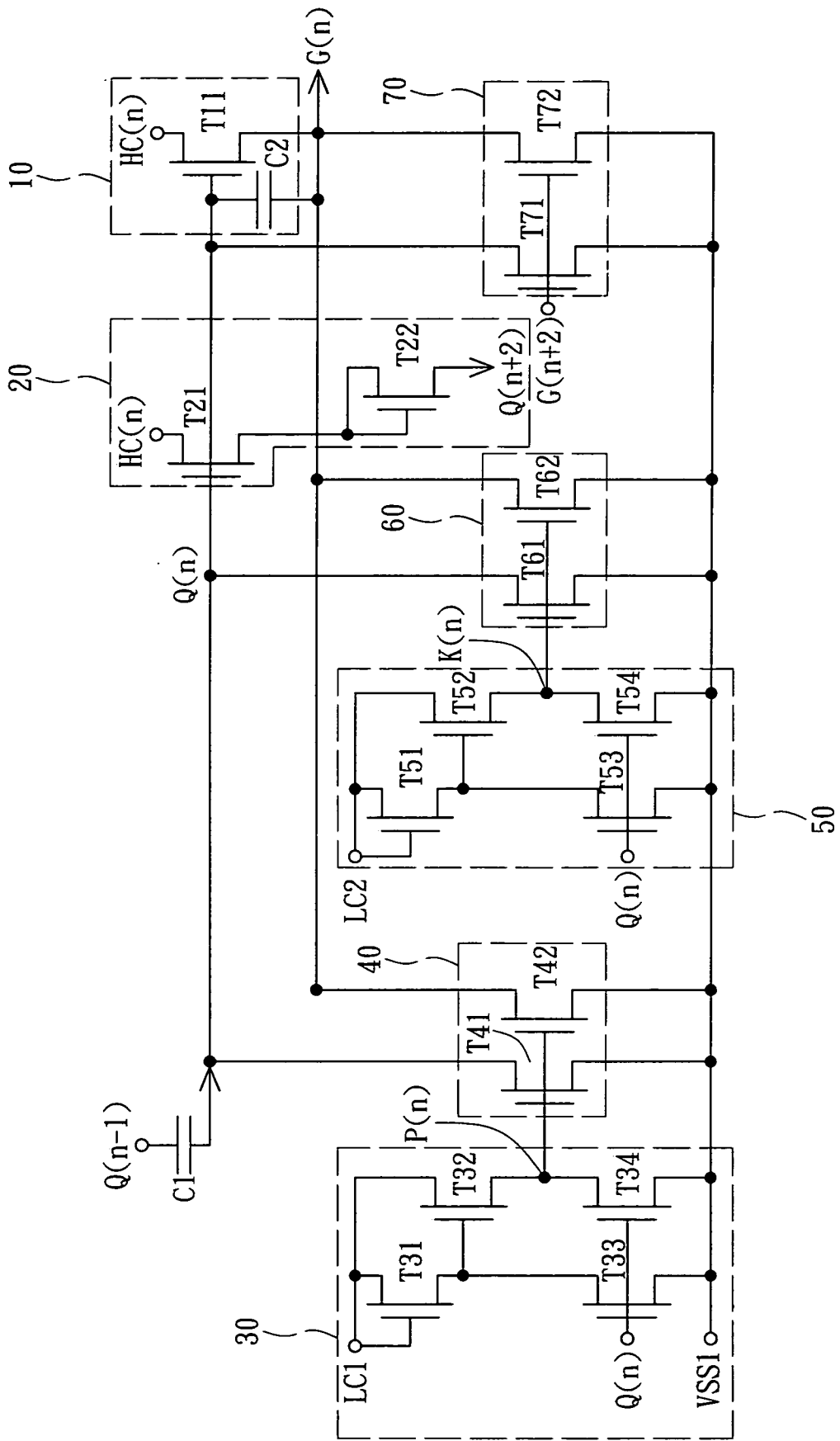


圖 4B

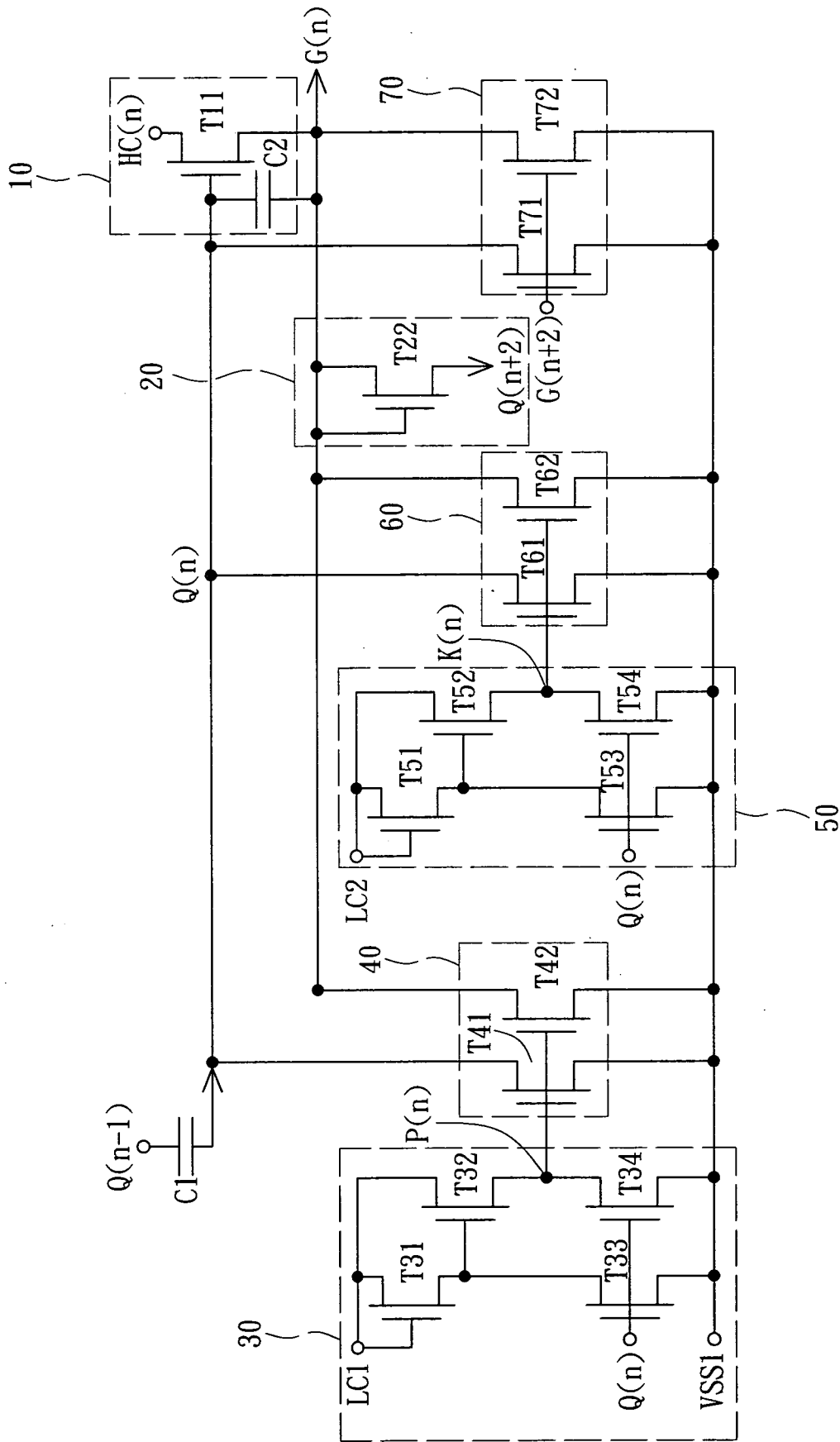


圖4C

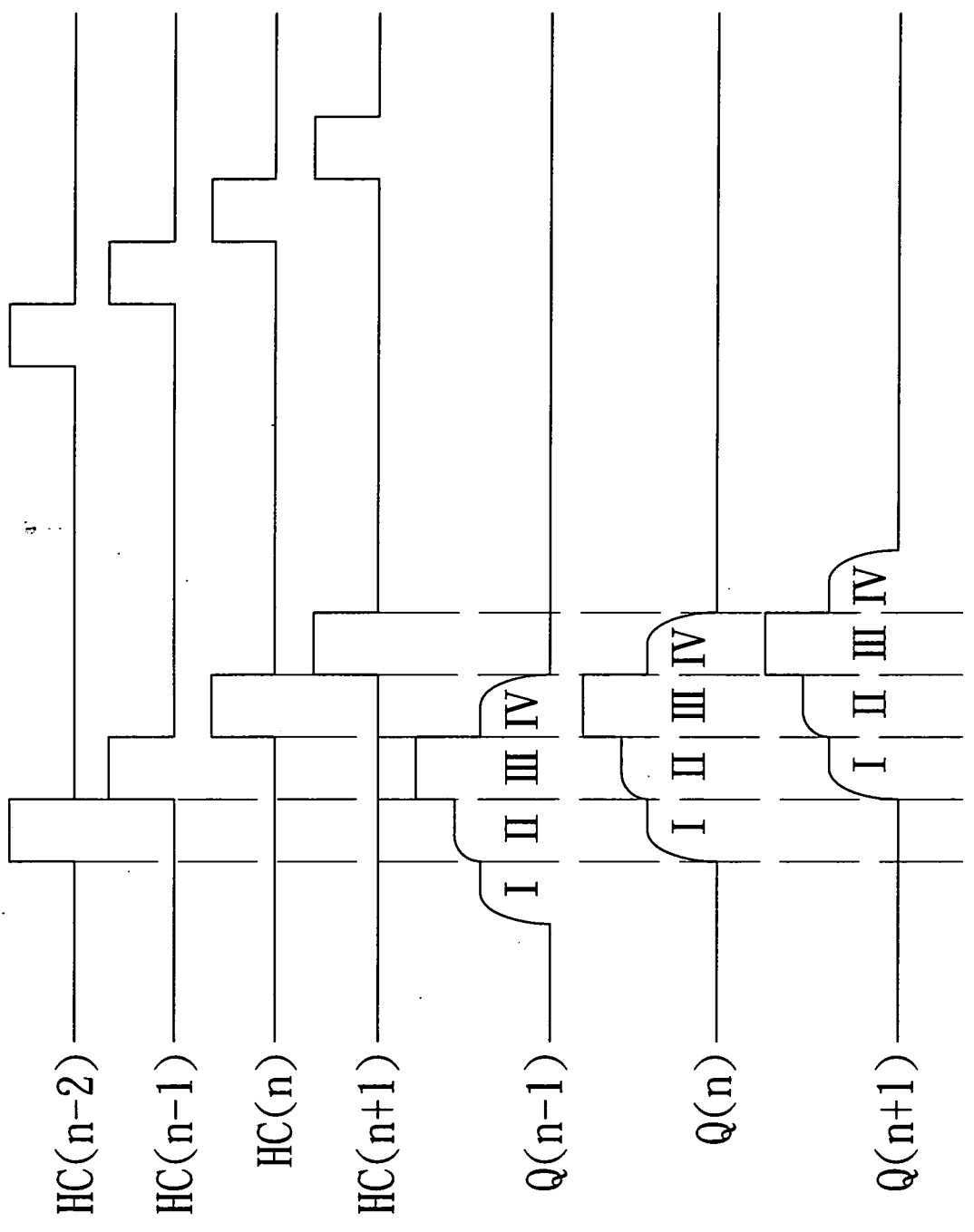


圖5

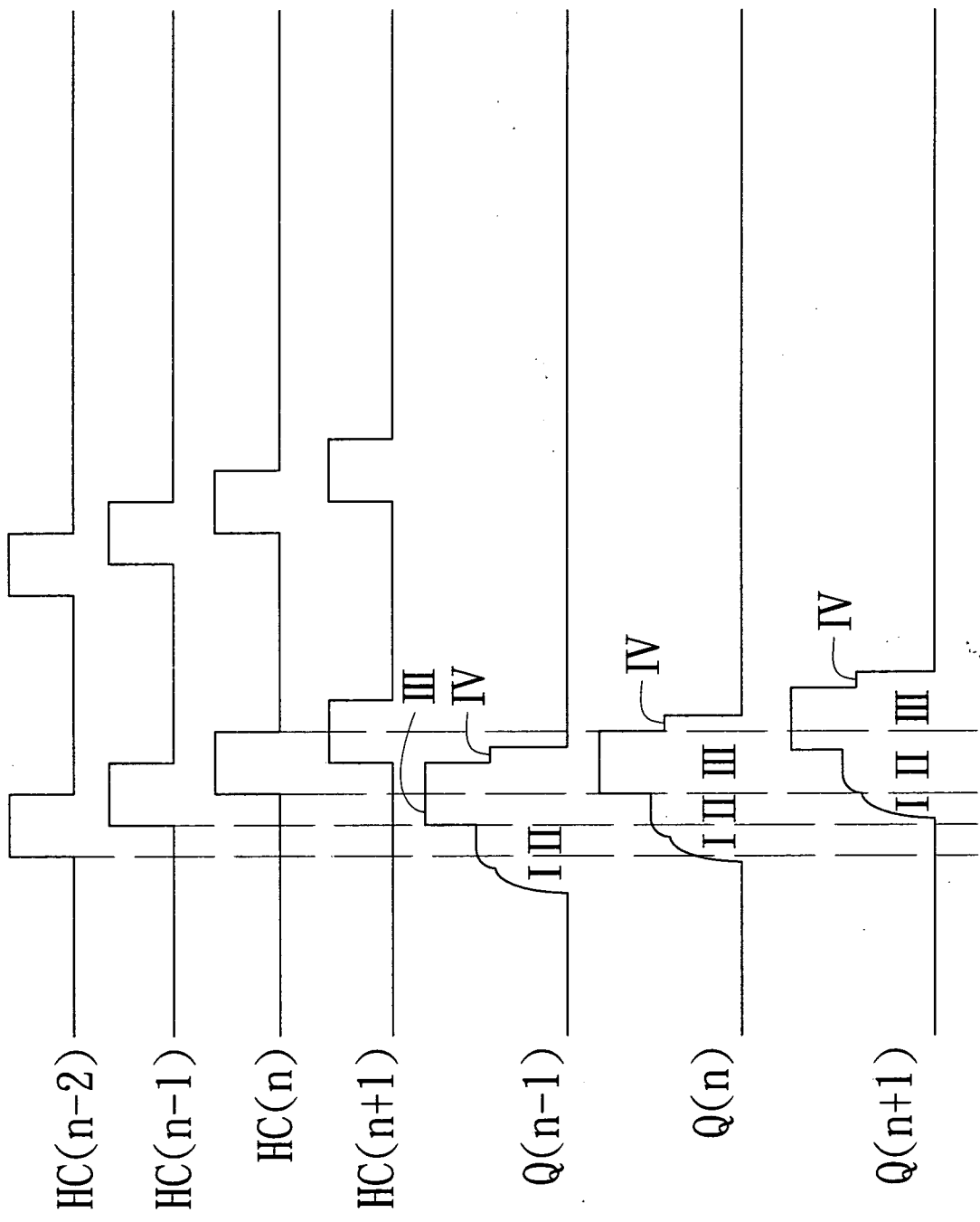


圖6

