

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

**EP 0 705 465 B1**

(12)

**EUROPÄISCHE PATENTSCHRIFT**

(45) Veröffentlichungstag und Bekanntmachung des Hinweises auf die Patenterteilung:  
**30.10.1996 Patentblatt 1996/44**

(51) Int Cl.6: **G06J 1/00, H03K 19/177, G06G 7/06**

(21) Anmeldenummer: **93915717.8**

(86) Internationale Anmeldenummer:  
**PCT/EP93/01637**

(22) Anmeldetag: **25.06.1993**

(87) Internationale Veröffentlichungsnummer:  
**WO 95/00921 (05.01.1995 Gazette 1995/02)**

**(54) KONFIGURIERBARES, ANALOGES UND DIGITALES ARRAY**

CONFIGURABLE ANALOG AND DIGITAL ARRAY

RESEAU ANALOGIQUE ET NUMERIQUE CONFIGURABLE

(84) Benannte Vertragsstaaten:  
**CH DE FR GB LI**

(74) Vertreter: **Schoppe, Fritz, Dipl.-Ing. Patentanwalt, Georg-Kalb-Strasse 9 82049 Pullach (DE)**

(43) Veröffentlichungstag der Anmeldung:  
**10.04.1996 Patentblatt 1996/15**

(56) Entgegenhaltungen:  
**EP-A- 0 322 382 EP-A- 0 420 390  
US-A- 4 847 612**

(73) Patentinhaber: **FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V. 80636 München (DE)**

(72) Erfinder:  
• **HOSTICKA, Bedrich D-47058 Duisburg (DE)**  
• **SCHARDEIN, Werner D-47475 Kamp-Lintfort (DE)**  
• **WEGHAUS, Berthold D-46535 Dinslaken (DE)**

- **ELEKTRONIK, Bd.36, Nr.10, 15. Mai 1987, MUNCHEN DE Seiten 135 - 138 PREISS 'Digitales und Analoges auf einem Chip'**
- **IEEE MICRO, Bd.12, Nr.4, August 1992, NEW YORK US Seiten 34 - 42 LAES ET AL 'Analog-Digital Technologies for Mixed-Signal Processing'**

**EP 0 705 465 B1**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

## Beschreibung

Die vorliegende Erfindung betrifft ein konfigurierbares, analoges und digitales Array. Mit anderen Worten betrifft der Erfindungsgegenstand ein konfigurierbares analog/digitales Modul-Array.

Anwenderprogrammierbare Schaltungen in Form von konfigurierbaren Arrays sind seit einer Reihe von Jahren bekannt. Die marktüblichen anwenderprogrammierbaren Schaltungen sind als konfigurierbare digitale Arrays ausgebildet. Derartige anwenderprogrammierbare Schaltungen decken also hauptsächlich den Bereich digitaler Anwendungen ab. Solchen digitalen, anwenderprogrammierbaren Schaltungen ist es gemeinsam, daß eine Mehrzahl von Zellen auf Gatterebene oder Registerebene vorgesehen sind, die vom Anwender programmiert und über vorgefertigte Verbindungswege variabel verschaltet werden können.

Bei derartigen anwenderprogrammierbaren Schaltungen stellt ein besonderes Problem die Entscheidung für den jeweiligen Anwendungsfall "richtigen" Baustein dar, da die Systeme sehr unterschiedlich sind und ein Umsteigen von einem System auf ein nächstes nur unter Schwierigkeiten möglich ist.

Häufig werden derartige anwenderprogrammierbare Schaltungen lediglich zur Überprüfung eines Schaltungsentwurfes verwendet, wobei nach Festlegung der endgültigen Schaltungsversion eine Umsetzung in eine sog. "Vollkundenschaltung" durchgeführt werden muß. Eine solche Umsetzung ist bei einem aus mehreren verschiedenen Bausteinen bestehenden Prototypen in der Regel nicht ohne weiteres möglich und erfordert in der Regel ein sog. Redesign.

Für den analogen Bereich gibt es bislang kein entsprechendes Gegenstück, das ähnlich universell einsetzbar wäre wie anwenderprogrammierbare digitale Schaltungen in Form von konfigurierbaren digitalen Arrays. Es gibt lediglich einige Spezialbausteine, wie beispielsweise Filter, die vom Anwender durch entsprechende Beschaltung programmiert oder getrimmt werden können. Ferner gibt es integrierte Arrays mit analogen Komponenten oder Zellen zur benutzerspezifischen Verdrahtung. Diese Verdrahtung muß beim Hersteller über eine Aluminiummaske erfolgen und kann daher nicht vom Kunden selbst vorgenommen werden. Die europäische Patentanmeldung EP-0499383A2 zeigt eine anwenderprogrammierbare integrierte Schaltung mit einem analogen Abschnitt mit anwenderkonfigurierbaren analogen Schaltungsmodulen, einem digitalen Abschnitt mit anwenderkonfigurierbaren digitalen Schaltungsmodulen und einem Schnittstellenabschnitt mit anwenderkonfigurierbaren Schnittstellenschaltungen zur Analog/Digital-Signalumwandlung und zur Digital/Analog-Signalumwandlung, und einer anwenderkonfigurierbaren Verbindungs- und Eingabe/Ausgabe-Architektur. Die durch eine derartige Schaltung ermöglichte Vernetzung der Elemente ist äußerst begrenzt. So ist beispielsweise keine Rückkopplung zwischen Schal-

tungselementen möglich. Bei dieser bekannten Schaltung erfolgt lediglich ein Multiplexing bestehender Basisblöcke und Signalpfade, die sich nur nach eng begrenzten Möglichkeiten abändern lassen. Die Programmier- und Steuerbarkeit der bekannten Schaltung erfolgt durch Beschaltung fester Grundbausteine mit anderen Bauteilen, wie dies beispielsweise in den Fig. 3a, 3b dieser Schrift gezeigt ist. So können beispielsweise wahlweise Widerstände und Kondensatoren an bestehende Schaltungsblöcke angeschaltet werden. Eine hierarchische Strukturierung und Organisation, die den Aufbau abgeschlossener analoger Untersysteme zur anschließenden Konfiguration innerhalb eines Gesamtsystemes ermöglicht, ist bei dieser bekannten Technik nicht möglich.

Die DE-3417670A1 zeigt eine programmierbare analoge Schaltung in Form eines programmierbaren Filters, bei dem eine Anzahl von Filtermodulen, ein Dämpfungsglied und ein Trennverstärker in anwenderprogrammierbarer Weise miteinander verschaltet werden können. Auch hier ergibt sich jedoch nur eine sehr begrenzte Variation einer fest vorgegebenen Schaltungsgrundstruktur.

Aus der DE-3615981A1 ist ein System zur Parameter-programmierbaren Bearbeitung von Audio-Signalen in Kombination mit einer programmierbaren Schaltmatrix bekannt, welches zur Anwendung im Bereich der analogen und digitalen Aufbereitung von Audio-Signalen dient. Dieses System ist jedoch nicht auf Chip-Ebene, sondern lediglich auf Leiterplatten-Ebene implementierbar.

Die US-A-4,847,612 zeigt ein konfigurierbares Array, mit zumindest zwei Matrixanordnungen erster Ordnung, mit einer Mehrzahl von reihenförmig und/oder spaltenförmig angeordneten Grundbausteinen und einer ersten Schaltermatrix, und zumindest einer Matrixanordnung zweiter Ordnung mit einer zweiten Schaltermatrix, die die zumindest zwei Matrixanordnungen erster Ordnung verbindet, bei dem sämtliche Grundbausteine digital sind und die Ausgänge über die Matrixanordnungen erster Ordnung gekoppelt.

Die Druckschrift E.Preiss, "Digitales und Analoges auf einem Chip", Elektronik, Bd. 36, Nr. 10, 15. Mai 1987, München, beschreibt eine gemischt analog/digitale CMOS-Standardzelle. Bei dieser bekannten Standardzelle sind analoge/digitale Funktionselemente durch zwei feste Verdrahtungsebenen verbunden.

Ausgehend von diesem Stand der Technik liegt der vorliegenden Erfindung daher die Aufgabe zugrunde, ein konfigurierbares, analoges und digitales Array zu schaffen, mit dem ein Gesamtsystem mit analogen und gegebenenfalls digitalen Grundbausteinen weitgehend frei vom Anwender konfiguriert werden kann.

Diese Aufgabe wird durch ein konfigurierbares analoges und digitales Array gemäß Patentanspruch 1 gelöst.

Das erfindungsgemäße konfigurierbare analoge und digitale Array umfaßt eine hierarchische Struktur

mit wenigstens zwei Matrixanordnungen erster Ordnung und wenigstens einer Matrixanordnung zweiter Ordnung.

Jede der Matrixanordnungen erster Ordnung weist eine Mehrzahl von reihenförmig oder spaltenförmig angeordneten Grundbausteinen auf, die wenigstens teilweise analoge Grundbausteine sind, und hat eine erste Schaltermatrix zur steuerbaren gegenseitigen Verbindung der Signaleingänge und/oder der Signalausgänge der Grundbausteine und zur steuerbaren Verbindung derselben mit Matrixeingängen und/oder Matrixausgängen dieser Matrixanordnung erster Ordnung. Die Matrixanordnung zweiter Ordnung umfaßt eine zweite Schaltermatrix zur steuerbaren gegenseitigen Verbindung der Matrixeingänge und/oder Matrixausgänge der Matrixanordnung erster Ordnung und zur steuerbaren Verbindung derselben mit Arrayeingängen und/oder Arrayausgängen.

Das auf diese Weise definierte System kann steuerbare analoge und digitale Funktionsblöcke unterschiedlicher Architekturen und Komplexitätsgrade in Form einer integrierten Schaltung auf einem gemeinsamen Substrat derart umfassen, daß die vorhandenen Teilmodule bzw. Grundbausteine flexibel und reversibel miteinander verschaltbar sind und zu einem weitgehend beliebig vordefinierbaren Gesamtsystem für die gemischt analog/digitale Signalverarbeitung konfiguriert werden können. Dieses System bildet daher einen "Baukasten" mit einer gewissen Grundmenge an Grundbausteinen in Form von analogen und digitalen Blöcken, die parametrisierbar und damit abänderbar sind und in bestimmten Grenzen miteinander zu einem Gesamtsystem verschaltet bzw. konfiguriert werden können.

Vorzugsweise haben die Grundbausteine zusätzlich zu ihrem Signaleingang und ihrem Signalausgang einen analogen und/oder digitalen Steuereingang. Somit können bestimmte Eigenschaften der Grundbausteine innerhalb vorgegebener Grenzen variiert, d.h. parametrisiert, werden. Die Signale für den analogen und den digitalen Steuereingang eines Grundbausteines werden in beschreibbare, lesbare und löschbare Speicherelemente, die als Parametrisierungsregister dienen, und die sich unmittelbar an den Grundbausteinen befinden, einprogrammiert und können dort jederzeit neu gesetzt oder gelöscht werden. Im Falle eines Grundbausteines in Form eines Verstärkers können beispielsweise Eigenschaften wie dessen Verstärkungsfaktor, dessen Bandbreite, dessen Verlustleistung, dessen Offset usw. nach Bedarf eingestellt werden.

Eine Matrixanordnung erster Ordnung kann gegebenenfalls einen multiplizierenden Digital/Analog-Wandler enthalten, dem ein binäres Datenwort von einem solchen Parametrisierungsregister zugeführt werden kann, so daß der Digital/Analog-Wandler ausgangsseitig ein analoges Steuersignal erzeugt, mit dem der analoge Steuereingang des Grundbausteines angesteuert werden kann.

Die Konfiguration von Grundbausteinen zu einem Gesamtsystem erfolgt bei dieser Ausgestaltung durch Ansteuerung der analogen und digitalen Steuereingänge des Grundbausteines und durch Ansteuerung von Schaltern der ersten und zweiten Matrixanordnung über die Matrixeingänge und die Arrayeingänge.

Bevorzugt ist ein Schieberegister vorgesehen, in das die Daten für die Konfiguration seriell eingelesen werden können und das die Parametrisierungsregister bildet.

Bei einer abweichenden Ausgestaltung kann eine parallele Schnittstelle vorgesehen sein, die ein paralleles Einbringen der Konfigurationsdaten in das Array ermöglicht. In jedem Fall kann zur Erzeugung der Steuerdaten ein Host-Rechner zur Generierung der Konfigurationsdaten verwendet werden.

In einer weiter fortgeschrittenen Realisierung kann auch ein Mikrocontroller auf einem Chip vorgesehen sein, der das Routing (Setzen der Konfigurierungsregister) übernimmt, wobei er von außen zugeführte Informationen in Form z.B. einer Netzliste auswertet. Dies kann auch in einem gesonderten Bereich (RAM, EPROM o. ä.) zwischengespeichert werden.

Zwischen den Grundbausteinen sowie zwischen den durch die Grundbausteine gebildeten Matrixanordnungen der ersten Ordnung befinden sich jeweils eine große Anzahl von schaltbaren Verbindungen, die eine weitgehend beliebige Verdrahtung der Grundbausteine untereinander zulassen. Da innerhalb der matrixförmigen Anordnungen sowohl die Eingangsleitungen als auch die Ausgangsleitungen der Grundbausteine geführt sind, kann innerhalb der Matrixanordnung erster Ordnung auch eine rückkoppelnde Struktur aus Grundbausteinen gebildet werden.

Die von den Grundbausteinen innerhalb der Matrixanordnung erster Ordnung gebildete Schaltungsanordnung erster Ordnung kann mittels der Matrixanordnung zweiter oder höherer Ordnung zu einem praktisch frei wählbaren Gesamtsystem zusammengesetzt werden.

Die erfindungsgemäße hierarchische Struktur des konfigurierbaren Arrays bestehend aus Matrixanordnungen erster Ordnung und wenigstens einer Matrixanordnung zweiter Ordnung erlaubt mittels an sich im Bereich der digitalen konfigurierbaren Arrays üblicher Maßnahmen sowohl eine Testbarkeit der einzelnen Grundbausteine wie auch eine Testbarkeit des konfigurierten Systemes. Bei digitalen Strukturen sind zu diesem Zweck alle kombinatorischen Logikfunktionen als minimalisierte Funktionen ausgeführt und somit vollständig testbar. Zwischen den kombinatorischen Logikgrundbausteinen liegen Register, die über einen Scan-Path verschaltet sind. Ferner können programmierbare Signaturregister und ein Boundary-Scan-Path vorgesehen sein.

Bei analogen Strukturen wird die Beobachtbarkeit spezieller innerer Knoten des Gesamtsystemes vorgesehen. Dies kann beispielsweise durch zuschaltbare Entkoppelungselemente (z. B. Verstärker) erfolgen, die

wiederum wahlweise auf einen Ausgangspin oder einen analogen Grundbaustein geschaltet werden können. Dies soll zu einer für den Netzknoten im wesentlichen belastungsfreien Messung führen. Ebenso ermöglicht die erfindungsgemäße Arraystruktur die Auftrennbarkeit bestimmter Modul-interner Verbindungen sowie die Setzbarkeit innerer Knoten über Chip-externe Eingänge oder Modulausgänge. Die variable Gestaltbarkeit des erfindungsgemäßen Arrays ermöglicht die Konfiguration von Testsystemen, die einen On-Chip-Test ausführen und bei geeigneter Konstellation die Funktionsfähigkeit des Gesamtsystemes weitgehend erschöpfend prüfen. In derartige Selbsttestsysteme können auch gemischt analog/digitale Teile mit einbezogen werden.

Gemäß einem besonderen Merkmal der Erfindung ist wenigstens einem Teil der Grundbausteine ein Qualifizierungsregister zugeordnet, das als Schreib/Lese-Speicher oder als Festwertspeicher ausgebildet ist und zumindest eine Information über den Totalausfall des Grundbausteines und gegebenenfalls Informationen über Betriebseigenschaften des Grundbausteines beinhaltet. Bei dieser Ausgestaltung des erfindungsgemäßen Arrays können im Anschluß an den Funktionstest durch besondere Konfigurationsmaßnahmen eine Extraktion von Bauelemente- und Schaltungsparametern für jeden individuellen Chip, auf dem das Array implementiert ist, vorgenommen werden. Die Ergebnisse dieser Parameter-Extraktion werden dann in parametrisierbare funktionale Makromodelle eingebaut und in allen weiteren Simulationen verwendet. Damit ist es möglich, durch Prozeßschwankungen bedingte Parameterstreuungen der Bauelemente- und Schaltungsparameter individuell durch Adaption der Simulationsumgebung weitgehend aufzufangen. Für jedes Chip kann dann ein Charakterisierungsplan für bestimmte Schaltungseigenschaften aufgestellt werden, der als Grundlage einer Qualifizierung jedes Schaltungsteils für bestimmte Aufgaben von der Konfigurationssoftware benutzt werden kann. Dazu kann auf jedem Chip ein eindeutiger Erkennungscode abgelegt werden. Dies kann beispielsweise in Form eines PROM-Bereiches geschehen, der vom Anwender gebrannt, d.h. als Festwertspeicher beschrieben werden kann.

Durch Zuordnung je eines Qualifikationsregisters zu sämtlichen Grundbausteinen können Informationen über die Funktionsfähigkeit der Grundbausteine abgelegt werden. Wie erwähnt, umfaßt eine derartige Qualifizierung innerhalb des Qualifizierungsregisters beispielsweise die Information über den Totalausfall des Grundbausteines oder Merkmale über sonstige Eigenschaften. Diese Information kann zum einen beim Hersteller während des Testens ermittelt und in den Qualifizierungsregistern bereitgestellt werden, so daß die Chip-Ausbeute erhöht werden kann. Da jeder Modultyp mehrmals auf dem Chip vorkommt, ist genügend Redundanz vorhanden. Zum anderen kann die Qualifizierung auch jederzeit von dem Anwender vorgenommen werden. Damit ist eine in Abhängigkeit von der Anwen-

dung flexible Qualifizierung möglich. Dieses Verfahren gestattet aber auch, während des Betriebes aufgetretene Ausfälle zu lokalisieren, zu markieren und durch Neukonfigurieren des Systems zu umgehen, wobei alle Qualifizierungsregister berücksichtigt werden sollten. Dieser Aspekt erhöht die Zuverlässigkeit des Systemes, da eine "Reparatur" des Systemes am Einsatzort ohne Eingriff in die Hardware möglich ist.

Gemäß einem besonderen Aspekt der Erfindung können diejenigen Bausteine, die statisch nicht verlustlos sind, wie beispielsweise Verstärker, Schnittstellen-schaltungen usw., über einen Leistungsabschaltungseingang von der Betriebsspannung abgetrennt werden. Diese Ausgestaltung ermöglicht es, unbenutzte oder defekte Grundbausteine zu deselektieren und damit die Verlustleistung des Gesamtsystemes zu vermindern. In Anbetracht der Tatsache, daß oft nur ein kleiner Teil der Grundbausteine eines derartigen Arrays für die Konfiguration einer bestimmten anwenderspezifischen Schaltung genutzt wird, kann diesem Aspekt hohe Bedeutung zukommen. Natürlich kann ein derartiger Eingang auch in bestimmten Zeitschlitzten während des Betriebes zur Verlustleistungsbegrenzung angesteuert werden. Zur Deselektion eines Grundbausteines dient vorzugsweise wieder ein eigenes Speicherelement innerhalb des Grundbausteines, das getrennt programmiert werden kann.

Das erfindungsgemäße Array liefert adaptive Systeme. Das konfigurierte System kann Ausgangssignale liefern, die das System selbst in bestimmter Weise modifizieren, d.h. es selbsttätig umkonfigurieren. Dies kann beispielsweise durch Änderung der programmierbaren Verdrahtung oder durch Änderung der Moduleigenschaften geschehen. Bei geeigneter Auslegung können die Anordnungen im Echtzeitbetrieb modifiziert werden.

Vorzugsweise wird das erfindungsgemäße Array in BICMOS-Technologie implementiert. Diese Technologie ist besonders geeignet, da sie einerseits durch bipolare Bauelemente die Fähigkeit zu hochwertigen Analogfunktionen besitzt und andererseits durch verlustarme CMOS-Technik die Höchstintegration zuläßt. Außerdem werden durch das Konzept der flexiblen Verschaltung gute Treibereigenschaften gefordert, wobei der Treiber auf die Lastkapazitäten flexibel reagieren muß. Prinzipiell ist jedoch auch eine Lösung in CMOS-Technologie oder in einer anderen, für die Großintegration geeigneten Technologie denkbar.

Die Übertragung eines Prototyps, der auf dem erfindungsgemäßen Array konfiguriert ist, auf eine optimierte Schaltung für größere Stückzahlen läßt sich dadurch in einfacher Weise bewerkstelligen, daß die bei der Konfiguration ermittelten Daten zusammen mit den analogen und digitalen Bibliothekselementen zu dem gewünschten Gesamtsystem in einer geeigneten CAD-Umgebung zusammengebunden werden, wobei nicht benutzte Elemente fortgelassen werden und wobei die der Verdrahtung und Programmierbarkeit dienenden

Zusätze wie Multiplexer und Register durch feste Verdrahtungen ersetzt werden. Da das Gesamtsystem bereits innerhalb des erfindungsgemäßen konfigurierbaren Modul-Arrays vollständig nachgebildet war, tritt das Problem eines Übergangs auf andere Bausteine bei der erfindungsgemäßen Technologie nicht auf.

Die analogen Grundbausteine des erfindungsgemäßen Arrays umfassen beispielsweise Integratoren, Komparatoren, Verstärker, Phasen-Detektoren und einstellbare Referenzen. Die einstellbaren Referenzen können durch multiplizierende Digital-Analog-Wandler realisiert werden.

Bevorzugte Ausführungsbeispiele des erfindungsgemäßen konfigurierbaren, analogen und digitalen Arrays werden nachfolgend unter Bezugnahme auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

- Fig. 1 ein durch Grundbausteine innerhalb der Matrixanordnung erster Ordnung gebildetes Schleifenfilter zweiter Ordnung;
- Fig. 2 einen durch Grundbausteine innerhalb der Matrixanordnung erster Ordnung gebildeten Phasendetektor;
- Fig. 3 eine aus den Schaltungen nach den Fig. 1 und 2 durch die Matrixanordnung zweiter Ordnung gebildete Frequenz-gerastete Regelschleife (FLL);
- Fig. 4 einen steuerbaren Transkonduktanzverstärker;
- Fig. 5 eine minimale Ausführungsform eines erfindungsgemäßen Arrays;
- Fig. 6 eine Darstellung eines von der Matrixanordnung erster Ordnung des erfindungsgemäßen Arrays gebildeten Schleifenfilters zweiter Ordnung;
- Fig. 7 einen von der Matrixanordnung erster Ordnung des erfindungsgemäßen Arrays gebildeten Phasendetektor; und
- Fig. 8 eine der Fig. 5 entsprechende Darstellung des erfindungsgemäßen Arrays bei Programmierung als Frequenz-gerastete Regelschleife.

Fig. 1 zeigt eine erste mögliche Strukturierung innerhalb einer ersten Ebene des erfindungsgemäßen Arrays, die, wie nachfolgend weiter verdeutlicht wird, durch eine Matrixanordnung erster Ordnung gebildet wird. Hier wird von der ersten Ebene gesprochen, da innerhalb dieser Ebene nur eine Konfiguration von Grundbausteinen I1, I2, V1 vorgenommen wird. Die hier gezeigte Konfiguration umfaßt zwei sowohl digital für eine Grobeinstellung als auch analog für eine Feineinstellung steuerbare Integratoren I1, I2 bzw. Tiefpässe erster Ordnung und einen ebenfalls steuerbaren Verstärker V1. Mit den Bezugszeichen Vdc; Vac sind digitale bzw. analoge Steuereingänge bezeichnet.

Fig. 2 zeigt eine weitere erste Ebene des erfindungsgemäßen Arrays, also gleichfalls eine Teilkonfigu-

ration von Grundbausteinen, die durch eine Matrixanordnung erster Ordnung gebildet wird. Bei dieser beispielhaften Schaltung sind zwei Spannungskomparatoren K1, K2 vorgesehen, denen ein Phasendetektor PD nachgeschaltet ist.

Fig. 3 zeigt das Blockschaltbild einer FLL (Frequency-Locked-Loop), d.h. einer Frequenz-gerasteten Regelschleife. Diese Schaltung ist aus drei Blöcken gebildet, die jeweils auf der ersten Ebene des digitalen Arrays gemäß der Erfindung ausgebildet sind, wie durch die Fig. 1 und 2 verdeutlicht ist. Somit kann die in Fig. 3 gezeigte Schaltung als Schaltung der zweiten Ebene bezeichnet werden. Bei dieser Darstellung gemäß Fig. 3 wird die hierarchische Struktur des Analog/Digital-Design des gesamten erfindungsgemäßen Arrays deutlich. Auf der Grundlage von Grundbausteinen werden Makros der ersten Ebene gebildet, die wiederum ein System der zweiten Ebene konfigurieren können, wobei dies auch im Zusammenspiel mit Grundbausteinen aus den unteren Ebenen erfolgen kann.

Das hier gezeigte Ausführungsbeispiel hat eine Strukturierung über zwei Ebenen. Für den Fachmann ist es offenkundig, daß das erfindungsgemäße Konzept eines hierarchischen Arrays sich über mehrere Ebenen durchführen läßt.

Fig. 4 zeigt die Schaltungsarchitektur eines programmierbaren, steuerbaren Transkonduktanzverstärkers OTA in Differenzpfadtechnik. Diese Struktur soll stellvertretend für die anderen Grundbausteine prinzipiell die Steuerungsmöglichkeiten eines Grundbausteines verdeutlichen. Bei der digitalen Einstellung handelt es sich um eine Grobeinstellung. Diese erfolgt durch das Datenwort W2. Die Feineinstellung erfolgt ausgehend von dem Datenwort W1 über einen programmierbaren, multiplizierenden Digital/Analog-Wandler MDAC, wobei derartige analoge Steuerspannungen auch extern bereit gestellt werden können. Ein 10-Bit-Latch L dient zur digitalen Programmierung sowohl für die Grobeinstellung als auch für die Feineinstellung. Diese Latches L sind in den BBB-Reihen/Zeilen der Grundbausteine enthalten, welche in Fig. 5 gezeigt sind und nachfolgend näher unter Bezugnahme auf Fig. 5 erläutert werden.

Wie dargestellt ist, kann die analoge Feineinstellung der Grundbausteine (BBB = basic building block) entweder durch Multiplizieren der Analog/Digital-Wandler mit Hilfe des binären Datenwortes W1 oder durch eine externen analoge Steuerspannung (externe oder adaptive Ansteuerung) durchgeführt werden. Beide Verfahren beeinflussen in erster Linie die Transkonduktanz.

Die digitale Steuerung bewirkt eine digitale Grobeinstellung durch Zu- bzw. Abschalten von vorgefertigten Strom- und Spannungsreferenzen innerhalb der Matrixanordnungen erster Ordnung über das Datenwort W2. Hierdurch kann beispielsweise ebenfalls die Transkonduktanz programmierbar gehalten werden. Weiterhin lassen sich Referenzen zur Dynamik-Anpassung

skalieren.

Wie in Fig. 5 gezeigt ist, umfaßt die dort gezeigte Ausführungsform eine erfindungsgemäße konfigurierbare analoge und digitale Arrayanordnung, vier Matrixanordnungen  $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$  erster Ordnung und eine Matrixanordnung  $M_2$  zweiter Ordnung. Jede Matrixanordnung erster Ordnung  $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$  umfaßt eine Mehrzahl von Grundbausteinen BBB, die dort als BBB-Reihen/Zeilen 1 bis 12 gezeigt sind. Die Verbindungen zwischen den Grundbausteinen innerhalb der Matrixanordnungen  $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$  erfolgen mittels erster Schalter-Matrizen  $S_1$  bis  $S_4$ , die im gezeigten Beispielfall als  $(8 \times 8)$ -Schalter-Matrizen ausgebildet sein können. Die Vernetzungslogik in Verbindung mit den Schalter-Matrix-Einheiten MSU erlaubt kreuzungsfreie Verbindungen, welche über  $m^2$ -Bit-lange Schieberegister 13 bis 16 für die Matrixanordnungen erster Ordnung individuell programmierbar sind ( $m$  = Anzahl der kreuzungsfreien Verbindungen). Um die Anzahl der um die Matrix gruppierten Grundbausteine zu erhöhen, ohne dabei zusätzliche Verbindungswege bereitzustellen, können an der Peripherie dekodierbare Leitungsselektoren eingesetzt werden, die ankommende bzw. abgehende Signal/Versorgungs-Pfade auftrennen und/oder verbinden können. Alle Außenanschlüsse der Matrix können als Eingänge oder Ausgänge oder bidirektionale Anschlüsse programmiert werden. Multiplexer in den Selektoren erlauben eine variable Signal-/Versorgungsführung.

Um eine möglichst große Vielfalt bei der Programmierung der Signal-/Versorgungswege zu erreichen, sind primär zwei verschiedene elementare Vernetzungszustände, nämlich die Überkreuzung und Verknüpfung realisierbar. Bei der Programmierung eines Kreuzungspunktes MSU entsteht eine leitende, bidirektionale Verbindung eines horizontalen und eines vertikalen Leitungssegmentes. Auf diese Segmente lassen sich weitere Kreuzungspunkte MSU zuschalten, so daß auch parallel geführte Leitungssegmente realisiert werden können. Sind die Selektoren an den Matrixrändern deaktiviert, so enden diese Leitungssegmente an der Matrixperipherie. Die Schaltmatrizen werden ausschließlich ohne Separierungseinheiten dargestellt. Soweit dies nicht anders gezeigt ist, enden die Signalpfade bei den gezeigten Strukturen jeweils an der Matrixperipherie.

Wie gleichfalls in Fig. 5 gezeigt ist, bildet dort die Matrixanordnung  $M_2$  zweiter Ordnung zusammen mit den Matrixanordnungen  $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$  erster Ordnung ein konfigurierbares digitales Array mit zwei Ebenen. Die Matrix-Anordnung zweiter Ordnung  $M_2$  umfaßt gleichfalls eine Schaltermatrix, die bei dem hier gezeigten Ausführungsbeispiel als  $(16 \times 16)$ -Schalt-Matrix ausgeführt ist. Die vertikalen Signalleitungen dieser Matrix sind die Eingangs- und Ausgangs-Leitungen der Schalt-Matrizen  $S_1$  bis  $S_4$  der Matrixanordnungen erster Ordnung. Horizontale Leitungen der Schaltermatrix der Matrixanordnung zweiter Ordnung werden durch Aus-

gänge eines 256-Bit-Schieberegisters 17 sowie Array-Eingangs- und Array-Ausgangs-Leitungen gebildet. Letztere bilden eine Schnittstelle 18 für das Array.

Die Schaltermatrizen  $S_1$  bis  $S_5$  bestehen aus 1-Bit-Schaltern und -Speichern, die feldförmig angeordnet sind. Durch Setzen einer "1" oder "0" lassen sich Signal- und/oder Versorgungspfade verbinden bzw. auftrennen.

Fig. 6 zeigt die Umsetzung des Schleifenfilters gemäß Fig. 1 durch eine Matrixanordnung  $M_{11}$  erster Ordnung in der ersten Ebene des Arrays. Mit gleichen Bezugszeichen bezeichnete Schaltungselemente bezeichnen gleiche Bestandteile in sämtlichen Figuren, so daß deren Funktion und Struktur nicht nochmals erläutert werden muß. Wie hier leicht zu sehen ist, werden durch die Konfigurierung, die durch den Inhalt des Schieberegisters 13 vorgegeben ist, bestimmte Grundbausteine aus den BBB-Reihen/Zeilen 1, 2, 3 selektiert und in gewünschter Weise miteinander verschaltet. Besonders deutlich wird hier auch die Funktion des 64-Bit-Schieberegisters 13 für die analoge Konfiguration sowie diejenige des 16-Bit-Schieberegisters 19 für die digitale Grobsteuerung.

Fig. 7 zeigt eine der Fig. 2 entsprechende Darstellung eines Phasen-Detektors mit zwei Spannungskomparatoren, wie er durch die dritte Matrixanordnung  $M_{13}$  erster Ordnung gebildet wird. Auch hier dient das 64-Bit-Schieberegister 15 für die analoge Konfiguration, während das 16-Bit-Schieberegister 20 für die digitale Grobsteuerung verwendet wird.

Fig. 8 zeigt das gesamte Verdrahtungsnetzwerk, welches durch das Array gemäß Fig. 5 gebildet wird, um die Frequenz-gerastete Regelschleife gemäß Fig. 3 in der zweiten Ebene des Arrays zu implementieren. Da die Bestandteile unter Bezugnahme auf vorhergehende Figuren erläutert wurden, bedarf es keiner nochmaligen Erläuterung der einzelnen Matrixanordnungen.

## 40 Patentansprüche

### 1. Konfigurierbares Array, mit

zumindest zwei Matrixanordnungen ( $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$ ) erster Ordnung, mit einer Mehrzahl von reihenförmig und/oder spaltenförmig angeordneten Grundbausteinen (BBB) und je einer ersten Schaltermatrix ( $S_1$ ,  $S_2$ ,  $S_3$ ,  $S_4$ ); und

zumindest einer Matrixanordnung ( $M_2$ ) zweiter Ordnung mit einer zweiten Schaltermatrix ( $S_5$ ), die die zumindest zwei Matrixanordnungen ( $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$ ) erster Ordnung verbindet;

dadurch gekennzeichnet, daß

die Grundbausteine (BBB) digitale und zumindest teilweise analoge Grundbausteine sind;

die Matrixanordnungen ( $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$ ) erster Ordnung und die Matrixanordnung ( $M_2$ ) zweiter Ordnung auf einem gemeinsamen Substrat angeordnet sind;

das konfigurierbare Array eine Vorrichtung (13, 14, 15, 16) zum Einbringen von Konfigurationsdaten und zum Konfigurieren des Arrays aufweist;

die jeweilige erste Schaltermatrix ( $S_1$ ,  $S_2$ ,  $S_3$ ,  $S_4$ ) durch die Vorrichtung (13, 14, 15, 16) zum Einbringen von Konfigurationsdaten ansteuerbar ist, um die Signaleingänge und/oder die Signalausgänge der Grundbausteine gegenseitig zu verbinden, und um die Grundbausteine mit Matrixeingängen und/oder Matrixausgängen der Matrixanordnung der ersten Ordnung zu verbinden;

die zweite Schaltermatrix ( $S_5$ ) direkt mit den Arrayeingängen und Arrayausgängen (17, 18) verbunden ist und durch die Vorrichtung (13, 14, 15, 16) zum Einbringen von Konfigurationsdaten ansteuerbar ist, um die Matrixeingänge und/oder die Matrixausgänge der Matrixanordnungen ( $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$ ) erster Ordnung gegenseitig zu verbinden, und um die Matrixeingänge und die Matrixausgänge der Matrixanordnungen ( $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$ ) erster Ordnung mit Arrayeingängen und Arrayausgängen (17, 18) zu verbinden.

2. Array nach Anspruch 1, dadurch gekennzeichnet, daß die Grundbausteine (BBB) ferner einen analogen und/oder digitalen Steuereingang haben.
3. Array nach Anspruch 2, dadurch gekennzeichnet, daß jede Matrixanordnung ( $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$ ) erster Ordnung ein Parametrisierungsregister (13, 14, 15, 16, 19, 20) aufweist, das sowohl digitale Steuersignale für die digitalen Steuereingänge der Grundbausteine (BBB, 19, 20) als auch die Ansteuerungsbits für die Schalter (13, 14, 15, 16) beinhaltet.
4. Array nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß jede Matrixanordnung ( $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$ ) erster Ordnung einen multiplizierenden Digital/Analog-Wandler (MDC) aufweist, der mit einem binären Datenwort ( $W_1$ ) von einem Parametrisierungsregister (19, 20) zur Erzeugung eines analogen Steuersignales ( $V_{ac}$ ) für den analogen Steuereingang des Grundbausteines (BBB) beaufschlagt wird.
5. Array nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet,

daß die Konfiguration von Grundbausteinen (BBB) zu einem Gesamtsystem durch Ansteuerung der analogen und digitalen Steuereingänge der Grundbausteine (BBB) und durch Ansteuerung der Schalter (MSU) der ersten und zweiten Matrixanordnungen ( $M_{11}$ ,  $M_{12}$ ,  $M_{13}$ ,  $M_{14}$ ;  $M_2$ ) über die Matrixeingänge und die Arrayeingänge vorgenommen wird.

- 5
6. Anordnung nach Anspruch 5, dadurch gekennzeichnet, daß ein Schieberegister (13, 14, 15, 16, 17) vorgesehen ist, in das Daten für die Konfiguration seriell eingelesen werden können und das das Parametrisierungsregister bildet.
- 10
7. Array nach Anspruch 5, dadurch gekennzeichnet, daß eine parallele Schnittstelle vorgesehen ist, die ein paralleles Einbringen der Konfigurationsdaten in das Array ermöglicht.
- 15
8. Array nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß wenigstens einem Teil der Grundbausteine (BBB) je ein Qualifizierungsregister zugeordnet ist, das als Schreib/Lese-Speicher oder als Festwertspeicher ausgebildet ist, welches zumindest eine Information über den Totalausfall des Grundbausteines (BBB) beinhaltet.
- 20
9. Array nach Anspruch 8, dadurch gekennzeichnet, daß das Qualifizierungsregister ferner Informationen über Betriebseigenschaften des Grundbausteines (BBB) beinhaltet.
- 25
10. Array nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß zumindest diejenigen Grundbausteine (BBB), die statisch nicht verlustlos sind, über einen Leistungsabschaltungseingang von der Betriebsspannung trennbar sind.
- 30
11. Array nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß das Array in BICMOS-Technologie implementiert ist.
- 35
12. Array nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß die analogen Grundbausteine (BBB) wenigstens eine der folgenden Komponenten umfassen:
  - Integratoren, Komparatoren, Verstärker, Phasendetektoren und einstellbare Referenzen.
- 40
13. Array nach Anspruch 12, dadurch gekennzeichnet, daß die einstellbaren Referenzen durch multiplizie-
- 45
- 50
- 55

rende Digital/Analog-Wandler (MDAC) gebildet sind.

14. Array nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß die erste Schaltermatrix ( $S_1, S_2, S_3, S_4$ ) und die zweite Schaltermatrix ( $S_5$ ) aus einer Mehrzahl von matrixförmig angeordneten 1-Bit-Schaltern und -Speichern (MSU) bestehen.

### Claims

1. A configurable array, comprising

at least two first-order matrix arrays ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) comprising a plurality of basic elements (BBB) which are arranged in rows and/or columns, and including each a first switch matrix ( $S_1, S_2, S_3, S_4$ ); and

at least one second-order matrix array ( $M_2$ ) including a second switch matrix ( $S_5$ ) which connects the at least two first-order matrix arrays ( $M_{11}, M_{12}, M_{13}, M_{14}$ );

characterized in that

the basic elements (BBB) are digital and at least partially analog basic elements;

the first-order matrix arrays ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) and the second-order matrix array ( $M_2$ ) are arranged on a common substrate;

the configurable array is provided with a device (13, 14, 15, 16) for inputting configuration data and for configuring the array;

the respective first switch matrix ( $S_1, S_2, S_3, S_4$ ) is adapted to be controlled by said device (13, 14, 15, 16) for inputting configuration data so as to interconnect the signal inputs and/or the signal outputs of the basic elements and so as to connect the basic elements to matrix inputs and/or matrix outputs of the first-order matrix array;

the second switch matrix ( $S_5$ ) is directly connected to the array inputs and array outputs (17, 18) and is adapted to be controlled by said device (13, 14, 15, 16) for inputting configuration data so as to interconnect the matrix inputs and/or the matrix outputs of the first-order matrix arrays ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) and so as connect the matrix inputs and the matrix outputs of the first-order matrix arrays ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) to array inputs and array outputs (17, 18).

2. An array according to claim 1, characterized in that the basic elements (BBB) additionally have an analog and/or digital control input.

3. An array according to claim 2, characterized in that each first-order matrix array ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) includes a parametrization register (13, 14, 15, 16, 19, 20) containing digital control signals for the digital control inputs of the basic elements (BBB, 19, 20) as well as control bits for the switches (13, 14, 15, 16).

4. An array according to claim 2 or 3, characterized in that each first-order matrix array ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) includes a multiplying digital/analog converter (MDC) which is acted upon by a binary data word (W1) from a parametrization register (19, 20) for generating an analog control signal (Vac) for the analog control input of the basic element (BBB).

5. An array according to claim one of the claims 2 to 4, characterized in that the basic elements (BBB) are configured into a complete system by controlling the analog and digital control inputs of said basic elements (BBB) and by controlling the switches (MSU) of said first and second matrix arrays ( $M_{11}, M_{12}, M_{13}, M_{14}, M_2$ ) via the matrix inputs and the array inputs.

6. An array according to claim 5, characterized in that a shift register (13, 14, 15, 16, 17) is provided into which data for the configuration can be read serially and which defines the parametrization register.

7. An array according to claim 5, characterized in that a parallel interface is provided, which permits parallel input of the configuration data into the array.

8. An array according to claim one of the claims 1 to 7, characterized in that at least some of the basic elements (BBB) have each a qualification register associated with each of them, said qualification register being constructed as a read-write memory or as a read-only memory and containing at least one information on the total failure of the basic element (BBB).

9. An array according to claim 8, characterized in that the qualification register additionally contains information on operating characteristics of the basic element (BBB).

10. An array according to claim one of the claims 1 to 9, characterized in that at least the basic elements (BBB) which are not statically loss-free can be separated from the operating voltage via a power disconnection input.

11. An array according to one of the claims 1 to 10, characterized in that the array is implemented in BICMOS technology.

12. An array according to one of the claims 1 to 11, characterized in

that the analog basic elements (BBB) comprise at least one of the following components:

integrators, comparators, amplifiers, phase detectors and adjustable references.

13. An array according to claim 12, characterized in that the adjustable references consist of multiplying digital/analog converters (MDAC).

14. An array according to one of the claims 1 to 13, characterized in that the first switch matrix ( $S_1, S_2, S_3, S_4$ ) and the second switch matrix ( $S_5$ ) consist of a plurality of 1-bit switches and 1-bit memories (MSU) arranged in the form of a matrix.

## Revendications

1. Réseau configurable, avec

au moins deux dispositions en matrice ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) de premier ordre avec une pluralité de composants de base (BBB) disposés en rangée et/ou colonne et, chacune, une première matrice de commutateurs ( $S_1, S_2, S_3, S_4$ ), et

au moins une disposition en matrice ( $M_2$ ) de second ordre avec une seconde matrice de commutateurs ( $S_5$ ) qui relie les au moins deux dispositions en matrice ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) de premier ordre,

caractérisé par le fait que

les composants de base (BBB) sont des composants de base numériques et au moins en partie analogiques,

les dispositions en matrice ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) de premier ordre et la disposition en matrice ( $M_2$ ) de second ordre sont disposées sur un substrat commun,

le réseau configurable présente un dispositif (13, 14, 15, 16) destiné à entrer des données de configuration et à configurer le réseau,

la première matrice de commutateurs ( $S_1, S_2, S_3, S_4$ ) concernée peut être commandée par le dispositif (13, 14, 15, 16) destiné à entrer des données de configuration, pour relier mutuelle-

ment les entrées de signal et/ou les sorties de signal des composants de base et pour relier les composants de base aux entrées de matrice et/ou aux sorties de matrice de la disposition en matrice de premier ordre,

la seconde matrice de commutateurs ( $S_5$ ) est reliée directement aux entrées de réseau et aux sorties de réseau (17, 18) et peut être commandée par le dispositif (13, 14, 15, 16) destiné à entrer des données de configuration, pour relier mutuellement les entrées de matrice et/ou les sorties de matrice des dispositions en matrice ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) de premier ordre et pour relier les entrées de matrice et les sorties de matrice des dispositions en matrice ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) de premier ordre à des entrées de réseau et des sorties de réseau (17, 18).

2. Réseau suivant la revendication 1, caractérisé par le fait que les composants de base (BBB) présentent, par ailleurs, une entrée de commande analogique et/ou numérique.

3. Réseau suivant la revendication 2, caractérisé par le fait que chaque disposition en matrice ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) de premier ordre présente un registre de paramétrage (13, 14, 15, 16, 19, 20) qui contient tant des signaux de commande numériques pour les entrées de commande numérique des composants de base (BBB, 19, 20) que les bits de commande pour les commutateurs (13, 14, 15, 16).

4. Réseau suivant la revendication 2 ou 3, caractérisé par le fait que chaque disposition en matrice ( $M_{11}, M_{12}, M_{13}, M_{14}$ ) de premier ordre présente un convertisseur numérique/analogique multiplicateur (MDC) qui peut être soumis à l'admission d'un mot de données binaire (W1) d'un registre de paramétrage (19, 20) pour générer un signal de commande analogique (Vac) pour l'entrée de commande analogique du composant de base (BBB).

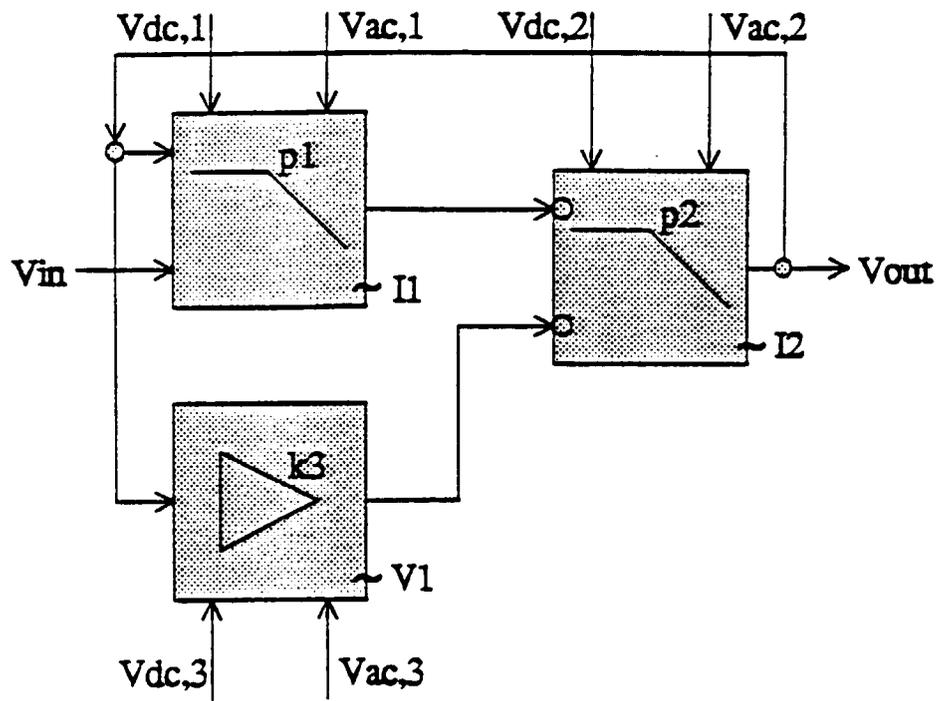
5. Réseau suivant l'une des revendications 2 à 4, caractérisé par le fait que la configuration de composants de base (BBB) pour former un système global par la commande des entrées de commande analogique et numérique des composants de base (BBB) et par la commande des commutateurs (MSU) des premières et seconde dispositions en matrice ( $M_{11}, M_{12}, M_{13}, M_{14}; M_2$ ) s'effectue par les entrées de matrice et les entrées de réseaux.

6. Disposition suivant la revendication 5, caractérisée par le fait qu'il est prévu un registre à tiroir (13, 14, 15, 16, 17) dans lequel peuvent être entrées en série des données pour la configuration et qui constitue le registre de paramétrage.

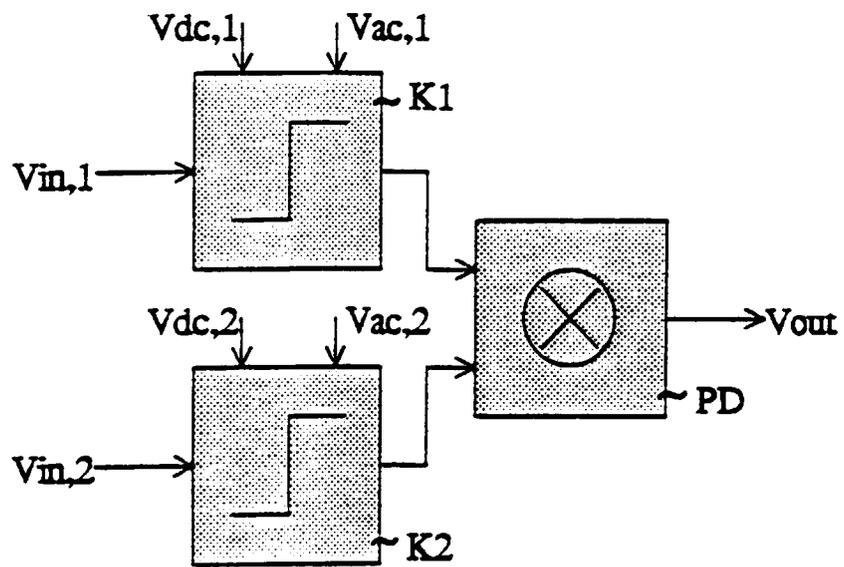
7. Réseau suivant la revendication 5, caractérisé par le fait qu'il est prévu une interface parallèle qui permet l'entrée en parallèle des données de configuration dans le réseau. 5
8. Réseau suivant l'une des revendications 1 à 7, caractérisé par le fait qu'à chacun d'au moins une partie des composants de base (BBB) est associé un registre de qualification qui se présente sous forme de mémoire d'écriture/ lecture ou de mémoire à valeur fixe qui contient au moins une information sur la défaillance totale du composant de base (BBB). 10
9. Réseau suivant la revendication 8, caractérisé par le fait que le registre de qualification contient, par ailleurs, des informations sur les propriétés de fonctionnement du composant de base (BBB). 15
10. Réseau suivant l'une des revendications 1 à 9, caractérisé par le fait qu'au moins les composants de base (BBB) qui ne sont statiquement pas sans perte peuvent être mis hors tension de fonctionnement par l'intermédiaire d'une entrée de coupure de courant. 20
11. Réseau suivant l'une des revendications 1 à 10, caractérisé par le fait que le réseau est mis en œuvre selon la technologie BICMOS. 25
12. Réseau suivant l'une des revendications 1 à 11, caractérisé par le fait que les composants de base (BBB) analogiques comprennent au moins l'un des composants suivants: intégrateurs, comparateurs, amplificateurs, détecteurs de phase et références réglables. 30  
35
13. Réseau suivant la revendication 12, caractérisé par le fait que les références réglables sont constituées par des convertisseurs numérique/analogique multiplicateurs (MDAC). 40
14. Réseau suivant l'une des revendications 1 à 13, caractérisé par le fait que la première matrice de commutateurs ( $S_1, S_2, S_3, S_4$ ) et la seconde matrice de commutateurs ( $S_5$ ) se composent d'une pluralité de commutateurs et de mémoires à 1 bit (MSU) disposés en matrice. 45

50

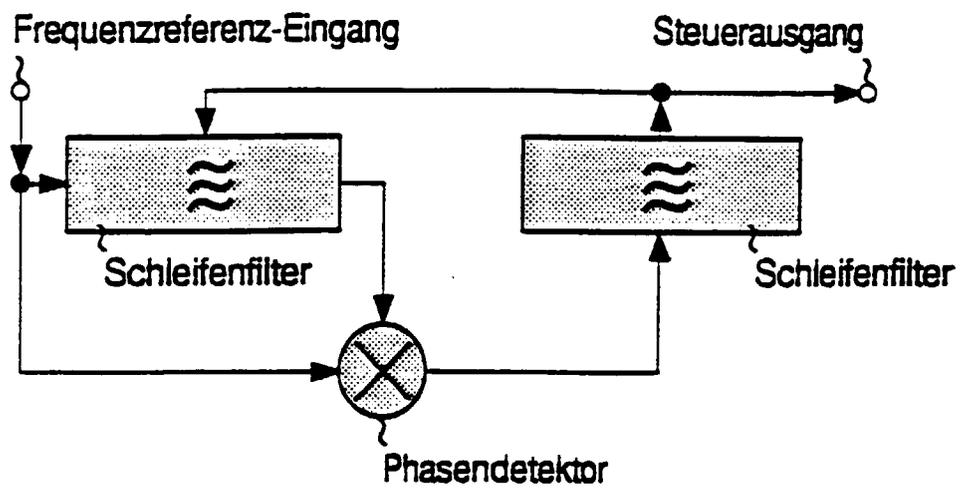
55



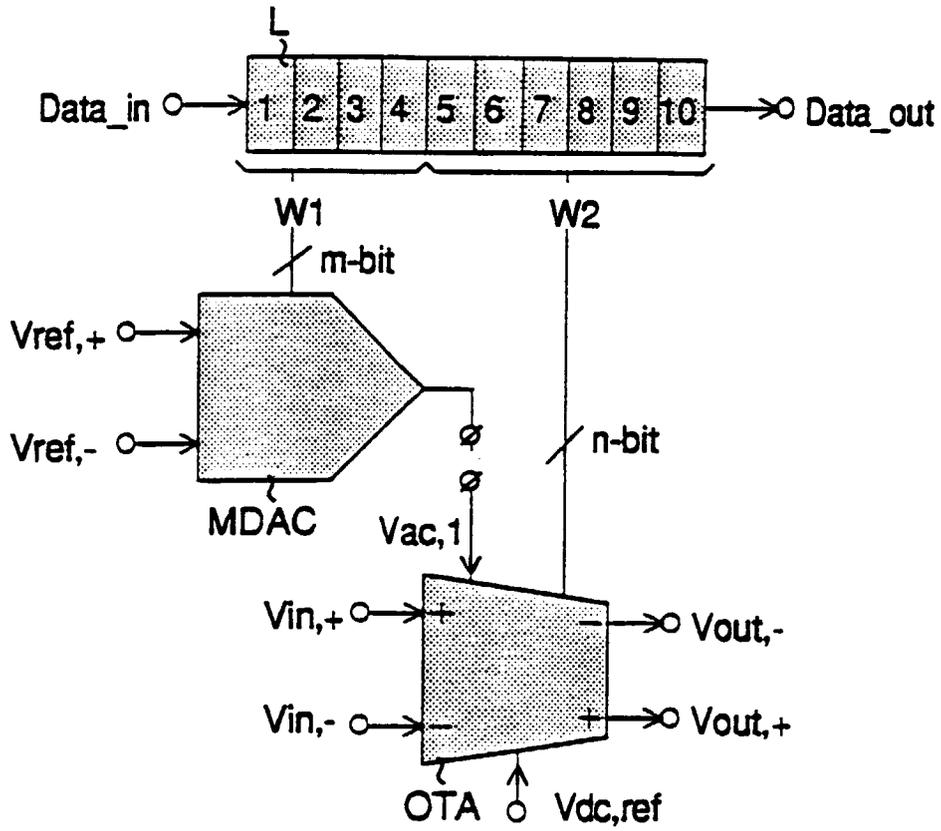
**FIGUR 1**



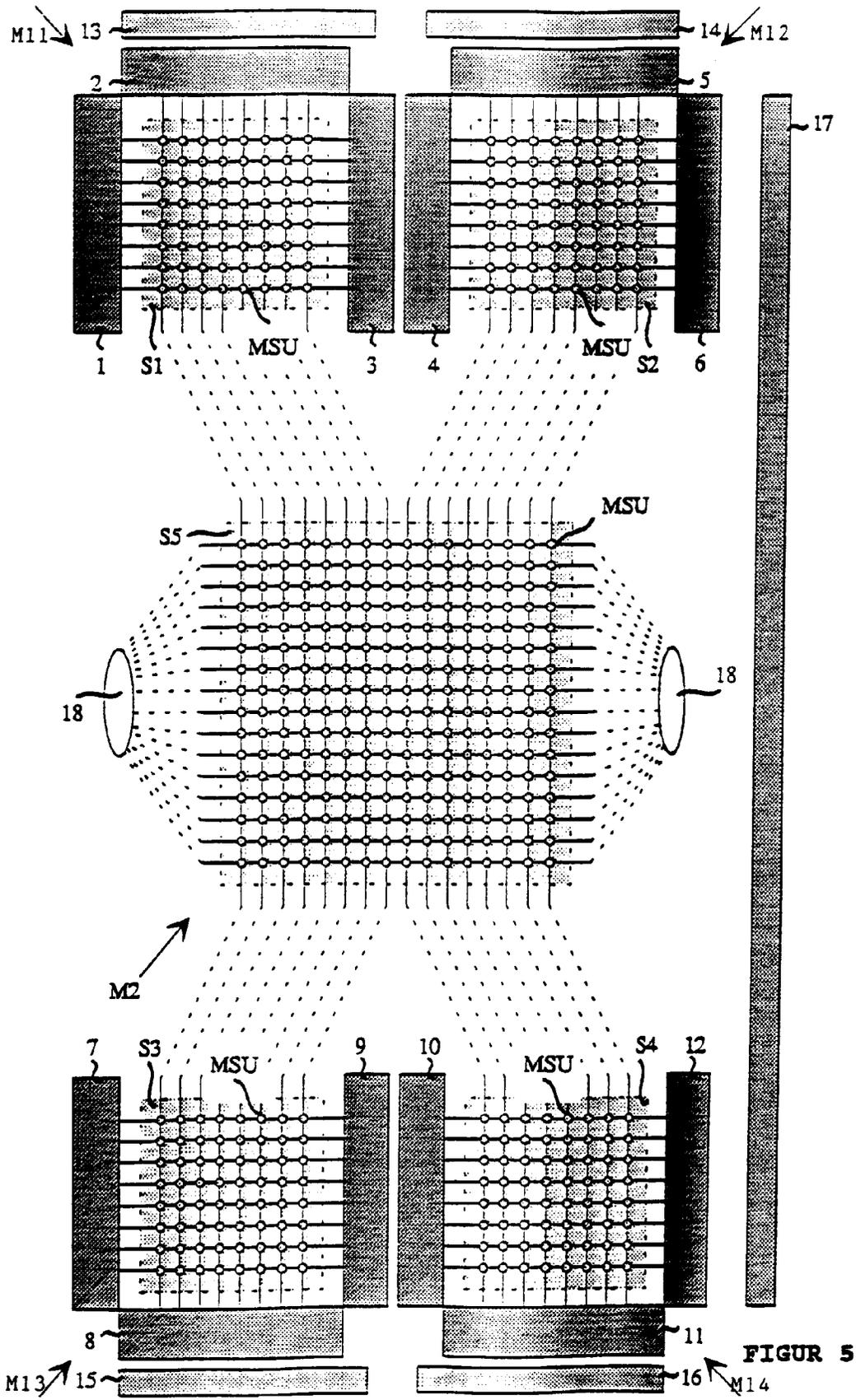
**FIGUR 2**



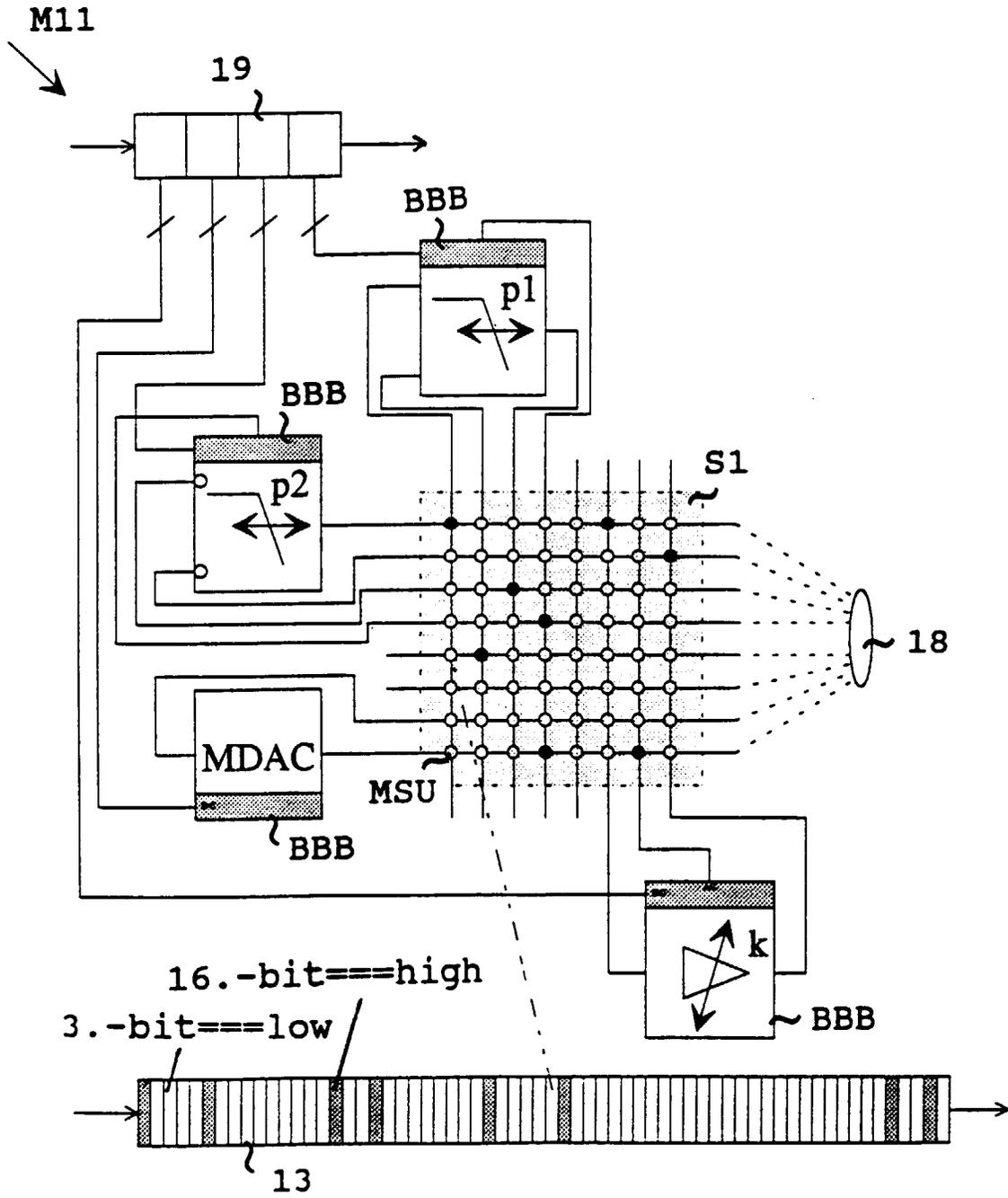
**FIGUR 3**



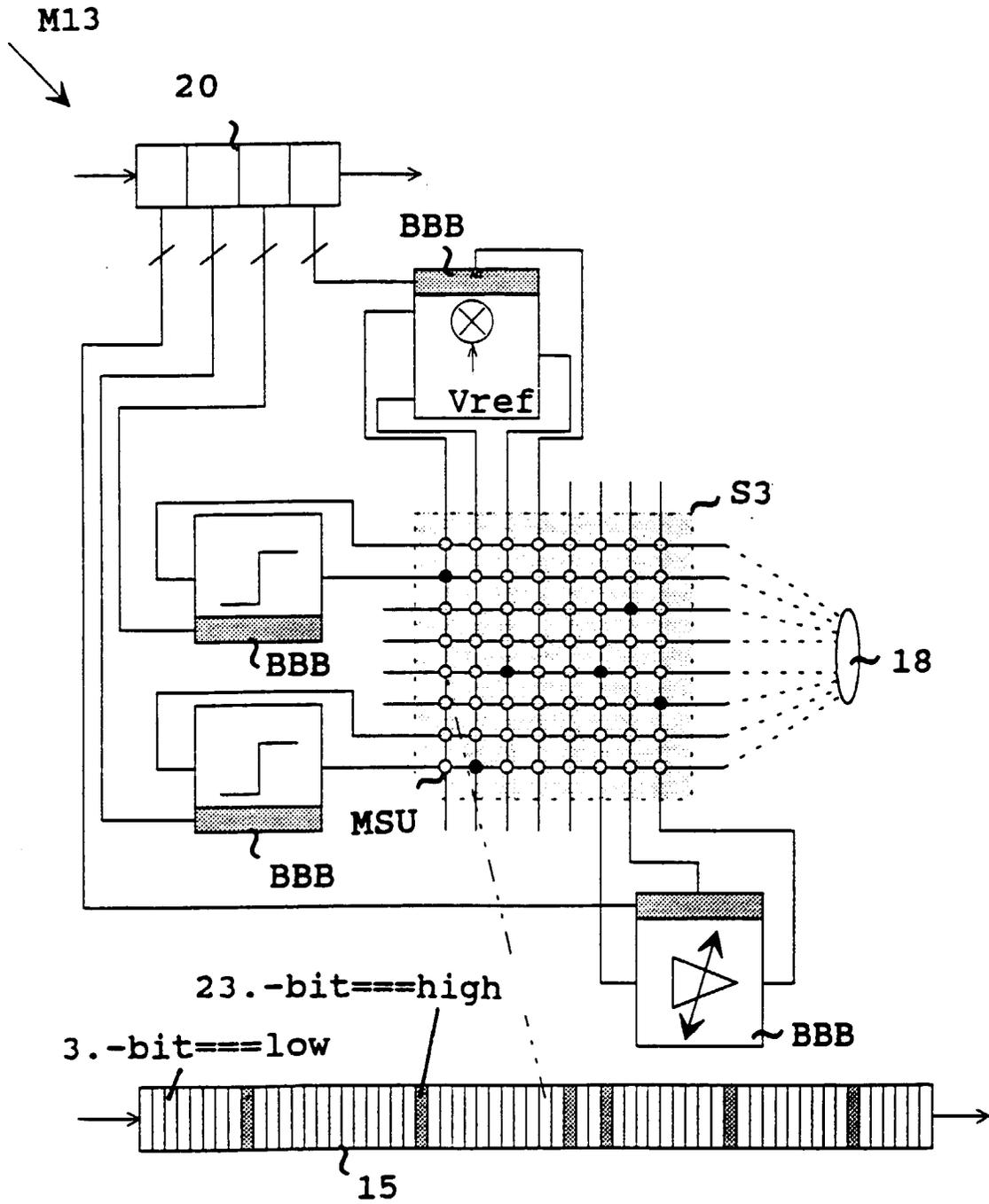
**FIGUR 4**



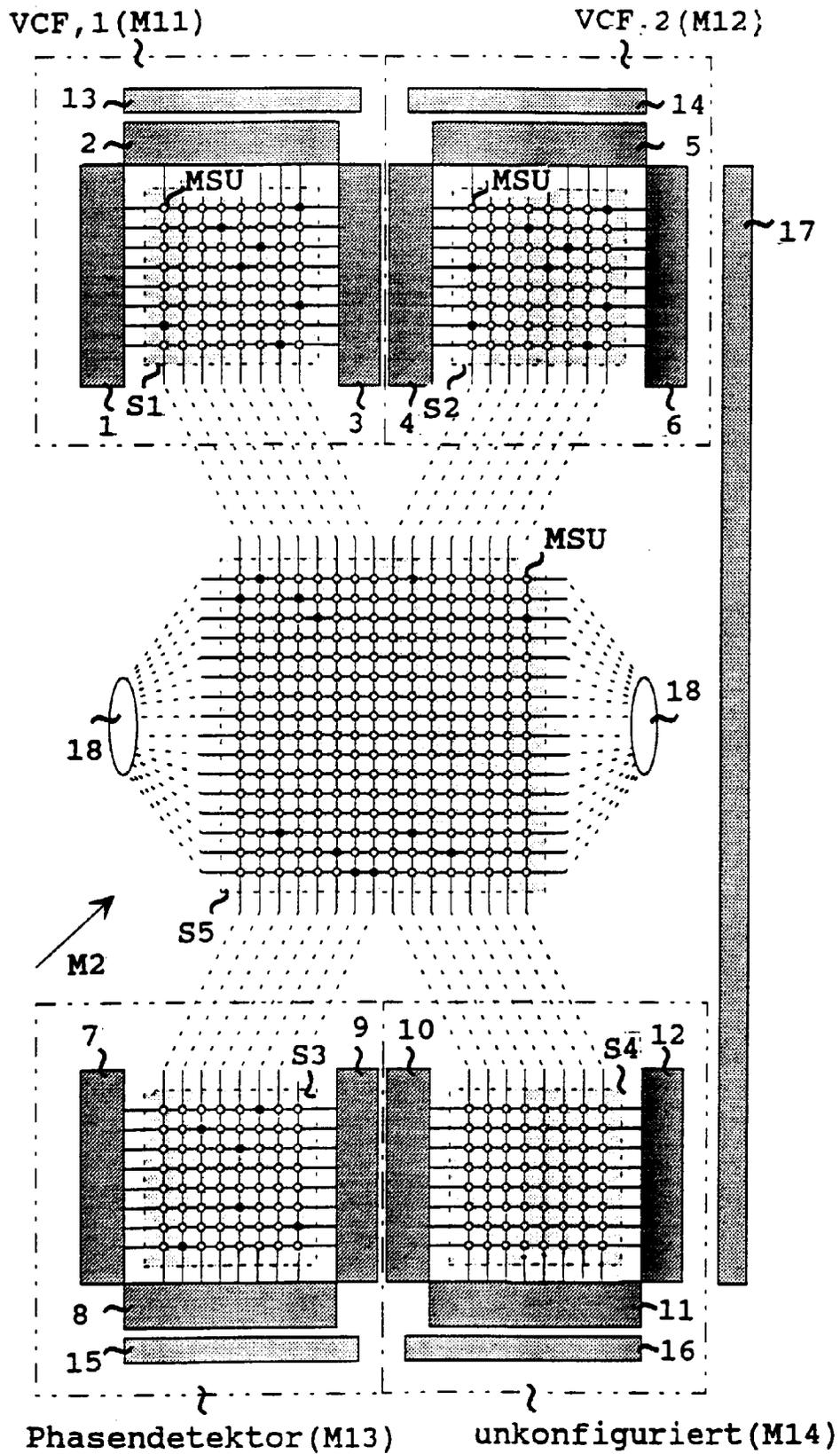
FIGUR 5



FIGUR 6



FIGUR 7



FIGUR 8