



(12)发明专利

(10)授权公告号 CN 106027349 B

(45)授权公告日 2019.01.18

(21)申请号 201610278267.6

H04L 12/823(2013.01)

(22)申请日 2016.04.29

H04L 12/863(2013.01)

(65)同一申请的已公布的文献号

申请公布号 CN 106027349 A

(56)对比文件

CN 104753813 A,2015.07.01,

CN 104038450 A,2014.09.10,

CN 102495920 A,2012.06.13,

CN 103888293 A,2014.06.25,

CN 105356988 A,2016.02.24,

CN 101878475 A,2010.11.03,

(43)申请公布日 2016.10.12

(73)专利权人 重庆爱思网安信息技术有限公司

地址 401121 重庆市北部新区青枫北路30

号拓展区A5栋第七层左

(72)发明人 杨嘉渔 雷维嘉 田庆宜 夏斌

朱容宇 阮东明

审查员 李玲

(74)专利代理机构 重庆市前沿专利事务所(普

通合伙) 50211

代理人 王丹

(51)Int.Cl.

H04L 12/40(2006.01)

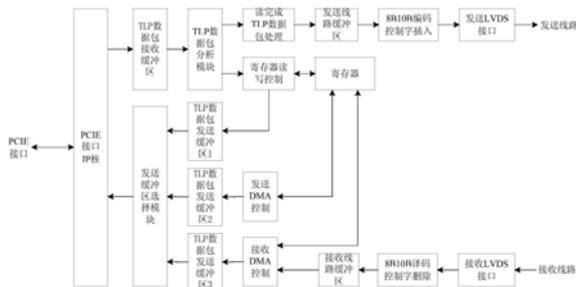
权利要求书3页 说明书8页 附图7页

(54)发明名称

一种PCI-E总线接口传输卡及基于该传输卡的数据传输方法

(57)摘要

本发明提出一种PCI-E总线接口传输卡及基于该传输卡的数据传输方法。该传输卡包括PCI-E接口IP核、寄存器、寄存器读写控制模块、TLP数据包分析模块、发送模块和/或接收模块;发送模块包括发送线路和发送DMA控制模块,接收模块包括接收线路和接收DMA控制模块,发送线路、接收线路的数量均为非负整数;PCI-E接口IP核与TLP数据包分析模块通信连接,TLP数据包分析模块第一输出端连接发送线路输入端,发送线路输出端与发送线路连接,TLP数据包分析模块第二输出端连接寄存器读写控制模块输入端,读写控制模块与寄存器双向连接,寄存器与发送DMA控制模块双向连接。该传输卡能快速准确的进行对数据的发送与接收。



1. 一种PCI-E总线接口传输卡,包括PCI-E接口IP核和寄存器,其特征在于,还包括寄存器读写控制模块、TLP数据包分析模块、发送模块和接收模块;

所述发送模块包括发送线路和发送DMA控制模块,所述接收模块包括接收线路和接收DMA控制模块,所述发送线路、接收线路的数量均为非负整数;

所述PCI-E接口IP核与所述TLP数据包分析模块通信连接,所述TLP数据包分析模块第一输出端连接所述发送线路输入端,所述TLP数据包分析模块第二输出端连接所述寄存器读写控制模块输入端,所述读写控制模块与所述寄存器双向连接,所述寄存器与所述发送DMA控制模块双向连接;

所述接收线路输出端连接所述接收DMA控制模块输入端,所述DMA控制模块与所述寄存器双向连接,所述接收DMA控制模块输出端连接至所述PCI-E接口IP核;

数据发送时,主机先将需要发送的数据写入到内存中的缓冲区中,然后将包含数据长度、启动数据发送标志的控制字写入所述寄存器中;所述发送DMA控制模块通过PCI-E接口发送读请求TLP数据包给所述TLP数据包分析模块,所述TLP数据包分析模块判断所收到的TLP数据包是否为读请求TLP数据包,如果是,则所述寄存器读写控制模块根据读请求TLP数据包中的地址读出寄存器中的数据,并向加上读完成TLP数据的包头通过PCI-E接口再发送给所述TLP数据包分析模块,所述TLP数据包分析模块判断所收到的TLP数据包是否为读完成TLP数据包,如果是,则将该读完成TLP数据包发送至所述发送线路进行数据发送;

数据接收时,所述数据接收线路将接收到的数据发送至所述接收DMA控制模块,所述接收DMA控制模块通过PCI-E接口发送写请求TLP数据包给所述TLP数据包分析模块,所述TLP数据包分析模块判断所接收到的TLP数据包是否为写请求TLP数据包,如果是,则所述寄存器读写控制模块读出写请求TLP数据包中的地址和数据,并将数据写入到地址部分指定的寄存器中,然后通过PCI-E接口写入主机内存。

2. 根据权利要求1所述的PCI-E总线接口传输卡,其特征在于,还包括TLP数据包接收缓冲区,所述TLP数据包接收缓冲区分别与所述PCI-E接口IP核和所述TLP数据包分析模块通信连接。

3. 根据权利要求1所述的PCI-E总线接口传输卡,其特征在于,还包括第一TLP数据包发送缓冲区、第二TLP数据包发送缓冲区和第三TLP数据包发送缓冲区,所述第一TLP数据包发送缓冲区分别与所述寄存器读写控制模块和PCI-E接口IP核通信连接,所述第二TLP数据包发送缓冲区分别与所述发送DMA控制模块和PCI-E接口IP核通信连接,所述第三TLP数据包发送缓冲区分别与所述接收DMA控制模块和PCI-E接口IP核通信连接。

4. 根据权利要求3所述的PCI-E总线接口传输卡,其特征在于,还包括发送缓冲区选择模块,所述第一TLP数据包发送缓冲区、第二TLP数据包发送缓冲区和第三TLP数据包发送缓冲区的输出端均连接至所述发送缓冲区选择模块输入端,所述发送缓冲区选择模块与所述PCI-E接口IP核通信连接;

所述发送缓冲区选择模块根据优先级准则控制将所述第一TLP数据包发送缓冲区、第二TLP数据包发送缓冲区和第三TLP数据包发送缓冲区中的数据包传输到PCIE接口。

5. 根据权利要求1所述的PCI-E总线接口传输卡,其特征在于,所述发送线路包括:所述发送线路包括读完成TLP数据包处理模块、发送线路缓冲区、编码器和发送LVDS接口;

所述TLP数据包分析模块第一输出端连接所述读完成TLP数据包处理模块输入端,所述

读完成TLP数据包处理模块输出端连接所述发送线路缓冲区输入端,所述发送线路缓冲区输出端连接所述编码器输入端,所述编码器通过所述发送LVDS接口与所述发送线路连接;

所述读完成TLP数据包处理模块将读完成TLP数据包中的数据写入所述发送线路缓冲区中,然后由所述编码器进行编码并插入控制字符,再由所述发送LVDS接口对数据进行串并变换后发送至发送线路中。

6.根据权利要求1所述的PCI-E总线接口传输卡,其特征在于,所述接收线路包括接收LVDS接口、译码器和接收线路缓冲区;

所述接收LVDS接口分别与接收线路和所述译码器连接,所述译码器输出端连接所述接收线路缓冲区输入端,所述接收线路缓冲区输出端连接至所述接收DMA控制模块输入端;

所述接收LVDS接口从接收线路中接收到数据,并对其进行串并变换和控制字符的检测,控制字符检测到后将数据发送给所述译码器进行数据解码,再将解码后的数据发送至所述接收线路缓冲区中并向所述接收DMA控制模块发送线路数据接收标志,所述接收DMA控制模块在检测到线路数据已接收的标志有效后,启动接收DMA过程,将数据传输到主机内存中的缓冲区中。

7.一种基于权利要求1所述的PCI-E总线接口传输卡的数据传输方法,其特征在于,数据传输过程中使用第一传输卡和第二传输卡,所述第一传输卡和第二传输卡均为权利要求1中所述的PCI-E总线接口传输卡,所述第一传输卡和第二传输卡通信连接,包括以下步骤:

S1、数据发送时,发送设备先将发送的数据写入到内存中的缓冲区中,然后将包含数据长度、启动数据发送标志的控制字写到第一传输卡的发送控制寄存器中;

S2、第一传输卡在检测到启动数据发送标志有效后,判断第一传输卡的发送线路是否连接,以及第一传输卡的发送线路缓存是否可用,若可用则启动数据发送过程,否则等待发送线路和缓存可用;

S3、数据发送过程启动后,开始DMA传输,第一传输卡的发送DMA控制模块将包含读取的数据地址和数据长度的读请求TLP数据包通过PCI-E接口发送给第一传输卡的TLP数据包分析模块;

S4、第一传输卡的TLP数据包分析模块判断所收到的TLP数据包具体为读请求TLP数据包还是读完成TLP数据包,如果为读请求TLP数据包,则执行步骤S5,如果为读完成TLP数据包,则执行步骤S6;

S5、第一传输卡的寄存器读写控制模块根据读请求TLP数据包中的地址读出寄存器中的数据,并加上读完成TLP数据的包头通过PCI-E接口发送给第一传输卡的TLP数据包分析模块,然后执行步骤S4;

S6、第一传输卡的TLP数据包分析模块将读完成TLP数据包发送至第一传输卡的发送线路进行数据发送;

S7、所述第二传输卡对数据进行接收,所述第二传输卡的接收线路接收数据,并将接收到的数据发送至第二传输卡的接收DMA控制模块;

S8、第二传输卡的接收DMA控制模块通过PCI-E接口发送写请求TLP数据包给第二传输卡的TLP数据包分析模块;

S9、第二传输卡的TLP数据包分析模块判断所接收到的TLP数据包是否为写请求TLP数据包,如果是,则执行步骤S10;

S10、第二传输卡的寄存器读写控制模块读出写请求TLP数据包中的地址和数据,并将数据写入到地址部分指定的寄存器中,然后通过PCI-E接口写入接收设备内存。

8. 根据权利要求7所述的基于PCI -E总线接口传输卡的数据传输方法,其特征在于,所述步骤S3中,在DMA传输之前,发送DMA控制模块根据数据长度计算需要进行DMA传输的次数;

在所述步骤S7中,接收DMA控制模块接收数据之前,接收DMA控制模块根据数据长度计算DMA传输的次数。

9. 根据权利要求7所述的基于PCI -E总线接口传输卡的数据传输方法,其特征在于,发送数据时,发送线路需对数据进行编码以及插入对齐、开始或结束的控制字符;数据接收时,接收线路需对数据进行控制字符的检测和译码。

一种PCI-E总线接口传输卡及基于该传输卡的数据传输方法

技术领域

[0001] 本发明涉及计算机领域,具体涉及一种PCI-E总线接口传输卡及基于该传输卡的数据传输方法。

背景技术

[0002] PCI-Express是最新的总线和接口标准,通常简称为PCI-E,是由英特尔在2001年提出的。PCI-E属于高速串行点对点双通道高带宽传输,所连接的设备分配独享通道带宽,不共享总线带宽,主要支持主动电源管理,错误报告,端对端的可靠性传输,热插拔以及服务质量(QoS)等功能。

[0003] PCI-E采用了目前业内流行的点对点串行连接,比起PCI以及更早期的计算机总线的共享并架构,每个设备都有自己的专用连接,不需要向整个总线请求带宽,而且可以把数据传输率提高到一个很高的频率,达到PCI所不能提供的高带宽。相对于传统PCI总线在单一时间周期内只能实现单向传输,PCI-E 的双单工连接能提供更高的传输效率和质量,它们之间的差异跟半双工和全双工类似。PCI-E的主要优势就是数据传输速率高,而且还有相当大的发展潜力。

[0004] 但是目前PCI-E数据传输速度仍受传输卡的限制,从而制约在数据传输方面不能较好的发挥出其传输速率高的优势。

[0005] 并且,在考察数据的传输的优良性时,除了对数据传输速率的比较外,还涉及到对数据的安全性的考量。目前针对于PCI-E接口数据传输装置在数据安全性上,大都是通过简单的发送数据接口、接收数据接口、发送缓存、接收缓存以及数据命令配置接口等来实现对数据的传输以及安全性的监控,如申请号 2013106645871所公开的内容所示。然而,在信息安全要求越来越高的今天,这种数据传输装置已经不能满足人们对数据安全性的高要求。

发明内容

[0006] 为了克服上述现有技术中存在的缺陷,本发明的目的是提供一种安全性能高、能快速完整的进行数据传输的PCI-E总线接口传输卡及基于该传输卡的数据传输方法。

[0007] 为了实现本发明的上述目的,本发明提供了一种PCI-E总线接口传输卡,包括PCI-E接口IP核和寄存器,还包括寄存器读写控制模块、TLP数据包分析模块、发送模块和/或接收模块;

[0008] 所述发送模块包括发送线路和发送DMA控制模块,所述接收模块包括接收线路和接收DMA控制模块,所述发送线路、接收线路的数量均为非负整数;

[0009] 所述PCI-E接口IP核与所述TLP数据包分析模块通信连接,所述TLP数据包分析模块第一输出端连接所述发送线路输入端,所述发送线路输出端与发送线路连接,所述TLP数据包分析模块第二输出端连接所述寄存器读写控制模块输入端,所述读写控制模块与所述寄存器双向连接,所述寄存器与所述发送 DMA控制模块双向连接;

[0010] 所述接收线路输入端与接收线路连接,所述接收线路输出端连接所述接收 DMA控制模块输入端,所述DMA控制模块与所述寄存器双向连接,所述接收DMA 控制模块输出端连接至所述PCI-E接口IP核;

[0011] 数据发送时,主机先将需要发送的数据写入到内存中的缓冲区中,然后将包含数据长度、启动数据发送标志的控制字写入所述寄存器中;所述发送DMA 控制模块通过PCI-E接口发送读请求TLP数据包给所述TLP数据包分析模块,所述TLP数据包分析模块判断所收到的TLP数据包是否为读请求TLP数据包,如果是,则所述寄存器读写控制模块根据读请求TLP数据包中的地址读出寄存器中的数据,并向加上读完成TLP数据的包头通过PCI-E接口再发送给所述 TLP数据包分析模块,所述TLP数据包分析模块判断所收到的TLP数据包是否为读完成TLP数据包,如果是,则将该读完成TLP数据包发送至所述发送线路进行数据发送;

[0012] 数据接收时,所述数据接收线路将接收到的数据发送至所述接收DMA控制模块,所述接收DMA控制模块通过PCI-E接口发送写请求TLP数据包给所述 TLP数据包分析模块,所述TLP数据包分析模块判断所接收到的TLP数据包是否为写请求TLP数据包,如果是,则所述寄存器读写控制模块读出写请求TLP 数据包中的地址和数据,并将数据写入到地址部分指定的寄存器中,然后通过 PCI-E接口写入主机内存。

[0013] 通过TLP数据包分析模块的分析判断,能准确判断出该传输卡需要执行的是发送还是接收的任务,并结合寄存器读写控制模块、发送DMA控制模块和接收DMA控制模块使得该传输卡能更加快速准确的进行对数据的发送与接收。同时,由于TLP数据包分析模块的分析判断保证了数据的安全性,对写请求TLP 数据包、读请求TLP数据包和读完成TLP数据包这三种数据包的识别与处理,保证了数据的安全性。

[0014] 进一步的,该传输卡还包括TLP数据包接收缓冲区,所述TLP数据包接收缓冲区分别与所述PCI-E接口IP核和所述TLP数据包分析模块通信连接。TLP 数据包接收缓冲区用于缓存通过PCI-E接口接收到的TLP数据包,避免了TLP 数据包的丢失,保证了接收或发送数据的完整性。

[0015] 进一步的,该传输卡还包括第一TLP数据包发送缓冲区、第二TLP数据包发送缓冲区和第三TLP数据包发送缓冲区,所述第一TLP数据包发送缓冲区分别与所述寄存器读写控制模块和PCI-E接口IP核通信连接,所述第二TLP数据包发送缓冲区分别与所述发送DMA控制模块和PCI-E接口IP核通信连接,所述第三TLP数据包发送缓冲区分别与所述接收DMA控制模块和PCI-E接口 IP核通信连接。

[0016] 第一TLP数据包发送缓冲区缓存对应寄存器读请求的读完成TLP数据包,第二TLP数据包发送缓冲区缓存发送DMA请求的TLP数据包,即读请求TLP 数据包,第三TLP数据包发送缓冲区缓存接收DMA请求的TLP数据包,即写请求TLP数据包。这保证了在大量数据接收或发送时数据传输的完整性,避免了数据的丢失。

[0017] 更进一步的,该传输卡还包括发送缓冲区选择模块,所述第一TLP数据包发送缓冲区、第二TLP数据包发送缓冲区和第三TLP数据包发送缓冲区的输出端均连接至所述发送缓冲区选择模块输入端,所述发送缓冲区选择模块与所述 PCI-E接口IP核通信连接;

[0018] 所述发送缓冲区选择模块根据优先级准则控制将所述第一TLP数据包发送缓冲区、第二TLP数据包发送缓冲区和第三TLP数据包发送缓冲区中的数据包传输到PCIE接口。

[0019] 优先级准则是预先设定的准则,根据数据的发送和接收的优先级别来选择读请求

TLP数据包、写请求TLP数据包和读完成TLP数据包被送入PCI-E接口的先后顺序。

[0020] 进一步的,所述发送线路包括读完成TLP数据包处理模块、发送线路缓冲区、编码器和发送LVDS接口;

[0021] 所述TLP数据包分析模块第一输出端连接所述读完成TLP数据包处理模块输入端,所述读完成TLP数据包处理模块输出端连接所述发送线路缓冲区输入端,所述发送线路缓冲区输出端连接所述编码器输入端,所述编码器通过所述发送LVDS接口与所述发送线路连接;

[0022] 所述读完成TLP数据包处理模块将读完成TLP数据包中的数据写入所述发送线路缓冲区中,然后由所述编码器进行编码并插入控制字符,再由所述发送 LVDS接口对数据进行串并变换后发送至发送线路中。

[0023] 读完成TLP数据包处理模块、发送线路缓冲区、编码器和发送LVDS接口保证了数据发送过程中的完整性和保密性。

[0024] 进一步的,所述接收线路包括接收LVDS接口、译码器和接收线路缓冲区;

[0025] 所述接收LVDS接口分别与接收线路和所述译码器连接,所述译码器输出端连接所述接收线路缓冲区输入端,所述接收线路缓冲区输出端连接至所述接收DMA控制模块输入端;

[0026] 所述接收LVDS接口从接收线路中接收到数据,并对其进行串并变换和控制字符的检测,控制字符检测到后将数据发送给所述译码器进行数据解码,再将解码后的数据发送至所述接收线路缓冲区中并向所述接收DMA控制模块发送线路数据接收标志,所述接收DMA控制模块在检测到线路数据已接收的标志有效后,启动接收DMA过程,将数据传输到主机内存中的缓冲区中。

[0027] 接收LVDS接口、译码器和接收线路缓冲区保证了数据接收过程中的完整性和准确性。

[0028] 该传输卡具有独立的硬件迁移控制逻辑,无OS及任何“软”控制,自主完成数据的迁移,系统只负责把数据写到该传输卡中的缓冲区,由该传输卡根据硬件控制逻辑自动完成数据迁移,在该传输卡的两端实现自动数据完整性校验。基于该传输卡进行数据传输,因发送设备和接收设备之间不进行基于网络协议或者其他方式的数据交换和访问,从而从硬件层面保证了发送设备和接收设备之间的安全隔离。

[0029] 基于上述PCI -E总线接口传输卡,本发明还提出了一种数据传输方法。

[0030] 数据传输过程中使用第一传输卡和第二传输卡,所述第一传输卡和第二传输卡均为所述的PCI-E总线接口传输卡,所述第一传输卡和第二传输卡通信连接,该数据传输方法包括以下步骤:

[0031] S1、数据发送时,发送设备先将发送的数据写入到内存中的缓冲区中,然后将包含数据长度、启动数据发送标志的控制字写到第一传输卡的发送控制寄存器中;

[0032] S2、第一传输卡在检测到启动数据发送标志有效后,判断第一传输卡的发送线路是否连接,以及第一传输卡的发送线路缓存是否可用,若可用则启动数据发送过程,否则等待发送线路和缓存可用;

[0033] S3、数据发送过程启动后,开始DMA传输,第一传输卡的发送DMA控制模块将包含读取的数据地址和数据长度的读请求TLP数据包通过PCI-E接口发送给第一传输卡的TLP数据

包分析模块；

[0034] S4、第一传输卡的TLP数据包分析模块判断所收到的TLP数据包具体为读请求TLP数据包还是读完成TLP数据包，如果为读请求TLP数据包，则执行步骤S5，如果为读完成TLP数据包，则执行步骤S6；

[0035] S5、第一传输卡的寄存器读写控制模块根据读请求TLP数据包中的地址读出寄存器中的数据，并加上读完成TLP数据的包头通过PCI-E接口发送给第一传输卡的TLP数据包分析模块，然后执行步骤S4；

[0036] S6、第一传输卡的TLP数据包分析模块将读完成TLP数据包发送至第一传输卡的发送线路进行数据发送；

[0037] S7、所述第二传输卡对数据进行接收，所述第二传输卡的接收线路接收数据，并将接收到的数据发送至第二传输卡的接收DMA控制模块；

[0038] S8、第二传输卡的接收DMA控制模块通过PCI-E接口发送写请求TLP数据包给第二传输卡的TLP数据包分析模块；

[0039] S9、第二传输卡的TLP数据包分析模块判断所接收到的TLP数据包是否为写请求TLP数据包，如果是，则执行步骤S10；

[0040] S10、第二传输卡的寄存器读写控制模块读出写请求TLP数据包中的地址和数据，并将数据写入到地址部分指定的寄存器中，然后通过PCI-E接口写入接收设备内存。

[0041] 该数据传输方法能够快速且准确的对数据进行发送和接收，保证了数据的快速性、完整性、准确性以及安全性传输。

[0042] 采用这种数据传输方法使得发送设备和接收设备的网络不直接连接，阻断了两侧网络间的TCP/IP连接，使之不能进行网络协议通讯，对传递的数据进行了单向闸阀技术控制，彻底防止数据回流。

[0043] 进一步的，所述步骤S3中，在DMA传输之前，发送DMA控制模块根据数据长度计算需要进行DMA传输的次数；

[0044] 在所述步骤S7中，接收DMA控制模块接收数据之前，接收DMA控制模块根据数据长度计算DMA传输的次数。这保证了数据能够完整的被发送或接收，保证了数据的完整性。

[0045] 进一步的，发送数据时，发送线路需对数据进行编码以及插入对齐、开始或结束的控制字符；

[0046] 数据接收时，接收线路需对数据进行控制字符的检测和译码。这保证了数据的安全性和准确性。

[0047] 本发明的附加方面和优点将在下面的描述中部分给出，部分将从下面的描述中变得明显，或通过本发明的实践了解到。

附图说明

[0048] 本发明的上述和/或附加的方面和优点从结合下面附图对实施例的描述中将变得明显和容易理解，其中：

[0049] 图1是传输卡结构方框图；

[0050] 图2是数据发送DMA流程图；

[0051] 图3是线路侧数据发送流程图；

- [0052] 图4是线路侧数据接收流程图；
[0053] 图5是数据接收DMA流程；
[0054] 图6是接收TLP数据包处理流程图；
[0055] 图7是数据传输示意图。

具体实施方式

[0056] 下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能理解为对本发明的限制。

[0057] 在本发明的描述中，除非另有规定和限定，需要说明的是，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是机械连接或电连接，也可以是两个元件内部的连通，可以是直接相连，也可以通过中间媒介间接相连，对于本领域的普通技术人员而言，可以根据具体情况理解上述术语的具体含义。

[0058] 如图1所示，本发明提供了一种PCI-E总线接口传输卡，包括PCI-E接口 IP核、寄存器、寄存器读写控制模块、TLP数据包分析模块、发送模块和/或接收模块。所述发送模块包括发送线路和发送DMA控制模块，所述接收模块包括接收线路和接收DMA控制模块，所述发送线路、接收线路的数量均为非负整数。

[0059] PCI-E接口IP核用于完成PCI-E接口的物理层、数据链路层和事务层(Transaction Layer Protocol, TLP)三层协议的处理。寄存器用于存储数据传输所需要的控制和状态信息，包括主机收发缓冲区地址，发送和接收控制字，发送和接收状态字等。

[0060] PCI-E接口IP核与TLP数据包分析模块通信连接，TLP数据包分析模块第一输出端连接发送线路输入端，发送线路输出端与发送线路连接，TLP数据包分析模块第二输出端连接寄存器读写控制模块输入端，读写控制模块与寄存器双向连接，寄存器与发送DMA控制模块双向连接。

[0061] 接收线路输入端与接收线路连接，接收线路输出端连接接收DMA控制模块输入端，DMA控制模块与寄存器双向连接，接收DMA控制模块输出端连接至PCI-E接口IP核。

[0062] 为了保证数据传输的完整性和准确性，读请求TLP数据包、读完成TLP数据包和写请求TLP数据包可缓存入TLP数据包接收缓冲区，TLP数据包接收缓冲区分别与PCI-E接口IP核和TLP数据包分析模块通信连接。

[0063] 同时，该传输卡还包括发送缓冲区选择模块、第一TLP数据包发送缓冲区、第二TLP数据包发送缓冲区和第三TLP数据包发送缓冲区，第一TLP数据包发送缓冲区分别与寄存器读写控制模块和PCI-E接口IP核通信连接，第二TLP数据包发送缓冲区分别与发送DMA控制模块和PCI-E接口IP核通信连接，第三TLP数据包发送缓冲区分别与接收DMA控制模块和PCI-E接口IP核通信连接。

[0064] 第一TLP数据包发送缓冲区缓存对应寄存器读请求的读完成TLP数据包，第二TLP数据包发送缓冲区缓存发送DMA请求的TLP数据包，即读请求TLP数据包，第三TLP数据包发送缓冲区缓存接收DMA请求的TLP数据包，即写请求TLP数据包。第一TLP数据包发送缓冲区、第二TLP数据包发送缓冲区和第三TLP数据包发送缓冲区的输出端均连接至发送缓冲区选择模块输入端，发送缓冲区选择模块与PCI-E接口IP核通信连接。

[0065] 发送缓冲区选择模块根据优先级准则控制将第一TLP数据包发送缓冲区、第二TLP数据包发送缓冲区和第三TLP数据包发送缓冲区中的数据包传输到PCIE接口。

[0066] 主机对传输卡的控制是通过读写卡上的控制寄存器组来实现的,读写命令都是通过PCI-E接口的TLP数据包发送给传输卡。另外,发送DMA过程中请求的数据也是通过PCI-E接口的读完成TLP包进行传输。传输卡只处理这三类TLP数据包,即读请求TLP数据包、写请求TLP数据包、读完成TLP数据包,其它包不作处理。

[0067] 如图6所示,传输卡从PCI-E接口接收到TLP数据包后,首先分析包头判断是哪种TLP数据包。对于写请求TLP数据包,传输卡将包中的地址和数据取出,并将数据写入到地址部分指定的寄存器中。对于读请求TLP数据包,传输卡取出包中的地址,据此读出相应的寄存器的数据,并加上读完成TLP的包头,写入到第一TLP数据包发送缓冲区中,由PCI-E接口传递给主机。对于读完成TLP数据包,传输卡将包中的数据写入到线路侧的发送线路缓冲区中。

[0068] 数据发送时,主机先将需要发送的数据写入到内存中的缓冲区中,然后将包含数据长度、启动数据发送标志的控制字写入寄存器中。发送DMA控制模块通过PCI-E接口发送读请求TLP数据包给所述TLP数据包分析模块,TLP数据包分析模块判断所收到的TLP数据包是否为读请求TLP数据包,如果是,则寄存器读写控制模块根据读请求TLP数据包中的地址读出寄存器中的数据,并向加上读完成TLP数据的包头通过PCI-E接口再发送给TLP数据包分析模块,TLP数据包分析模块判断所收到的TLP数据包是否为读完成TLP数据包,如果是,则将该读完成TLP数据包发送至发送线路进行数据发送。

[0069] 数据接收时,数据接收线路将接收到的数据发送至接收DMA控制模块,接收DMA控制模块通过PCI-E接口发送写请求TLP数据包给TLP数据包分析模块,TLP数据包分析模块判断所接收到的TLP数据包是否为写请求TLP数据包,如果是,则寄存器读写控制模块读出写请求TLP数据包中的地址和数据,并将数据写入到地址部分指定的寄存器中,然后通过PCI-E接口写入主机内存。

[0070] 具体应用中,发送线路可包括读完成TLP数据包处理模块、发送线路缓冲区、编码器和发送LVDS接口。TLP数据包分析模块第一输出端连接读完成TLP数据包处理模块输入端,读完成TLP数据包处理模块输出端连接发送线路缓冲区输入端,发送线路缓冲区输出端连接编码器输入端,编码器通过发送LVDS接口与发送线路连接。读完成TLP数据包处理模块将读完成TLP数据包中的数据写入发送线路缓冲区中,然后由编码器进行编码并插入控制字符,再由发送LVDS接口对数据进行串并变换后发送至发送线路中。

[0071] 接收线路包括接收LVDS接口、译码器和接收线路缓冲区。接收LVDS接口分别与接收线路和译码器连接,译码器输出端连接接收线路缓冲区输入端,接收线路缓冲区输出端连接至接收DMA控制模块输入端。接收LVDS接口从接收线路中接收到数据,并对其进行串并变换和控制字符的检测,控制字符检测到后将数据发送给译码器进行数据解码,再将解码后的数据发送至接收线路缓冲区中并向接收DMA控制模块发送线路数据接收标志,接收DMA控制模块在检测到线路数据已接收的标志有效后,启动接收DMA过程,将数据传输到主机内存中的缓冲区中。

[0072] 一种基于上述PCI-E传输卡的数据传输方法,如图7所示,数据传输过程中使用第一传输卡和第二传输卡,第一传输卡和第二传输卡均为上述的PCI-E总线接口传输卡,所

述第一传输卡和第二传输卡通信连接,该方法包括以下步骤:

[0073] S1、数据发送时,如图2、图3和图6所示,发送设备先将发送的数据写入到内存中的缓冲区中,然后将包含数据长度、启动数据发送标志的控制字写到传输卡的发送控制寄存器中。

[0074] S2、第一传输卡在检测到启动数据发送标志有效后,判断第一传输卡的发送线路是否连接,以及第一传输卡的发送线路缓存是否可用,若可用则启动数据发送过程,否则等待发送线路和缓存可用,待线路连接且发送线路缓存可用时开始数据发送。

[0075] 数据发送过程启动后,根据发送设备的设置情况,一次数据传输可能需要多次DMA才能完成,因此,传输卡的发送DMA控制模块首先根据数据长度计算需要进行DMA传输的次数,然后再开始DMA传输。

[0076] S3、DMA传输时,第一传输卡的发送DMA控制模块将包含读取的数据地址和数据长度的读请求TLP数据包通过PCI-E接口发送给第一传输卡的TLP数据包分析模块。

[0077] S4、第一传输卡的TLP数据包分析模块判断所收到的TLP数据包具体为读请求TLP数据包还是读完成TLP数据包,如果为读请求TLP数据包,则执行步骤S5,如果为读完成TLP数据包,则执行步骤S6。

[0078] S5、第一传输卡的寄存器读写控制模块根据读请求TLP数据包中的地址读出寄存器中的数据,并加上读完成TLP数据的包头通过PCI-E接口发送给第一传输卡的TLP数据包分析模块,然后执行步骤S4。

[0079] S6、第一传输卡的TLP数据包分析模块将读完成TLP数据包发送至第一传输卡的发送线路进行数据发送。

[0080] 当数据从发送设备传输到第一传输卡的发送线路上时,第一传输卡的发送线路的读完成TLP数据包处理模块将读完成TLP数据包中的数据写入第一传输卡的发送线路缓冲区中,待所有的数据都从发送设备传输到第一传输卡的发送线路缓冲区中后启动线路传输。传输线路上采用串行传输方式,电气接口为LVDS。为了使接收端能正确接收,线路上的数据需经过8B10B编码。在线路空闲时,线路上传输用于接收端进行串并变换中控制字对齐的控制字。数据传输开始时,先发送数据包开始控制字符,然后传输数据。数据传输完毕后,发送数据包结束控制字符,指示数据传输完成。

[0081] S7、第二传输卡对数据进行接收,如图4-6所示,首先,第二传输卡的接收LVDS接口对接收到数据进行串并变换,变换中需要确定字的起始边界,这通过检测发送端发送的字对齐控制字实现。如果没有检测到该控制字,控制串并变换器滑动一位,如此重复直到检测到字对齐控制字。由于在线路空闲时,发送端持续发送该控制字,如果接收方能连续监测到该控制字,表明线路连接正常,且串并变换的字已对齐。

[0082] 字对齐后,线路接收部分持续监测包开始控制字,如检测到,表明随后的字为有效数据。接收端接收该数据,并进行8B10B译码,译码后的数据写入到接收线路缓冲区。在接收数据的过程中,需要对每个接收数据都进行是否为包结束控制字的检测。如检测到,则数据包结束,数据从线路上的接收完成,将数据的长度写入接收控制寄存器,并将数据已接收的标志置位。

[0083] 一次数据的传输可能需要多次DMA过程,所以需要先计算DMA过程的次数。在接收设备缓冲区可用的情况下,第二传输卡将DMA传输的数据封装到写请求 TLP包中通过PCIE

接口写入主机内存。

[0084] 第二传输卡的接收DMA控制模块在检测到线路数据已接收的标志有效后,启动接收DMA过程,第二传输卡的接收线路将接收到的数据发送至第二传输卡的接收DMA控制模块。一次数据的传输可能需要多次DMA过程,所以需要先计算DMA过程的次数。

[0085] S8、第二传输卡的接收DMA控制模块通过PCI-E接口发送写请求TLP数据包给第二传输卡的TLP数据包分析模块。

[0086] S9、第二传输卡的TLP数据包分析模块判断所接收到的TLP数据包是否为写请求TLP数据包,如果是,则第二传输卡的寄存器读写控制模块读出写请求 TLP数据包中的地址和数据,并将数据写入到地址部分指定的寄存器中,再通过PCI-E接口写入接收设备内存中。

[0087] 这里的发送设备和接收设备可以为主机,也可以是服务器。

[0088] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不一定指的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0089] 尽管已经示出和描述了本发明的实施例,本领域的普通技术人员可以理解:在不脱离本发明的原理和宗旨的情况下可以对这些实施例进行多种变化、修改、替换和变型,本发明的范围由权利要求及其等同物限定。

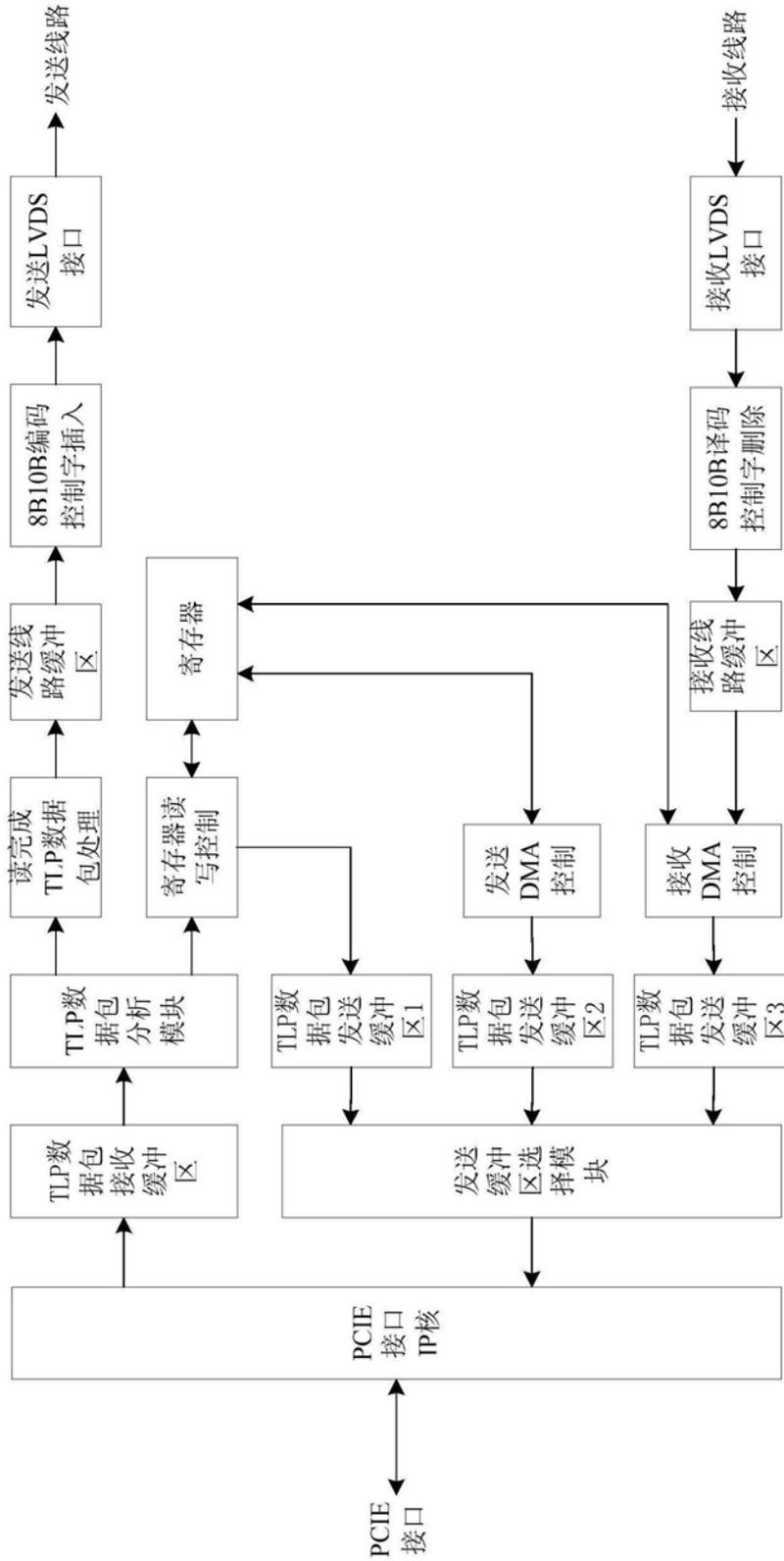


图1

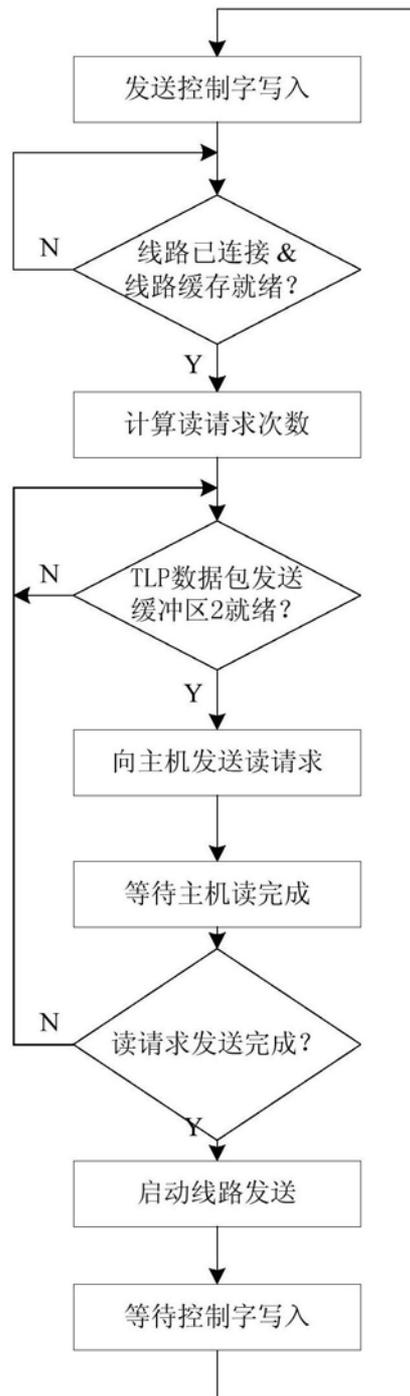


图2

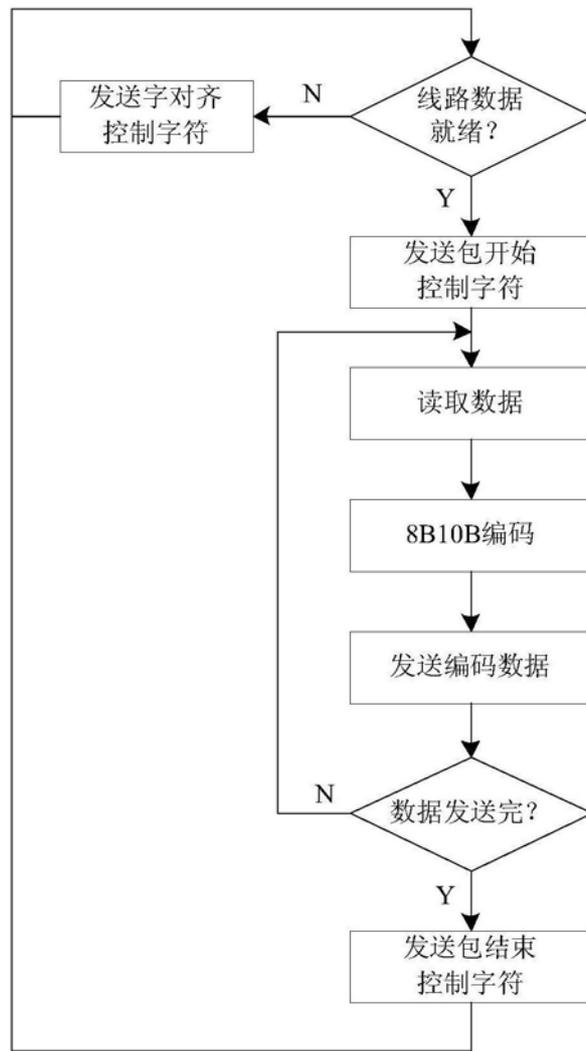


图3

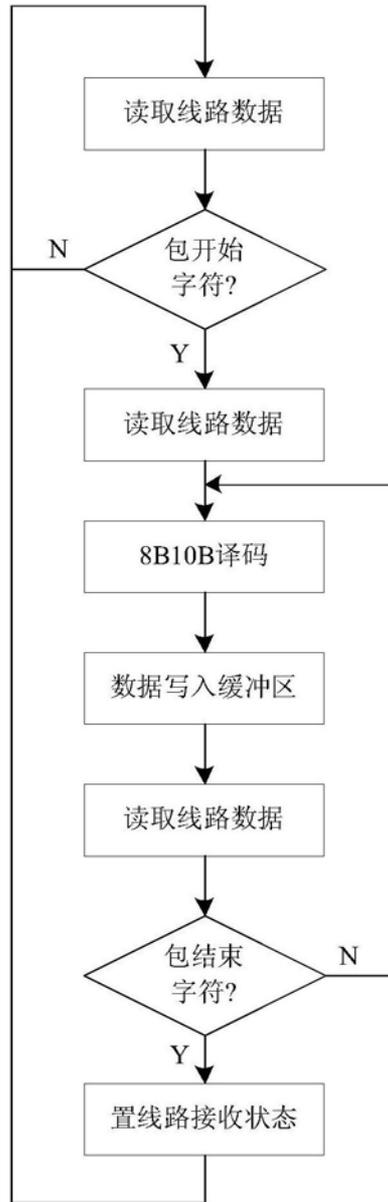


图4

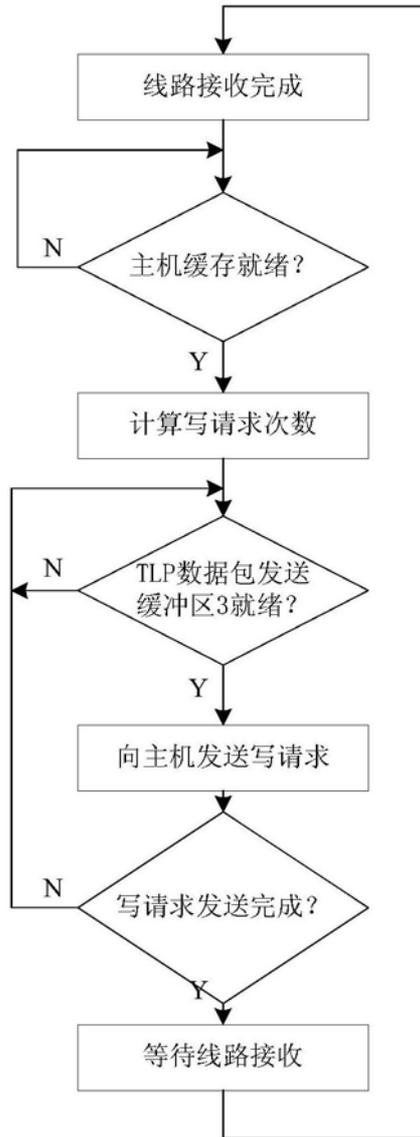


图5

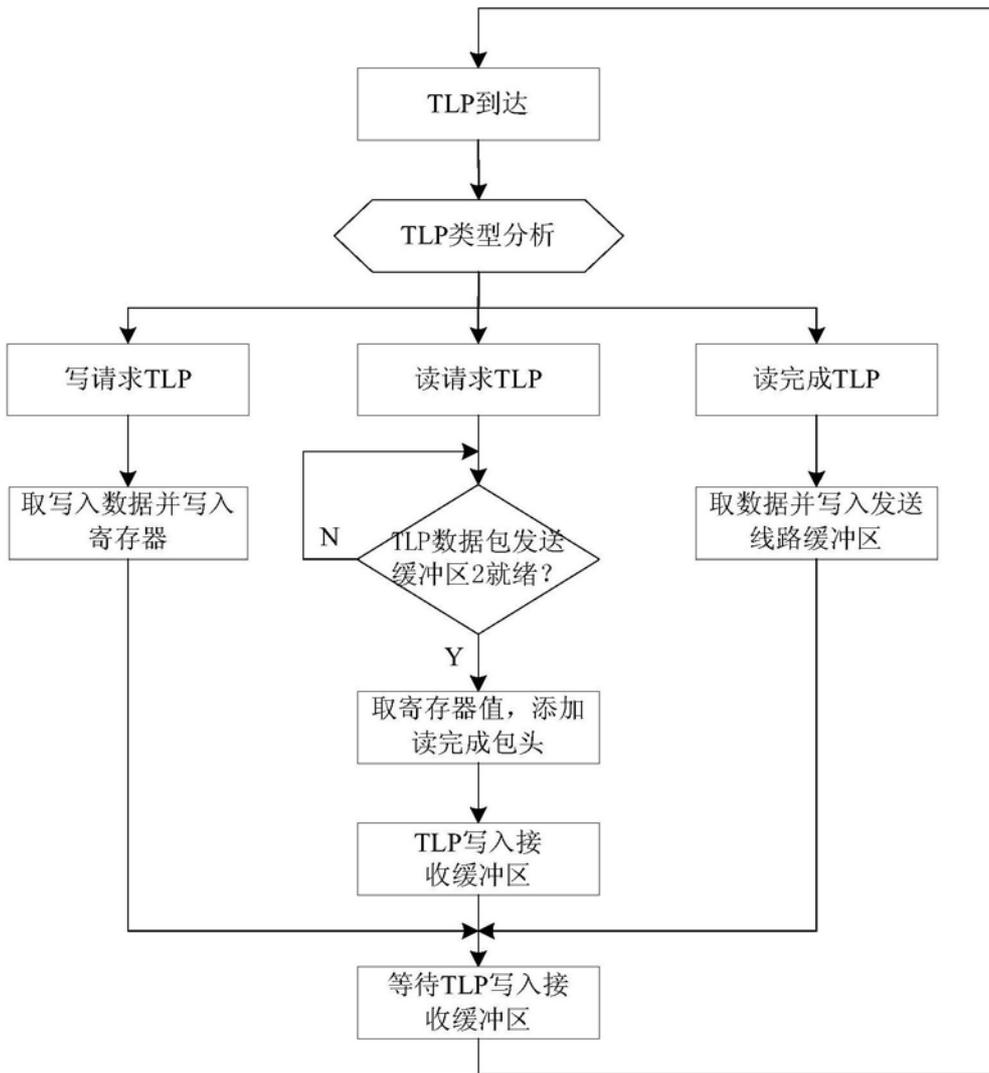


图6

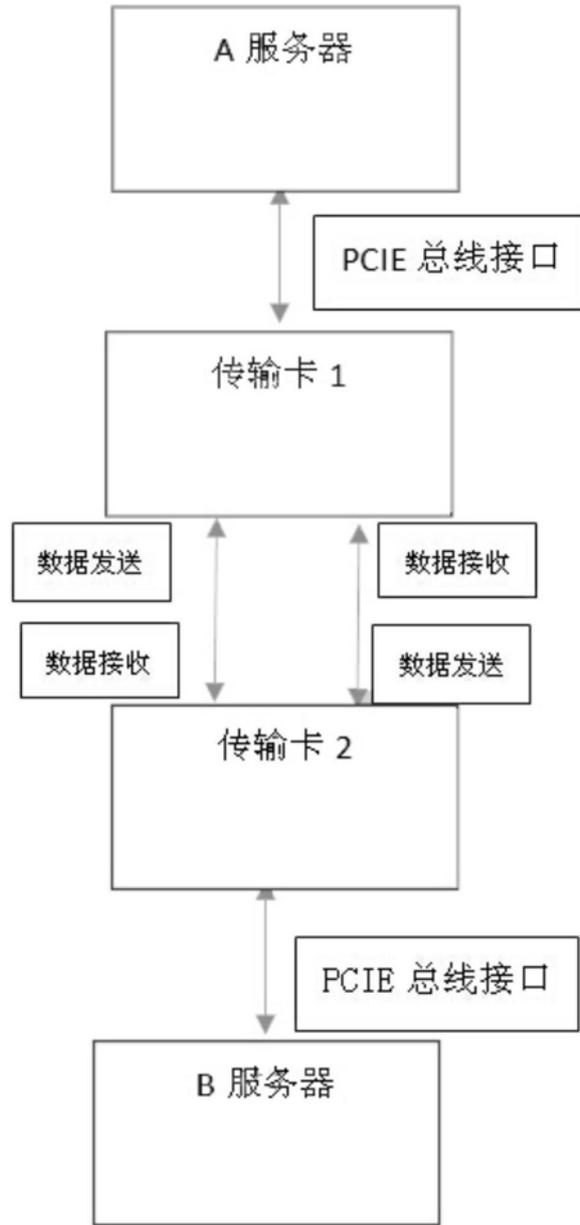


图7