



(12) 发明专利

(10) 授权公告号 CN 110770905 B

(45) 授权公告日 2023. 06. 30

(21) 申请号 201880038979.8

(22) 申请日 2018.05.24

(65) 同一申请的已公布的文献号
申请公布号 CN 110770905 A

(43) 申请公布日 2020.02.07

(30) 优先权数据
15/685,254 2017.08.24 US

(85) PCT国际申请进入国家阶段日
2019.12.12

(86) PCT国际申请的申请数据
PCT/US2018/034372 2018.05.24

(87) PCT国际申请的公布数据
W02019/040142 EN 2019.02.28

(73) 专利权人 闪迪技术有限公司

地址 美国德克萨斯州

(72) 发明人 S·亚达 A·赛 K·萨卡基巴拉

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

专利代理师 魏利娜

(51) Int.Cl.
H10B 43/35 (2023.01)
H10B 43/27 (2023.01)

(56) 对比文件
CN 103178068 A, 2013.06.26
US 10020314 B1, 2018.07.10
US 2013/0161717 A1, 2013.06.27

审查员 李毅妮

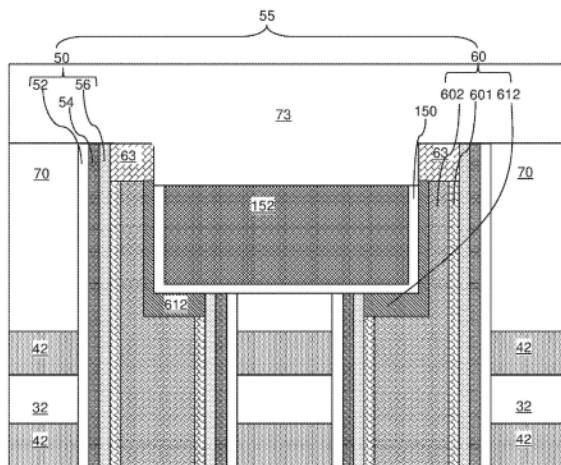
权利要求书3页 说明书20页 附图37页

(54) 发明名称

具有跨越漏极选择电极线的三维存储器器件及其制造方法

(57) 摘要

绝缘层和间隔物材料层的交替堆叠在衬底上方形成。所述间隔物材料层形成为导电层或者被所述导电层替换。在所述交替堆叠上方形成绝缘帽盖层。在穿过所述交替堆叠和所述绝缘帽盖层中的每一层形成存储器堆叠结构之后，形成跨越一对相邻的所述存储器堆叠行的线状沟槽。所述线状沟槽的侧壁包括所述一对相邻的所述存储器堆叠结构行内的每个存储器堆叠结构的侧壁。在所述线状沟槽内形成漏极选择栅极电介质和漏极选择电极线。所述漏极选择电极线控制电流通过所述漏极区下方的每个存储器堆叠结构内的垂直半导体沟道的上部部分的流动，以激活或去激活所述相邻的行。



1. 一种三维存储器器件,包括:

绝缘层和导电层的交替堆叠,所述绝缘层和导电层的交替堆叠定位在衬底上方;

绝缘帽盖层,所述绝缘帽盖层覆盖所述交替堆叠;

存储器堆叠结构,所述存储器堆叠结构排列成沿第一水平方向横向延伸并且延伸穿过所述交替堆叠和所述绝缘帽盖层中的每一层的行,其中所述存储器堆叠结构中的每一个均包括存储器膜以及由所述存储器膜横向围绕的竖直半导体沟道,每个竖直半导体沟道接触相应漏极区的底表面,每个漏极区接触相应的存储器膜;

线状沟槽,所述线状沟槽跨越一对相邻的所述存储器堆叠结构行并且沿所述第一水平方向延伸,其中所述线状沟槽的侧壁包括在所述一对相邻的所述存储器堆叠结构行内的每个存储器堆叠结构的侧壁;

漏极选择电极线,所述漏极选择电极线定位在所述线状沟槽内;以及

接触所述线状沟槽的所述侧壁和所述线状沟槽的底表面中的至少一者的漏极选择栅极电介质,其中所述漏极选择电极线接触所述漏极选择栅极电介质;

其中所述竖直半导体沟道包括L形掺杂区,所述L形掺杂区具有与所述漏极区的导电类型相反的导电类型的掺杂并且接触所述漏极选择栅极电介质的侧壁和底表面。

2. 根据权利要求1所述的三维存储器器件,其中所述L形掺杂区具有比所述竖直半导体沟道的延伸穿过所述交替堆叠且具有与所述L形掺杂区相同的导电类型的部分更大的电掺杂剂浓度。

3. 根据权利要求1所述的三维存储器器件,还包括接触所述漏极选择电极线的整个顶表面的接触级介电层。

4. 根据权利要求3所述的三维存储器器件,其中所述接触级介电层接触所述漏极区中的每一个的顶表面和侧壁表面,并且其中所述接触级介电层接触所述漏极选择栅极电介质的顶表面。

5. 根据权利要求3所述的三维存储器器件,其中所述漏极选择栅极电介质接触所述漏极区中的每一个。

6. 根据权利要求3所述的三维存储器器件,其中所述接触级介电层接触所述竖直半导体沟道中的每一个的侧壁。

7. 根据权利要求1所述的三维存储器器件,其中:

所述线状沟槽的底表面定位在包括所述绝缘帽盖层的底表面的第一水平平面的上方;并且

所述漏极选择电极线的顶表面定位在包括所述绝缘帽盖层的顶表面的第二水平平面的下方。

8. 根据权利要求7所述的三维存储器器件,其中:

所述存储器堆叠结构中的每一个在所述线状沟槽的所述底表面下方均具有圆形的水平横截面形状;并且

所述存储器堆叠结构中的每一个在所述线状沟槽的所述底表面上方均具有半圆形的水平横截面形状。

9. 根据权利要求1所述的三维存储器器件,其中:

所述三维存储器器件包括单体三维NAND存储器器件;

所述导电层包括或者电连接到所述单体三维NAND存储器器件的相应字线；

所述衬底包括硅衬底；

所述单体三维NAND存储器器件包括在所述硅衬底上方的单体三维NAND串阵列；

所述单体三维NAND串阵列的第一器件层级中的至少一个存储器单元定位在所述单体三维NAND串阵列的第二器件层级中的另一个存储器单元上方；

所述硅衬底含有集成电路,所述集成电路包括用于定位在其上的所述存储器器件的驱动器电路；

所述单体三维NAND串阵列包括：

多个半导体沟道,其中所述多个半导体沟道中的每一个的至少一个端部部分基本上垂直于所述衬底的顶表面延伸,并且包括所述垂直半导体沟道中的相应一个,和

多个电荷存储元件,所述多个电荷存储元件具体体现为所述存储器膜的一部分,每个电荷存储元件定位成与所述多个半导体沟道中的相应一个相邻。

10. 一种形成三维存储器器件的方法,包括：

在衬底上方形成绝缘层和间隔物材料层的交替堆叠,其中所述间隔物材料层形成为导电层或者被所述导电层替换；

在所述交替堆叠上方形成绝缘帽盖层；

形成延伸穿过所述交替堆叠和所述绝缘帽盖层中的每一层的存储器堆叠结构,其中所述存储器堆叠结构中的每一个均包括存储器膜以及由所述存储器膜横向围绕的垂直半导体沟道,并且其中所述存储器堆叠结构排列成沿第一水平方向横向延伸的行；

形成跨越一对相邻的所述存储器堆叠结构行并且沿所述第一水平方向延伸的线状沟槽,其中所述线状沟槽的侧壁包括在所述一对相邻的所述存储器堆叠结构行内的每个存储器堆叠结构的侧壁；

在所述线状沟槽内形成漏极选择电极线；

在所述存储器堆叠结构中的每一个上形成漏极区,其中:每个垂直半导体沟道接触相应漏极区的底表面;并且每个漏极区接触相应的存储器膜；

在所述线状沟槽的所述侧壁和所述线状沟槽的底表面中的一者上形成漏极选择栅极电介质,其中所述漏极选择电极线形成在所述漏极选择栅极电介质上;以及

将电掺杂剂注入到所述线状沟槽的所述侧壁和所述底表面中,其中所述垂直半导体沟道的注入部分构成L形掺杂区,所述L形掺杂区具有与所述漏极区的导电类型相反的导电类型的掺杂,并且其中所述漏极选择栅极电介质形成在所述L形掺杂区上。

11. 根据权利要求10所述的方法,还包括在所述漏极区中的每一个的顶表面和侧壁表面上形成接触级介电层,其中所述接触级介电层形成在所述漏极选择电极线的整个顶表面上,并且其中所述接触级介电层形成在所述漏极选择栅极电介质的顶表面上。

12. 根据权利要求11所述的方法,其中所述漏极选择栅极电介质直接形成在所述漏极区中的一个上。

13. 根据权利要求11所述的方法,其中所述接触级介电层形成在所述垂直半导体沟道中的每一个的侧壁上。

14. 根据权利要求10所述的方法,其中：

通过各向异性蚀刻工艺使所述绝缘帽盖层的区和所述一对相邻的所述存储器堆叠结

构行内的每个存储器堆叠结构的上部部分竖直凹陷来形成所述线状沟槽；

所述线状沟槽的底表面形成在包括所述绝缘帽盖层的底表面的第一水平平面的上方；

所述漏极选择电极线的顶表面形成在包括所述绝缘帽盖层的顶表面的第二水平平面的下方；

所述存储器堆叠结构中的每一个在所述线状沟槽的所述底表面下方均具有圆形的水平横截面形状；并且

所述存储器堆叠结构中的每一个在所述线状沟槽的所述底表面上方均具有半圆形的水平横截面形状。

15. 根据权利要求10所述的方法，其中：

所述三维存储器器件包括单体三维NAND存储器器件；

所述导电层包括或者电连接到所述单体三维NAND存储器器件的相应字线；

所述衬底包括硅衬底；

所述单体三维NAND存储器器件包括在所述硅衬底上方的单体三维NAND串阵列；

所述单体三维NAND串阵列的第一器件层级中的至少一个存储器单元定位在所述单体三维NAND串阵列的第二器件层级中的另一个存储器单元上方；

所述硅衬底含有集成电路，所述集成电路包括用于定位在其上的所述存储器器件的驱动器电路；

所述单体三维NAND串阵列包括：

多个半导体沟道，其中所述多个半导体沟道中的每一个的至少一个端部部分基本上垂直于所述衬底的顶表面延伸，并且包括所述竖直半导体沟道中的相应一个，和

多个电荷存储元件，所述多个电荷存储元件具体体现为所述存储器膜的一部分，每个电荷存储元件定位成与所述多个半导体沟道中的相应一个相邻。

具有跨越漏极选择电极线的三维存储器器件及其制造方法

[0001] 相关申请

[0002] 本申请要求2017年8月24日提交的美国非临时申请序列号15/685,254的优先权的权益,前述申请的全部内容以引用方式并入本文。

技术领域

[0003] 本公开整体涉及半导体器件领域,并且具体地讲,涉及采用跨越相邻的存储器堆叠结构行的漏极选择电极线的三维存储器器件及其制造方法。

背景技术

[0004] 每个单元具有一个位的三维垂直NAND串在T.Endoh等人的标题为“Novel Ultra High Density Memory With A Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell”,IEDM Proc. (2001)33-36的文章中公开。

发明内容

[0005] 根据本公开的一个方面,提供了三维存储器器件,其包括:绝缘层和导电层的交替堆叠,该绝缘层和导电层的交替堆叠定位在衬底上方;绝缘帽盖层,该绝缘帽盖层覆盖该交替堆叠;存储器堆叠结构,该存储器堆叠结构排列成沿第一水平方向横向延伸并且延伸穿过该交替堆叠和绝缘帽盖层中的每一层的行,其中存储器堆叠结构中的每一个均包括存储器膜以及由该存储器膜横向围绕的垂直半导体沟道;线状沟槽,该线状沟槽跨越一对相邻的存储器堆叠结构行并且沿第一水平方向延伸,其中线状沟槽的侧壁包括在这对相邻的存储器堆叠结构行内的每个存储器堆叠结构的侧壁;以及漏极选择电极线,该漏极选择电极线定位在线状沟槽内。

[0006] 根据本公开的另一方面,本发明提供了一种形成三维存储器器件的方法。在衬底上方形成绝缘层和间隔物材料层的交替堆叠,使得该间隔物材料层形成为导电层或者被该导电层替换。在该交替堆叠上方形成绝缘帽盖层。形成延伸穿过该交替堆叠和绝缘帽盖层中的每一层的存储器堆叠结构,其中存储器堆叠结构中的每一个均包括存储器膜和由该存储器膜横向围绕的垂直半导体沟道,并且其中存储器堆叠结构排列成沿第一水平方向横向延伸的行。形成跨越一对相邻的存储器堆叠结构行并且沿第一水平方向延伸的线状沟槽,其中线状沟槽的侧壁包括在这对相邻的存储器堆叠结构行内的每个存储器堆叠结构的侧壁。在线状沟槽内形成漏极选择电极线。

附图说明

[0007] 图1是根据本公开的实施方案的在形成至少一个外围器件、半导体材料层以及栅极介电层之后的示例性结构的示意性垂直剖面图。

[0008] 图2是根据本公开的实施方案的在形成绝缘层和牺牲材料层的交替堆叠之后的示例性结构的示意性垂直剖面图。

[0009] 图3是根据本公开的实施方案的在形成阶梯式平台和后向阶梯式介电材料部分之后的示例性结构的示意性垂直剖面图。

[0010] 图4A是根据本公开的实施方案的在形成存储器开口和支撑开口之后的示例性结构的示意性垂直剖面图。

[0011] 图4B是图4A的示例性结构的俯视图。垂直平面A-A'是图4A的剖面的平面。

[0012] 图5A至图5H是根据本公开的实施方案的直到沉积第二半导体沟道层的处理步骤的示例性结构内的存储器开口的顺序示意性垂直剖面图。

[0013] 图6A是根据本公开的实施方案的在形成存储器堆叠结构和支撑柱结构之后的示例性结构的示意性垂直剖视图。

[0014] 图6B是图6A的示例性结构的俯视图。垂直平面A-A'是图6A的剖面的平面。

[0015] 图7A是根据本公开的实施方案的在应用和图案化光致抗蚀剂层之后的示例性结构的示意性垂直剖面图。

[0016] 图7B是图7A的示例性结构的俯视图。垂直平面A-A'是图7A的剖面的平面。

[0017] 图8A是根据本公开的实施方案的在通过各向异性蚀刻工艺形成线状沟槽之后的示例性结构的示意性垂直剖面图。

[0018] 图8B是图8A的示例性结构的俯视图。垂直平面A-A'是图8A的剖面的平面。

[0019] 图8C是图8A的示例性结构的区的放大垂直剖面图。

[0020] 图9A是根据本公开的实施方案的在形成L形掺杂区之后的示例性结构的示意性垂直剖面图。

[0021] 图9B是图9A的示例性结构的俯视图。垂直平面A-A'是图9A的剖面的平面。

[0022] 图9C是图9A的示例性结构的区的放大垂直剖面图。

[0023] 图10是根据本公开的实施方案的在形成连续栅极介电层之后的示例性结构的示意性垂直剖面图。

[0024] 图11A是根据本公开的实施方案的在形成漏极选择电极线之后的示例性结构的示意性垂直剖面图。

[0025] 图11B是图11A的示例性结构的俯视图。垂直平面A-A'是图11A的剖面的平面。

[0026] 图11C是图11A的示例性结构的区的放大垂直剖面图。

[0027] 图12A是根据本公开的实施方案的在形成接触级介电层之后的示例性结构的示意性垂直剖面图。

[0028] 图12B是图12A的示例性结构的区的放大垂直剖面图。

[0029] 图12C是图12A的示例性结构的另选实施方案的区的放大垂直剖面图。

[0030] 图13A是根据本公开的实施方案的在形成背侧沟槽之后的示例性结构的示意性垂直剖面图。

[0031] 图13B是图13A的示例性结构的局部透视俯视图。垂直平面A-A'是图13A的示意性垂直剖面图的平面。

[0032] 图14是根据本公开的实施方案的在形成背侧凹陷部之后的示例性结构的示意性垂直剖面图。

[0033] 图15A至图15D是根据本公开的实施方案的在形成导电层期间的示例性结构的区的顺序垂直剖面图。

[0034] 图16是图15D的处理步骤处的示例性结构的示意性竖直剖面图。

[0035] 图17是根据本公开的实施方案的在从背侧沟槽内移除沉积的导电材料之后的示例性结构的示意性竖直剖面图。

[0036] 图18A是根据本公开的实施方案的在形成绝缘间隔物和背侧接触结构之后的示例性结构的示意性竖直剖面图。

[0037] 图18B是图18A的示例性结构的区的放大视图。

[0038] 图19A是根据本公开的实施方案的在形成附加接触通孔结构之后的示例性结构的示意性竖直剖面图。

[0039] 图19B是图19A的示例性结构的俯视图。竖直平面A-A'是图19A的示意性竖直剖面图的平面。

具体实施方式

[0040] 如上文所讨论的,本公开涉及一种采用跨越相邻的存储器堆叠结构行的漏极选择电极线的三维存储器器件及其制造方法,其各个方面在下文中有所描述。本公开的实施方案可用于形成各种结构,包括多层级存储器结构,其非限制性示例包括半导体器件,诸如包括多个NAND存储器串的三维单体存储器阵列器件。

[0041] 附图未按比例绘制。在其中示出元件的单个实例的情况下可以重复元件的多个实例,除非明确地描述或以其他方式清楚地指出不存在元件的重复。序号诸如“第一”、“第二”和“第三”仅仅被用于标识类似的元件,并且在本公开的整个说明书和权利要求书中可采用不同序号。相同的附图标号表示相同的元件或相似的元件。除非另有说明,具有相同附图标号的元件被假定具有相同的组成。如本文所用,定位在第二元件“上”的第一元件可以定位在第二元件的表面的外侧上或者第二元件的内侧上。如本文所用,如果在第一元件的表面和第二元件的表面之间存在物理接触,则第一元件“直接”定位在第二元件上。

[0042] 如本文所用,“层”是指包括具有厚度的区域的材料部分。层可在下层或上覆结构的整体上方延伸,或者可具有小于下层或上覆结构的范围的范围。另外,层可以是均匀或不均匀的连续结构的厚度小于连续结构的厚度的区域。例如,层可以定位在连续结构的顶部表面和底部表面之间或在连续结构的顶部表面和底部表面处的任何一对水平平面之间。层可水平地、垂直地和/或沿着锥形表面延伸。衬底可以是层,可以在其中包括一个或多个层,或者可以在其上、在其上方和/或在其下方具有一个或多个层。

[0043] 单体三维存储器阵列是在单个衬底(诸如半导体晶圆)上方形成多个存储器层级而没有居间衬底的存储器阵列。术语“单体”是指阵列的每一级的层直接沉积在阵列的每个下层级的层上。相反,二维阵列可以单独形成,并且然后封装在一起以形成非单体存储器器件。例如,如标题为“三维结构存储器(Three-dimensional Structure Memory)”的美国专利5,915,167中所述,通过在单独的衬底上形成存储器级和垂直地堆叠存储器级来构造非单体堆叠存储器。可在结合前将衬底减薄或从存储器级移除该衬底,但由于存储器级最初是在单独的衬底上方形成的,所以此类存储器不是真正的单体三维存储器阵列。本公开的各种三维存储器器件包括单体三维NAND串存储器器件,并且可以采用本文所述的各种实施方案来制造。

[0044] 一般来讲,半导体管芯或半导体封装可包括单个存储器芯片。每个半导体封装包

括一个或多个管芯(例如,一个、两个或四个管芯)。管芯是可独立地执行命令或报告状态的最小单元。每个管芯包括一个或多个平面(通常为一个或两个面)。尽管存在一些限制,但在每个平面上均可发生相同的并发操作。每个平面包括多个块,这些块是可通过单个擦除操作擦除的最小单元。每个块包括多个页,这些页是可被编程的最小单元,即,可在其上执行读取操作的最小单元。

[0045] 参见图1,示出了根据本公开的实施方案的示例性结构,其可以用于例如制造含有竖直NAND存储器器件的器件结构。示例性结构包括可为半导体衬底的衬底(9,10)。衬底可包括衬底半导体层9和任选的半导体材料层10。衬底半导体层9可以是半导体晶圆或半导体材料层,并且可以包括至少一种元素半导体材料(例如,单晶硅晶圆或层)、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料,或本领域已知的其他半导体材料。衬底可以具有主表面7,该主表面可以是例如衬底半导体层9的最顶表面。主表面7可以是半导体表面。在一个实施方案中,主表面7可以是单晶半导体表面,诸如单晶半导体表面。

[0046] 如本文所用,“半导体材料”是指具有在 $1.0 \times 10^{-6} \text{S/cm}$ 至 $1.0 \times 10^5 \text{S/cm}$ 的范围内的电导率的材料。如本文所用,“半导体材料”是指在其中不存在电掺杂剂的情况下具有在 $1.0 \times 10^{-6} \text{S/cm}$ 至 $1.0 \times 10^5 \text{S/cm}$ 的范围内的电导率的材料,并且能够在适当掺杂电掺杂剂时产生具有在 1.0S/cm 至 $1.0 \times 10^5 \text{S/cm}$ 的范围内的电导率的掺杂材料。如本文所用,“电掺杂剂”是指将空穴添加到能带结构内的价带的p型掺杂剂,或者将电子添加到能带结构内的导带的n型掺杂剂。如本文所用,“导电材料”是指具有大于 $1.0 \times 10^5 \text{S/cm}$ 的电导率的材料。如本文所用,“绝缘体材料”或“介电材料”是指具有小于 $1.0 \times 10^{-6} \text{S/cm}$ 的电导率的材料。如本文所用,“重掺杂半导体材料”是指以足够高的原子浓度掺杂有电掺杂剂以变成导电材料(即,具有大于 $1.0 \times 10^5 \text{S/cm}$ 的电导率)的半导体材料。“掺杂半导体材料”可以是重掺杂半导体材料,或可以是包括呈提供在 $1.0 \times 10^{-6} \text{S/cm}$ 至 $1.0 \times 10^5 \text{S/cm}$ 的范围内的电导率的浓度的电掺杂剂(即,p型掺杂剂和/或n型掺杂剂)的半导体材料。“本征半导体材料”是指不掺杂有电掺杂物的半导体材料。因此,半导体材料可以是半导体的或导电的,并且可以是本征半导体材料或掺杂半导体材料。掺杂半导体材料可以是半导体的或导电的,这取决于在其中的电掺杂剂的原子浓度。如本文所用,“金属材料”是指其中包括至少一种金属元素的导电材料。所有电导率测量都在标准条件下进行。

[0047] 外围电路的至少一个半导体器件700可形成在衬底半导体层9的一部分上。至少一个半导体器件可以包括例如场效应晶体管。例如,可以通过蚀刻衬底半导体层9的部分并在其中沉积介电材料来形成至少一个浅沟槽隔离结构120。可以在衬底半导体层9上方形成栅极介电层、至少一个栅极导体层和栅极帽盖介电层,并且可以随后将其图案化以形成至少一个栅极结构(150,152,154,158),所述栅极结构中的每一个可以包括栅极电介质150、栅极电极(152,154)和栅极帽盖电介质158。栅极电极(152,154)可以包括第一栅极电极部分152和第二栅极电极部分154的堆叠。可以通过沉积和各向异性蚀刻介电衬垫在至少一个栅极结构(150,152,154,158)周围形成至少一个栅极间隔物156。有源区130可以例如通过引入采用至少一个栅极结构(150,152,154,158)作为掩模结构的电掺杂剂来形成在衬底半导体层9的上部部分中。根据需要可以采用附加掩模。有源区130可以包括场效应晶体管的源极区和漏极区。可以任选地形成第一介电衬垫161和第二介电衬垫162。第一介电衬垫161和

第二介电衬垫162中的每一个可以包括氧化硅层、氮化硅层和/或介电金属氧化物层。如本文所用,氧化硅包括二氧化硅以及对于每个硅原子具有多于或小于两个氧原子的非化学计量氧化硅。二氧化硅是优选的。在示例性示例中,第一介电衬垫161可以是氧化硅层,并且第二介电衬垫162可以是氮化硅层。外围电路的至少一个半导体器件可以含有随后形成的存储器器件的驱动器电路,其可以包括至少一个NAND器件。

[0048] 介电材料诸如氧化硅可以沉积在至少一个半导体器件上方,并且可以随后被平面化以形成平面化介电层170。在一个实施方案中,平面化介电层170的平面化顶表面可以与介电衬垫(161,162)的顶表面共面。随后,可以从某个区域移除平面化介电层170和介电衬垫(161,162)以物理地暴露衬底半导体层9的顶表面。如本文所用,如果表面与真空或气相材料(诸如空气)物理接触,则表面“物理地暴露”。

[0049] 任选的半导体材料层10(如果存在)可在形成该至少一个半导体器件700之前或之后通过沉积单晶半导体材料(例如,通过选择性外延)形成在衬底半导体层9的顶表面上。沉积的半导体材料可以与衬底半导体层9的半导体材料相同或不同。沉积的半导体材料可以是可用于半导体衬底层9的任何材料,如上所述。半导体材料层10的单晶半导体材料可以与衬底半导体层9的单晶结构外延对准。沉积的半导体材料的定位在平面化介电层170的顶表面上方的部分可以例如通过化学机械平面化(CMP)移除。在这种情况下,半导体材料层10可以具有与平面化介电层170的顶表面共面的顶表面。

[0050] 至少一个半导体器件700的区(即区域)在本文中被称为外围器件区200。随后形成存储器阵列的区在本文中称为存储器阵列区100。用于随后形成导电层的阶梯式平台的接触区300可在存储器阵列区100和外围器件区200之间提供。任选地,栅极介电层12可以形成在半导体材料层10和平面化介电层170上方。栅极介电层12可以是例如氧化硅层。栅极介电层12的厚度可以在3nm至30nm的范围内,但是也可以采用更小和更大的厚度。

[0051] 参考图2,交替的多个第一材料层(其可为绝缘层32)和第二材料层(其可为牺牲材料层42)的堆叠形成在衬底的顶表面的上方,其可以例如在栅极介电层12的顶表面上。如本文所用,“材料层”是指包括材料遍及其整体的层。如本文所用,交替的多个第一元件和第二元件是指其中第一元件的实例和第二元件的实例交替的结构。不是交替的多个元件的端部元件的第一元件的每个实例在两侧上邻接第二元件的两个实例,并且不是交替的多个元件的端部元件的第二元件的每个实例在两个端部上邻接第一元件的两个实例。第一元件可以在其间具有相同的厚度,或者可以具有不同的厚度。第二元件可以在其间具有相同的厚度,或者可以具有不同的厚度。交替的多个第一材料层和第二材料层可以以第一材料层的实例或第二材料层的实例开始,并且可以以第一材料层的实例或第二材料层的实例结束。在一个实施方案中,第一元件的实例和第二元件的实例可以形成在交替的多个元件内周期性地重复的单元。

[0052] 每个第一材料层包括第一材料,并且每个第二材料层包括与第一材料不同的第二材料。在一个实施方案中,每个第一材料层可为绝缘层32,并且每个第二材料层可为牺牲材料层。在这种情况下,堆叠可以包括交替的多个绝缘层32和牺牲材料层42,并且构成包括绝缘层32和牺牲材料层42的交替层的原型堆叠。如本文所用,“原型”结构或“过程中”结构是指随后在其中至少一个部件的形状或组成中被修改的瞬态结构。

[0053] 交替的多个的堆叠在本文中被称为交替堆叠(32,42)。在一个实施方案中,交替堆

叠(32, 42)可包括由第一材料构成的绝缘层32以及由第二材料构成的牺牲材料层42, 其中第二材料不同于绝缘层32的材料。绝缘层32的第一材料可以是至少一种绝缘材料。因此, 每个绝缘层32可以是绝缘材料层。可用于绝缘层32的绝缘材料包括但不限于氧化硅(包括掺杂硅酸盐玻璃或未掺杂硅酸盐玻璃)、氮化硅、氮氧化硅、有机硅酸盐玻璃(OSG)、旋涂介电材料、通常称为高介电常数(高k)介电氧化物的介电金属氧化物(例如, 氧化铝、氧化钪等)及其硅酸盐、介电金属氮氧化物及其硅酸盐以及有机绝缘材料。在一个实施方案中, 绝缘层32的第一材料可以是氧化硅。

[0054] 牺牲材料层42的第二材料为可选择性地对于绝缘层32的第一材料移除的牺牲材料。如本文所用, 如果移除过程以至少两倍于第二材料的移除速率的速率移除第一材料, 则第一材料的移除是“对于”第二材料“选择性的”。第一材料的移除速率与第二材料的移除速率的比率在本文中被称为第一材料相对于第二材料的移除过程的“选择率”。

[0055] 牺牲材料层42可包括绝缘材料、半导体材料或导电材料。随后可用导电电极替换牺牲材料层42的第二材料, 该导电电极可用作例如垂直NAND器件的控制栅极电极。第二材料的非限制性示例包括氮化硅、非晶半导体材料(诸如非晶硅)和多晶半导体材料(诸如多晶硅)。在一个实施方案中, 牺牲材料层42可为包括氮化硅或半导体材料的间隔物材料层, 该半导体材料包括硅和锗中的至少一者。

[0056] 在一个实施方案中, 绝缘层32可以包括氧化硅, 并且牺牲材料层可以包括氮化硅牺牲材料层。可例如通过化学气相沉积(CVD)来沉积绝缘层32的第一材料。例如, 如果将氧化硅用于绝缘层32, 则可采用原硅酸四乙酯(TEOS)作为CVD过程的前体材料。可形成牺牲材料层42的第二材料, 例如CVD或原子层沉积(ALD)。

[0057] 牺牲材料层42可以被适当地图案化, 使得随后通过替换牺牲材料层42形成的导电材料部分可以用作导电电极, 诸如随后形成的单体三维NAND串存储器器件的控制栅极电极。牺牲材料层42可包括具有基本上平行于衬底的主表面7延伸的条带形状的部分。

[0058] 绝缘层32和牺牲材料层42的厚度可在20nm至50nm的范围内, 但是可将更小和更大的厚度用于每个绝缘层32和每个牺牲材料层42。成对绝缘层32和牺牲材料层(例如控制栅极电极或牺牲材料层)42的重复次数可在2至1,024的范围内, 并且通常在8至256的范围内, 但是也可采用更多的重复次数。堆叠中的顶部栅极电极和底部栅极电极可用作选择栅极电极。在一个实施方案中, 交替堆叠(32, 42)中的每个牺牲材料层42可以具有在每个相应牺牲材料层42内基本上不变的均一厚度。

[0059] 虽然本公开采用间隔物材料层是随后被导电层替换的牺牲材料层42的实施方案来描述, 但是在此明确设想了其中牺牲材料层形成为导电层的实施方案。在这种情况下, 可以省略用导电层替换间隔物材料层的步骤。

[0060] 任选地, 绝缘帽盖层70可形成在交替堆叠(32, 42)上方。绝缘帽盖层70包括与牺牲材料层42的材料不同的介电材料。在一个实施方案中, 绝缘帽盖层70可以包括如上所述可以用于绝缘层32的介电材料。绝缘帽盖层70可以具有比每个绝缘层32更大的厚度。例如, 绝缘帽盖层70的厚度可在间隔物材料层的厚度的两倍至间隔物材料层的厚度的八倍的范围内。绝缘帽盖层70可以通过例如化学气相沉积来沉积。在一个实施方案中, 绝缘帽盖层70可以是氧化硅层。

[0061] 参考图3, 阶梯式腔体可在定位在器件区100和外围区200之间的接触区300内形

成,该外围区含有用于外围电路的该至少一个半导体器件。阶梯式腔体可具有各种阶梯式表面,使得阶梯式腔体的水平横截面形状根据距衬底(9,10)顶表面的竖直距离而逐步变化。在一个实施方案中,可通过重复执行一组处理步骤来形成阶梯式腔体。该组处理步骤可包括例如第一类型的蚀刻工艺和第二类型的蚀刻工艺,该第一类型的蚀刻工艺使腔体深度垂直地增加了一级或多级,该第二类型的蚀刻工艺横向扩展在第一类型的随后的蚀刻工艺中要垂直地蚀刻的区。如本文所用,包括交替多个的结构“层级”被定义为在结构内一对第一材料层和第二材料层的相对位置。

[0062] 在形成阶梯式腔体之后,交替堆叠(32,42)的外围部分在形成阶梯式腔体之后可具有阶梯式表面。如本文所用,“阶梯式表面”是指包括至少两个水平表面和至少两个垂直表面的一组表面,使得每个水平表面邻接从水平表面的第一边缘向上延伸的第一垂直表面,并且邻接从水平表面的第二边缘向下延伸的第二垂直表面。“阶梯式腔体”是指具有阶梯式表面的腔体。

[0063] 通过图案化交替堆叠(32,42)来形成平台区域。在交替堆叠(32,42)内除最顶部牺牲材料层42之外的每个牺牲材料层42比在交替堆叠(32,42)内的任何覆盖牺牲材料层42横向延伸得远。平台区域包括交替堆叠(32,42)的阶梯式表面,该阶梯式表面从交替堆叠(32,42)内的最底层持续延伸至交替堆叠(32,42)内的最顶层。

[0064] 通过在其中沉积介电材料,可在阶梯式腔体中形成后向阶梯式介电材料部分65(即绝缘填充材料部分)。例如,介电材料诸如氧化硅可沉积在阶梯式腔体中。可例如通过化学机械平面化(CMP)从绝缘帽盖层70的顶表面上方移除沉积的介电材料的多余部分。填充阶梯式腔体的沉积的介电材料的剩余部分构成后向阶梯式介电材料部分65。如本文所用,“后向阶梯式”元件是指具有阶梯式表面和根据距衬底的在其上存在有该元件的顶表面的竖直距离而单调地增加的水平横截面积的元件。如果将氧化硅用于后向阶梯式介电材料部分65,则后向阶梯式介电材料部分65的氧化硅可掺杂有掺杂剂或者可不掺杂有掺杂剂,诸如B、P和/或F。

[0065] 参考图4A和图4B,包括至少光致抗蚀剂层的光刻材料堆叠(未示出)可以形成在绝缘帽盖层70和后向阶梯式介电材料部分65上方,并且可以光刻图案化以在其中形成开口。开口包括形成在存储器阵列区域100上方的第一组开口和形成在接触区域300上方的第二组开口。光刻材料堆叠中的图案可以通过采用图案化光刻材料堆叠作为蚀刻掩模的至少一种各向异性蚀刻穿过绝缘帽盖层70或后向阶梯式介电材料部分65,并且穿过交替堆叠(32,42)进行转移。图案化的光刻材料堆叠中开口下方的交替堆叠(32,42)的部分被蚀刻以形成存储器开口49和支撑开口19。如本文所用,“存储器开口”是指其中随后在其中形成存储器元件诸如存储器堆叠结构的结构。如本文所用,“支撑开口”是指其中随后形成机械支撑其他元件的支撑结构(诸如支撑柱结构)的结构。存储器开口49穿过绝缘帽盖层70和存储器阵列区100中的交替堆叠(32,42)的整体形成。支撑开口19穿过后向阶梯式介电材料部分65以及交替堆叠(32,42)的位于接触区域300中阶梯式表面下方的部分来形成。

[0066] 存储器开口49延伸穿过交替堆叠(32,42)的整体。支撑开口19延伸穿过在交替堆叠(32,42)内的层的子集。用于蚀刻穿过交替堆叠(32,42)的材料的各向异性蚀刻工艺的的化学属性可交替以优化交替堆叠(32,42)中第一材料和第二材料的蚀刻。各向异性蚀刻可以是例如一系列反应离子蚀刻。存储器开口49和支撑开口19的侧壁可以是基本上垂直的,或

者可以是锥形的。随后可例如通过灰化来移除图案化的光刻材料堆叠。

[0067] 存储器开口49和支撑开口19可以穿过栅极介电层12形成,使得存储器开口49和支撑开口19从交替堆叠(32,42)的顶表面延伸到包括半导体材料层10的最顶表面的至少水平平面。在一个实施方案中,在半导体材料层10的顶表面物理地暴露在每个存储器开口49和每个支撑开口19的底部处之后,可以任选地执行对半导体材料层10的过蚀刻。过蚀刻可在移除光刻材料堆叠之前或之后执行。换句话讲,半导体材料层10的凹陷表面可从半导体材料层10的未凹陷顶表面竖直地偏移凹陷深度。凹陷深度可以在例如1nm至50nm的范围内,尽管也可以采用更小和更大的深度。过蚀刻是任选的并且可以省略。如果不执行过蚀刻,存储器开口49和支撑开口19的底表面可以与半导体材料层10的最顶表面共面。

[0068] 存储器开口49和支撑开口19中的每一者可包括基本上垂直于衬底的最顶表面延伸的侧壁(或多个侧壁)。可以在存储器阵列区域100中形成存储器开口49的二维阵列。可以在接触区域300中形成支撑开口19的二维阵列。衬底半导体层9和半导体材料层10共同构成衬底(9,10),衬底可以是半导体衬底。另选地,可以省略半导体材料层10,并且存储器开口49和支撑开口19可以延伸到衬底半导体层9的顶表面。

[0069] 图5A至图5H示出了存储器开口49中的结构变化,该存储器开口49是图4A和图4B的示例性结构中的存储器开口49中的一个。相同的结构变化同时发生在每个其他存储器开口49和每个支撑开口19中。

[0070] 参考图5A,示出了图4A和图4B的示例性器件结构中的存储器开口49。存储器开口49延伸穿过绝缘帽盖层70、交替堆叠(32,42)、栅极介电层12,并且任选地延伸到半导体材料层10的上部部分中。在该处理步骤中,每个支撑开口19可以延伸穿过后向阶梯式介电材料部分65、交替堆叠(32,42)中的层子集、栅极介电层12,并且任选地穿过半导体材料层10的上部部分。每个存储器开口的底表面相对于半导体材料层10的顶表面的凹陷深度可在0nm至30nm的范围内,但是也可采用更大的凹陷深度。任选地,牺牲材料层42可以例如通过各向同性蚀刻部分地横向凹陷以形成横向凹陷部(未示出)。

[0071] 参考图5B,任选的基座沟道部分(例如,外延基座)11可例如通过选择性外延形成在每个存储器开口49和每个支撑开口19的底部部分处。每个基座沟道部分11包括与半导体材料层10的单晶半导体材料外延对准的单晶半导体材料。在一个实施方案中,基座沟道部分11可掺杂有与半导体材料层10相同的导电类型的电掺杂剂。在一个实施方案中,每个基座沟道部分11的顶表面可形成在包括牺牲材料层42的顶表面的水平平面的上方。在这种情况下,通过用相应导电材料层替换定位在包括基座沟道部分11的顶表面的水平平面的下方的每个牺牲材料层42,可随后形成至少一个源极选择栅极电极。基座沟道部分11可以是晶体管沟道的随后将在衬底(9,10)中形成的源极区和随后将在存储器开口49的上部部分中形成的漏极区之间延伸的部分。存储器腔体49'存在于基座沟道部分11上方的存储器开口49的未填充部分中。在一个实施方案中,基座沟道部分11可包括单晶硅。在一个实施方案中,基座沟道部分11可具有第一导电类型的掺杂,该第一导电类型与基座沟道部分接触的半导体材料层10的导电类型相同。如果不存在半导体材料层10,则基座沟道部分11可直接形成在衬底半导体层9上,其可具有第一导电类型的掺杂。

[0072] 参考图5C,包括阻挡介电层52、电荷存储层54、隧穿介电层56和任选的第一半导体沟道层601的层堆叠可以顺序地沉积在存储器开口49中。

[0073] 阻挡介电层52可以包括单个介电材料层或多个介电材料层的堆叠。在一个实施方案中,阻挡介电层可以包括介电金属氧化物层,其基本上由介电金属氧化物组成。如本文所用,介电金属氧化物是指包括至少一种金属元素和至少氧的介电材料。介电金属氧化物可以基本上由至少一种金属元素和氧组成,或可以基本上由至少一种金属元素、氧和至少一种非金属元素诸如氮组成。在一个实施方案中,阻挡介电层52可以包括具有大于7.9的介电常数(即,具有大于氮化硅的介电常数的介电常数)的介电金属氧化物。

[0074] 介电金属氧化物的非限制性示例包括氧化铝(Al_2O_3)、氧化铪(HfO_2)、氧化镧(LaO_2)、氧化钇(Y_2O_3)、氧化钽(Ta_2O_5)、其硅酸盐、其氮掺杂化合物、其合金及其堆叠。可以例如通过化学气相沉积(CVD)、原子层沉积(ALD)、脉冲激光沉积(PLD)、液体源雾化化学沉积或其组合来沉积介电金属氧化物层。介电金属氧化物层的厚度可以在1nm至20nm的范围内,但是也可以采用更小和更大的厚度。随后,介电金属氧化物层可以用作介电材料部分,其阻挡所存储的电荷泄漏到控制栅极电极。在一个实施方案中,阻挡介电层52包括氧化铝。在一个实施方案中,阻挡介电层52可以包括具有不同的材料组成的多个介电金属氧化物层。

[0075] 另选地或除此之外,阻挡介电层52可以包括介电半导体化合物,诸如氧化硅、氮氧化硅、氮化硅或其组合。在一个实施方案中,阻挡介电层52可以包括氧化硅。在这种情况下,阻挡介电层52的介电半导体化合物可以通过保形沉积方法(诸如低压化学气相沉积、原子层沉积或其组合)来形成。介电半导体化合物的厚度可以在1nm至20nm的范围内,但是也可以采用更小和更大的厚度。另选地,可以省略阻挡介电层52,并且可以在随后要形成的存储器膜的表面上形成背侧凹陷部之后形成背侧阻挡介电层。

[0076] 随后,可形成电荷存储层54。在一个实施方案中,电荷存储层54可以是包括介电电荷捕获材料(例如其可以是氮化硅)的电荷捕获材料的连续层或图案化的分立部分。另选地,电荷存储层54可包括导电材料(诸如掺杂多晶硅或金属材料)的连续层或图案化的分立部分,该导电材料例如通过在横向凹陷部内形成为牺牲材料层42而被图案化成多个电隔离部分(例如浮栅)。在一个实施方案中,电荷存储层54包括氮化硅层。在一个实施方案中,牺牲材料层42和绝缘层32可具有垂直地重合的侧壁,并且电荷存储层54可形成为单个连续层。

[0077] 在另一个实施方案中,牺牲材料层42可相对于绝缘层32的侧壁横向凹陷,并且可采用沉积工艺和各向异性蚀刻工艺的组合来将电荷存储层54形成为垂直地间隔开的多个存储器材料部分。虽然采用其中电荷存储层54是单个连续层的实施方案描述了本公开,但是本文中明确地构想其中电荷存储层54被垂直地间隔开的多个存储器材料部分(其可以是电荷捕获材料部分或电隔离的导电材料部分)替换的实施方案。

[0078] 电荷存储层54可以形成为均匀组成的单个电荷存储层,或者可以包括多个电荷存储层的堆叠。多个电荷存储层(如果采用的话)可以包括多个间隔开的浮栅材料层,该多个间隔开的浮栅材料层含有导电材料(例如,金属诸如钨、钼、钽、钛、铂、钨及其合金,或金属硅化物诸如硅化钨、硅化钼、硅化钽、硅化钛、硅化镍、硅化钴或其组合)和/或半导体材料(例如,包括至少一种元素半导体元件或至少一种化合物半导体材料的多晶或非晶半导体材料)。另选地或除此之外,电荷存储层54可包括绝缘电荷捕获材料,诸如一个或多个氮化硅链段。另选地,电荷存储层54可包括导电纳米粒子,诸如金属纳米粒子,其可以是例如钨纳米粒子。电荷存储层54可以例如通过化学气相沉积(CVD)、原子层沉积(ALD)、物理气相沉

积(PVD)或用于在其中存储电荷的任何合适沉积技术形成。电荷存储层54的厚度可以在2nm至20nm的范围内,但是也可以采用更小和更大的厚度。

[0079] 隧穿介电层56包括介电材料,可以在合适电偏压条件下穿过该介电材料来执行电荷隧穿。可以通过热载流子注入或通过福勒-诺德海姆隧穿感应电荷转移来执行电荷隧穿,这取决于待形成的单体三维NAND串存储器器件的操作模式。隧穿介电层56可以包括氧化硅、氮化硅、氮氧化硅、介电金属氧化物(诸如氧化铝和氧化铅)、介电金属氮氧化物、介电金属硅酸盐、其合金和/或其组合。在一个实施方案中,隧穿介电层56可以包括第一氧化硅层、氮氧化硅层和二氧化硅层的堆叠,该堆叠通常被称为ONO堆叠。在一个实施方案中,隧穿介电层56可以包括基本上不含碳的氧化硅层或基本上不含碳的氮氧化硅层。隧穿介电层56的厚度可以在2nm至20nm的范围内,但是也可以采用更小和更大的厚度。

[0080] 任选的第一半导体沟道层601包括半导体材料,诸如至少一种元素半导体材料、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料或本领域已知的其他半导体材料。在一个实施方案中,第一半导体沟道层601包括非晶硅或多晶硅。第一半导体沟道层601可以通过诸如低压化学气相沉积(LPCVD)的保形沉积方法形成。第一半导体沟道层601的厚度可以在2nm至10nm的范围内,但是也可以采用更小和更大的厚度。存储器腔体49'形成在每个存储器开口49的未填充有沉积的材料层(52, 54, 56, 601)的体积中。

[0081] 参考图5D,采用至少一种各向异性蚀刻工艺按顺序各向异性地蚀刻任选的第一半导体沟道层601、隧穿介电层56、电荷存储层54、阻挡介电层52。可以通过至少一个各向异性蚀刻工艺移除定位在绝缘帽盖层70的顶表面上方的第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52的部分。此外,可移除第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52的在每个存储器腔体49'的底部处的水平部分,以在其剩余部分中形成开口。可以通过采用相应蚀刻化学物质的相应各向异性蚀刻工艺来蚀刻第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52中的每一者,该蚀刻化学物质对于各种材料层可以相同或不同。

[0082] 第一半导体沟道层601的每个剩余部分可以具有管状构型。电荷存储层54可包括电荷捕获材料或浮栅材料。在一个实施方案中,每个电荷存储层54可包括在编程时存储电荷的电荷存储区的垂直堆叠。在一个实施方案中,电荷存储层54可为电荷存储层,其中与牺牲材料层42相邻的每个部分构成电荷存储区。

[0083] 基座沟道部分11的表面(或在不采用基座沟道部分11的情况下的半导体材料层10的表面)可穿过第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52物理地暴露在开口下面。任选地,在每个存储器腔体49'的底部处的物理地暴露的半导体表面可竖直地凹陷,使得在存储器腔体49'下面的凹陷半导体表面竖直地从基座沟道部分11(或在不采用基座沟道部分11的情况下的半导体衬底层10)的最顶表面偏移凹陷距离。隧穿介电层56定位在电荷存储层54上方。存储器开口49中的一组阻挡介电层52、电荷存储层54和隧穿介电层56构成存储器膜50,存储器膜包括多个电荷存储区(如实施为电荷存储层54),多个电荷存储区通过阻挡介电层52和隧穿介电层56与围绕材料绝缘。在一个实施方案中,第一半导体沟道层601、隧穿介电层56、电荷存储层54和阻挡介电层52可以具有竖直重合的侧壁。

[0084] 参考图5E,第二半导体沟道层602可直接沉积在基座沟道部分11的半导体表面上或者半导体衬底层10上(如果基座沟道部分11被省略的话),并且直接沉积在第一半导体沟道层601上。第二半导体沟道层602包括半导体材料,诸如至少一种元素半导体材料、至少一种III-V族化合物半导体材料、至少一种II-VI族化合物半导体材料、至少一种有机半导体材料或本领域已知的其他半导体材料。在一个实施方案中,第二半导体沟道层602包括非晶硅或多晶硅。第二半导体沟道层602可以通过诸如低压化学气相沉积(LPCVD)的保形沉积方法形成。第二半导体沟道层602的厚度可被选择用于完全填充腔体49'的剩余体积。第二半导体沟道层602可完全填充每个存储器开口49中的腔体49'。

[0085] 参考图5F,可通过平面化工艺从包括绝缘帽盖层70的顶表面的水平平面上方移除第二半导体沟道层602的水平部分。例如,可采用凹陷蚀刻或化学机械平面化来移除第二半导体沟道层602的水平部分。第二半导体沟道层602的每个剩余部分可以整体定位在存储器开口49内或者全部定位在支撑开口19内。

[0086] 第一半导体沟道层601和第二半导体沟道层602的每个邻接对可共同形成竖直半导体沟道60,当包括竖直半导体沟道60的竖直NAND器件接通时,电流可流过该竖直半导体沟道。隧穿介电层56被电荷存储层54包围,并且横向围绕竖直半导体沟道60的部分。每组邻接的阻挡介电层52、电荷存储层54和隧穿介电层56共同构成存储器膜50,存储器膜可以以宏观保留时间存储电荷。在一些实施方案中,在该步骤处在存储器膜50中可不存在阻挡介电层52,并且可以在形成背侧凹陷部之后随后形成阻挡介电层。如本文所用,宏观保留时间是指适于作为永久性存储器器件的存储器器件的操作的保留时间,诸如超过24小时的保留时间。

[0087] 参考图5G,可通过注入与第一导电类型相反的第二导电类型的掺杂剂来形成漏极区63。例如,如果第一导电类型是p型,则第二导电类型是n型,反之亦然。漏极区63的掺杂剂浓度可以在 $5.0 \times 10^{19}/\text{cm}^3$ 至 $2.0 \times 10^{21}/\text{cm}^3$ 的范围内,尽管也可以采用更小和更大的掺杂剂浓度。在一个实施方案中,半导体材料层10、基座沟道部分11和竖直半导体沟道60可具有第一导电类型(诸如p型)的掺杂,并且漏极区63可具有第二导电类型(诸如n型)的掺杂。

[0088] 图5H示出了根据另选实施方案的另选结构。在该实施方案中,在图5D中示出的每个存储器开口中的存储器腔体49'未被第二半导体沟道层602完全填充的情况下,可在存储器腔体49'中沉积介电芯层以填充每个存储器开口内的存储器腔体49'的任何剩余部分。介电芯层包括介电材料,诸如氧化硅或有机硅酸盐玻璃。介电芯层可以通过保形沉积方法(诸如低压化学气相沉积(LPCVD))沉积,或通过自平面化沉积工艺(诸如旋涂)沉积。

[0089] 例如,可以通过从绝缘盖层70的顶表面上方的凹陷蚀刻来移除介电芯层的水平部分。介电芯层的每个剩余部分构成介电芯62。此外,第二半导体沟道层602的位于绝缘帽盖层70的顶表面上方的水平部分可以通过可采用凹陷蚀刻或化学机械平面化(CMP)的平面化工艺移除。第二半导体沟道层602的每个剩余部分可以整体定位在存储器开口49内或者全部定位在支撑开口19内。

[0090] 参考图5H,每个介电芯62的顶表面可进一步凹陷到每个存储器开口内,例如通过凹陷蚀刻到定位在例如绝缘帽盖层70的顶表面和底表面之间的深度(例如,等于或低于底表面漏极侧选择栅极)。可通过沉积掺杂的或未掺杂的半导体材料(诸如非晶硅或多晶硅)以填充介电芯62上方的每个凹陷区来形成沟道延伸区64。可例如通过化学机械平面化

(CMP)或凹陷蚀刻从绝缘帽盖层70的顶表面上方移除沉积半导体材料的多余部分,以形成沟道延伸区64。如果需要,可在此时或在下文所述的过程的稍后阶段将漏极区63注入到沟道延伸区64的上部部分中。

[0091] 在图5G或图5H的实施方案中的存储器开口49内的存储器膜50和垂直半导体沟道60(其为垂直半导体沟道)的每种组合构成存储器堆叠结构55。垂直半导体沟道60可包括图5H所示的半导体沟道层(601和/或602)以及任选的沟道延伸区64。存储器堆叠结构55是半导体沟道、隧穿介电层、体现为电荷存储层54的部分的多个存储器元件以及可选的阻挡介电层52的组合。存储器开口49内的基座沟道部分11(如果存在的话)、存储器堆叠结构55、介电芯62(如果存在的话)和漏极区63的每种组合在本文中均被称为存储器开口填充结构(11, 55, 63)。每个支撑开口19内的基座沟道部分11(如果存在的话)、存储器膜50、垂直半导体沟道60、介电芯62(如果存在的话)和漏极区63的每种组合填充相应的支撑开口19并且构成支撑柱结构20。漏极区63形成在存储器堆叠结构55中的每一个上。每个漏极区接触相应的存储器膜50。每个垂直半导体沟道60接触相应漏极区63的底表面。

[0092] 参考图6A和图6B,根据图5G或图5H的实施方案示出了在存储器开口49和支撑开口19内分别形成存储器开口填充结构(11, 55, 63)和支撑柱结构20之后的示例性结构。尽管图5H的实施方案的介电芯62和沟道延伸区64在图6A中未示出,但应当理解,它们可被包括在图6A中示出的结构和本公开的所有后续附图中。存储器开口填充结构(11, 55, 63)的实例可在图4A和图4B的结构的每个存储器开口49内形成。支撑柱结构20的实例可以在图4A和图4B的结构的每个支撑开口19内形成。

[0093] 每个存储器堆叠结构55包括存储器膜50和垂直半导体沟道60,该垂直半导体沟道可包括多个半导体沟道层(601, 602)以及任选的沟道延伸区46。垂直半导体沟道60由存储器膜50横向围绕。存储器堆叠结构55可排列成沿第一水平方向hd1横向延伸的行。存储器堆叠结构55行可沿垂直于第一水平方向hd1的第二水平方向hd2彼此横向间隔开。存储器膜50可包括横向围绕垂直半导体沟道60的隧穿介电层56以及横向围绕隧穿介电层56(如实施为存储器材料层54)和可选的阻挡介电层52的电荷存储区域的垂直堆叠。虽然使用所示出的用于存储器堆叠结构的构型来描述本公开,但是本公开的方法可以应用于包括用于存储器膜50和/或用于垂直半导体沟道60的不同层堆叠或结构的另选存储器堆叠结构。

[0094] 参考图7A和图7B,光致抗蚀剂层173施加在示例性结构上方,并光刻图案化以形成沿存储器堆叠结构55的行的方向延伸的伸长开口。图案化的光致抗蚀剂层173中的每个伸长开口可沿第一水平方向hd1横向延伸,并且沿第二水平方向hd2可具有均匀的宽度。可选择每个伸长开口的宽度和每个伸长开口的位置,使得每个伸长开口跨越一对相邻的存储器堆叠结构55行。对于由伸长开口跨越的每对存储器堆叠结构55行,沿第一水平方向hd1延伸的伸长开口的第一侧壁可覆盖在这对存储器堆叠结构55行中的第一行中的每个存储器堆叠结构55上面,并且沿第一水平方向hd1延伸的伸长开口的第二侧壁可覆盖在这对存储器堆叠结构55行中的第二行中的每个存储器堆叠结构55上面。在一个实施方案中,每个存储器堆叠结构55的与光致抗蚀剂层173中的覆盖伸长开口的面积重叠的面积的分数的(相对于存储器堆叠结构55的总面积)可在0.25至0.75(诸如0.4至0.6)的范围内,但也可采用更小和更大的分数。

[0095] 参考图8A至图8C,执行各向异性蚀刻以将光致抗蚀剂层173的图案转移到下面的

材料部分中。具体地,穿过定位在光致抗蚀剂层173中的伸长开口的区域内的绝缘帽盖层70的上部部分、漏极区63的部分、存储器膜50的部分以及垂直半导体沟道60的部分转移光致抗蚀剂层173中的图案。如果图5H中示出的沟道延伸区64作为垂直半导体沟道60的顶部部分存在,则还穿过沟道延伸区64转移图案。线状沟槽175通过各向异性蚀刻工艺形成在光致抗蚀剂层173中的每个伸长开口下面。各向异性蚀刻的化学物质对绝缘帽盖层70、漏极区63、存储器膜50和垂直半导体沟道60的材料是非选择性的。附加地或另选地,可采用多种蚀刻化学物质来在各向异性蚀刻工艺期间蚀刻绝缘帽盖层70、漏极区63、存储器膜50和垂直半导体沟道60的各种材料,使得每个线状沟槽175的底表面可提供基本上平坦的表面。

[0096] 每个线状沟槽175跨越一对相邻的存储器堆叠结构55行并且沿第一水平方向hd1延伸。每个线状沟槽175的侧壁包括这对相邻的存储器堆叠结构55行内的每个存储器堆叠结构55的侧壁(例如,垂直半导体沟道60的侧壁,诸如垂直半导体沟道60的沟道延伸区64的侧壁)。通过各向异性蚀刻工艺使绝缘帽盖层70的区和这对相邻存储器堆叠结构55行内的每个存储器堆叠结构55的上部部分垂直凹陷来形成每个线状沟槽175。如图8C所示,可选择各向异性蚀刻工艺的持续时间和化学物质,使得每个线状沟槽175的底表面形成在包括绝缘帽盖层70的底表面的第一水平平面HP1的上方。沿第一水平方向延伸的绝缘帽盖层70的连续凹陷表面物理地暴露在每个线状沟槽175的底部处。

[0097] 参考图9A至图9C,可将电掺杂剂注入到线状沟槽175的侧壁和底表面中。垂直半导体沟道60的注入部分(例如,注入到沟道延伸区64(如果存在的话)中)构成具有与漏极区63的导电类型相反的导电类型的掺杂的L形掺杂区612。具体地,可执行成角度离子注入工艺以将第一导电类型的掺杂剂注入到垂直半导体沟道60的表面部分中,这些表面部分在物理地暴露的侧壁和围绕线状沟槽175的物理地暴露的凹陷水平表面的下面。垂直半导体沟道60的每个注入区包括直接定位在线状沟槽175的侧壁之外的垂直部分,以及直接定位在连接到注入区的垂直部分的线状沟槽175的底表面下面的水平部分。因此,垂直半导体沟道60的注入区在本文中被称为L形掺杂区612。

[0098] 在一个实施方案中,第一半导体沟道层和/或第二半导体沟道层(601,602)和任选的沟道延伸区64(如果存在的话)可具有掺杂剂浓度在 $1.0 \times 10^{14}/\text{cm}^3$ 至 $3.0 \times 10^{17}/\text{cm}^3$ 的范围内的第一导电类型的掺杂,并且L形掺杂区612可具有掺杂剂浓度在 $1.0 \times 10^{17}/\text{cm}^3$ 至 $3.0 \times 10^{18}/\text{cm}^3$ 的范围内的更重(即,更大)的第一导电类型的掺杂,但也可采用较低和较高的掺杂剂浓度。离子注入步骤的角度(如从垂直方向测量的)可小于45度。在这种情况下,如图9C所示,L形掺杂区612的垂直部分的宽度w可例如以在1.1至10范围内的系数小于L形掺杂区612的水平部分的厚度t。L形掺杂区612用作用于在垂直半导体沟道60接通时传导电流的导管,并且随后将在线状沟槽中形成的漏极选择栅极电极可有效地控制流动通过定位在绝缘帽盖层70级处的垂直半导体沟道的上部部分的电流。

[0099] 可通过将垂直半导体沟道60的表面部分转换为介电材料部分以及/或者通过沉积至少一个介电材料层来在垂直半导体沟道60的物理地暴露的表面上形成漏极选择栅极电介质。如本文所用,“漏极选择栅极电介质”是指用于漏极选择栅极电极的栅极电介质,即,控制从漏极侧选择激活的半导体沟道的栅极电极。垂直半导体沟道60的表面部分到介电材料部分的转换可通过热氧化、等离子体氧化、热氮化、等离子体氮化或它们的组合来实现。该至少一种介电材料层可包括氧化硅、氮化硅、氧氮化硅和/或至少一种介电金属氧化物。

图10示出了其中通过保形沉积方法形成连续栅极介电层150L以提供漏极选择栅极电介质的实施方案。例如,连续栅极介电层150L可包括氧化硅层,该氧化硅层具有在2nm至6nm的范围内的厚度,但也可采用更小和更大的厚度。

[0100] 参考图11A至图11C,可通过保形沉积(诸如化学气相沉积或电镀)或通过非保形沉积(诸如物理气相沉积),将至少一种导电材料沉积在连续栅极介电层150L上(或在漏极选择栅极电介质形成为分立的介电材料部分的情况下,沉积在分立的漏极选择栅极电介质上)。例如,该至少一种导电材料可包括导电金属氮化物衬里,包括TiN、TaN和/或WN;以及导电填充材料层,诸如钨、铜、铝和/或钴。选择导电填充材料层的厚度,使得线状沟槽175的整个宽度(诸如整个体积)均填充有漏极选择栅极电介质和该至少一种导电材料。

[0101] 通过平面化工艺移除覆盖包括绝缘帽盖层70的顶表面的水平平面的该至少一种导电材料的任何部分,该平面化工艺可包括化学机械平面化和/或凹陷蚀刻。此外,该至少一种导电材料可通过凹陷蚀刻进一步凹陷到包括绝缘帽盖层70的顶表面的水平平面的下方,该凹陷蚀刻可采用各向同性蚀刻或各向异性蚀刻。线状沟槽175中的该至少一种导电材料的每个剩余部分构成漏极选择电极线152,该漏极选择电极线是控制电流通过定位在绝缘帽盖层70级处的垂直半导体沟道60的上部部分(例如,沟道延伸区64(如果存在的话))的流动并包括L形掺杂区612的漏极选择栅极电极。漏极选择电极线152的顶表面形成在包括绝缘帽盖层70的顶表面的第二水平平面HP2的下方,如图11C所示。

[0102] 在漏极选择栅极电介质包括连续栅极介电层150L的相应部分的情况下,凹陷深度可与漏极区63的高度相同,可小于漏极区63的高度,或者可大于漏极区63的高度,这取决于凹陷蚀刻工艺的持续时间。可以或不随后通过各向同性蚀刻(诸如湿法蚀刻)移除连续栅极介电层150L的定位在包括漏极选择电极线152的顶表面的水平平面上方的物理地暴露部分。在移除连续栅极介电层150L的定位在包括漏极选择电极线152的顶表面的水平平面上方的暴露部分的情况下,可物理地暴露漏极区63的顶表面和侧壁。连续栅极介电层150L的每个剩余部分构成漏极选择栅极电介质150。

[0103] 另选地,漏极选择栅极电介质150可形成为分立结构,这些分立结构在图10的加工步骤处形成时与半导体沟道60的物理地暴露的表面自对准。在这种情况下,该至少一种导电材料充分凹陷到例如包括漏极区63的底表面的水平平面下方,以防止漏极区63和漏极选择电极线152之间出现电短路。在另选的实施方案中,在通过成角度离子注入使漏极选择电极线凹陷到L形掺杂区612和/或垂直半导体沟道60的上部部分中(例如,凹陷到沟道延伸区64(如果存在的话)中)之后形成漏极区63。

[0104] 一般来讲,漏极选择栅极电介质150形成在每个L形掺杂区150上。漏极选择栅极电介质150可以是接触一对存储器堆叠结构55行内的每个L形掺杂区612的连续层,或者可以是仅接触一对存储器堆叠结构55行内的L形掺杂区150中的相应一个的分立介电材料部分。在一个实施方案中,漏极选择栅极电介质150可形成在线状沟槽175的侧壁和线状沟槽175的底表面上。漏极选择电极线152形成在线状沟槽175中的每个漏极选择栅极电介质150上。每个漏极选择电极线152沿垂直于漏极选择电极线152的纵向方向(即,第一水平方向hd1)的垂直平面可具有均匀的垂直横截面积。在一个实施方案中,该均匀的垂直横截面积可具有矩形形状或锥度角小于10度(如从垂直方向测量的)的倒梯形形状。

[0105] 参考图12A至图12C,可沉积包括介电材料(诸如氧化硅)的接触级介电层73以填充

覆盖漏极选择电极线152的凹陷区。图12A和图12B示出了其中漏极选择电极线152的顶表面定位在包括漏极区63的底表面的水平平面上方的实施方案。图12C示出了其中漏极选择电极线152的顶表面定位在包括漏极区63的底表面的水平平面下方的实施方案。

[0106] 接触级介电层73包括与牺牲材料层42的介电材料不同的介电材料。例如,接触级介电层73可以包括氧化硅。接触级介电层73可具有在50nm至500nm的范围内的厚度,但也可采用更小和更大的厚度。

[0107] 在一个实施方案中,接触级介电层73可形成在每个漏极选择电极线152的整个顶表面上。接触级介电层73可直接形成在每个漏极区63的顶表面和侧壁上。接触级介电层73可形成在每个漏极选择栅极电介质150的顶表面上,其可具有U形竖直横截面轮廓并接触线状沟槽175内的每个竖直半导体沟道60的表面并且可沿第一水平方向hd1横向延伸,或者可具有L形轮廓并仅接触一个竖直半导体沟道60。

[0108] 另选地,如果漏极选择栅极电介质150形成为包括覆盖在漏极区63上面的水平部分的连续漏极选择栅极介电层(诸如图10中示出且未经受后续蚀刻工艺的连续栅极介电层150L)的部分,则接触级介电层73可通过此类连续漏极选择栅极介电层与漏极区63间隔开。在这种情况下,接触级介电层73可形成在连续漏极选择栅极介电层的顶表面上,该连续漏极选择栅极介电层包括漏极选择栅极电介质150作为其中的部分。

[0109] 参考图13A和图13B,光致抗蚀剂层(未示出)可施加在接触级介电层73上方,并且光刻图案化以在存储器堆叠结构55的集群之间的区域中形成开口。光致抗蚀剂层中的图案可以穿过接触级介电层73、交替堆叠(32, 42)和/或采用各向异性蚀刻的后向阶梯式介电材料部分65来转移,以形成背侧沟槽79,该背侧沟槽至少从接触级介电层73的顶表面竖直延伸至衬底(9, 10)的顶表面,并且横向延伸穿过存储器阵列区100和接触区300。在一个实施方案中,背侧沟槽79可以包括源极接触开口,其中随后可以形成源极接触通孔结构。可以例如通过灰化来移除光致抗蚀剂层。

[0110] 参考图14和图15A,可例如采用蚀刻工艺将蚀刻剂引入到背侧沟槽79中,该蚀刻剂相对于绝缘层32的第一材料选择性地蚀刻牺牲材料层42的第二材料。图15A示出了图14的示例性结构的区。背侧凹陷部43形成在从中移除牺牲材料层42的体积中。牺牲材料层42的第二材料可对于绝缘层32的第一材料、后向阶梯式介电材料部分65的材料、半导体材料层10的半导体材料和存储器膜50的最外层材料选择性地去除。在一个实施方案中,牺牲材料层42可包括氮化硅,并且绝缘层32和后向阶梯式介电材料部分65的材料可选自氧化硅和介电金属氧化物。

[0111] 选择性地对于第一材料和存储器膜50的最外层移除第二材料的蚀刻工艺可以是使用湿法蚀刻溶液的湿法蚀刻工艺,或者可以是将蚀刻剂以汽相引入背侧沟槽79中的气相(干法)蚀刻工艺。例如,如果牺牲材料层42包括氮化硅,则蚀刻工艺可以是将示例性结构浸入包括磷酸的湿法蚀刻槽内的湿法蚀刻工艺,该湿法蚀刻工艺选择性地对于氧化硅、硅和本领域中采用的各种其他材料蚀刻氮化硅。当背侧凹陷部43存在于先前由牺牲材料层42占据的体积内时,支撑柱结构20、后向阶梯式介电材料部分65和存储器堆叠结构55提供结构支撑。

[0112] 每个背侧凹陷部43可为横向延伸的腔体,该腔体的横向尺寸大于该腔体的垂直范围。换句话说,每个背侧凹陷部43的横向尺寸可大于背侧凹陷部43的高度。多个背侧凹陷部

43可在从中移除牺牲材料层42的第二材料的体积中形成。其中形成存储器堆叠结构55的存储器开口在本文中被称为前侧开口或前侧腔体,与背侧凹陷部43形成对比。在一个实施方案中,存储器阵列区100包括单体三维NAND串阵列,其具有设置在衬底(9,10)上方的多个器件层级。在这种情况下,每个背侧凹陷部43可限定用于接收单体三维NAND串阵列的相应字线的空间。

[0113] 多个背侧凹陷部43中的每一个可基本上平行于衬底(9,10)的顶表面延伸。背侧凹陷部43可由下层绝缘层32的顶部表面和覆盖绝缘层32的底部表面垂直地界定。在一个实施方案中,每个背侧凹陷部43可以始终具有均一高度。

[0114] 可通过将半导体材料热转换和/或等离子体转换成介电材料来将任选的基座沟道部分11和半导体材料层10的物理地暴露的表面部分转换成介电材料部分。例如,可以采用热转换和/或等离子体转换将每个基座沟道部分11的表面部分转换成管状介电间隔物116,并将半导体材料层10的每个物理地暴露的表面部分转换成平面介电部分616。在一个实施方案中,每个管状介电间隔物116可以拓扑同胚于环面即大致环形的。如本文所用,如果元件的形状可以持续拉伸而不破坏孔或形成新的孔到环面的形状中,则该元件拓扑同胚于环面。管状介电间隔物116包括介电材料,该介电材料包括与基座沟道部分11相同的半导体元件,并且另外地包括至少一种非金属元素诸如氧和/或氮,使得管状介电间隔物116的材料是介电材料。在一个实施方案中,管状介电间隔物116可包括基座沟道部分11的半导体材料的介电氧化物、介电氮化物或介电氮氧化物。同样,每个平面的介电部分616包括介电材料,该介电材料包括与半导体材料层相同的半导体元件,并且另外地包括至少一种非金属元素诸如氧和/或氮,使得平面的介电部分616的材料是介电材料。在一个实施方案中,平面的介电部分616可以包括半导体材料层10的半导体材料的介电氧化物、介电氮化物或介电氮氧化物。

[0115] 参考图15B,可任选地形成背侧阻挡介电层44。背侧阻挡介电层44(如果存在)包括用作控制栅极电介质的介电材料,该控制栅极电介质用于随后在背侧凹陷部43中形成的控制栅。在每个存储器开口内存在阻挡介电层52的情况下,背侧阻挡介电层44是任选的。在省略阻挡介电层52的情况下,存在背侧阻挡介电层44。

[0116] 背侧阻挡介电层44可以形成在背侧凹陷部43中和背侧沟槽79的侧壁上。背侧阻挡介电层44可以直接形成在背侧凹陷部43内的绝缘层32的水平表面和存储器堆叠结构55的侧壁上。如果形成背侧阻挡介电层44,那么在形成背侧阻挡介电层44之前形成管状介电间隔物116和平面的介电部分616是任选的。在一个实施方案中,背侧阻挡介电层44可以通过诸如原子层沉积(ALD)的保形沉积工艺形成。背侧阻挡介电层44可以基本上由氧化铝组成。背侧阻挡介电层44的厚度可以在1nm至15nm的范围内,诸如2nm至6nm,但是也可以采用更小和更大的厚度。

[0117] 背侧阻挡介电层44的介电材料可以是介电金属氧化物(诸如氧化铝),至少一种过渡金属元素的介电氧化物,至少一种镧系元素的介电氧化物,铝、至少一种过渡金属元素和/或至少一种镧系元素的组合的介电氧化物。另选地或另外地,背侧阻挡介电层44可以包括氧化硅层。可以通过诸如化学气相沉积或原子层沉积的保形沉积方法来沉积背侧阻挡介电层44。背侧阻挡介电层44形成在背侧沟槽79的侧壁、绝缘层32的水平表面和侧壁、存储器堆叠结构55的侧壁表面的物理地暴露于背侧凹陷部43的部分以及平面介电部分616的顶表

面上。背侧腔体79' 存在于每个背侧沟槽79的未填充有背侧阻挡介电层44的部分内。

[0118] 参考图15C,金属阻挡层46A可沉积在背侧凹陷部43中。金属阻挡层46A包括导电金属材料,其可以用作随后沉积的金属填充材料的扩散阻挡层和/或粘合促进层。金属阻挡层46A可以包括导电金属氮化物材料诸如TiN、TaN、WN或其堆叠,或者可以包括导电金属碳化物材料诸如TiC、TaC、WC或其堆叠。在一个实施方案中,金属阻挡层46A可以通过保形沉积工艺诸如化学气相沉积(CVD)或原子层沉积(ALD)进行沉积。金属阻挡层46A的厚度可以在2nm至8nm的范围内,诸如3nm至6nm,但是也可以采用更小和更大的厚度。在一个实施方案中,金属阻挡层46A可以基本上由导电金属氮化物诸如TiN组成。

[0119] 参考图15D和图16,金属填充材料沉积在多个背侧凹陷部43中、沉积在该至少一个背侧沟槽79的侧壁上并且沉积在接触级介电层73的顶表面上方,以形成金属填充材料层46B。金属填充材料可以通过保形沉积方法沉积,该保形沉积方法可以是例如化学气相沉积(CVD)、原子层沉积(ALD)、化学镀、电镀或其组合。在一个实施方案中,金属填充材料层46B可以基本上由至少一种元素金属构成。金属填充材料层46B的至少一种元素金属可以选自例如钨、钴、钨、钛和钽。在一个实施方案中,金属填充材料层46B可以基本上由单个元素金属构成。在一个实施方案中,金属填充材料层46B可以采用含氟前体气体诸如 WF_6 进行沉积。在一个实施方案中,金属填充材料层46B可以是包括残余级氟原子作为杂质的钨层。金属填充材料层46B通过金属阻挡层46A与绝缘层32和存储器堆叠结构55间隔开,金属阻挡层46A是阻止氟原子扩散穿过其中的金属阻挡层。

[0120] 多个导电层46可形成在多个背侧凹陷部43中,并且连续金属材料层46L可形成在每个背侧沟槽79的侧壁上以及接触级介电层73上方。每个导电层46包括位于竖直相邻的一对介电材料层之间的金属阻挡层46A的一部分和金属填充材料层46B的一部分,该对介电材料层可以是一对绝缘层32、最底部绝缘层和栅极介电层12、或者最顶部绝缘层和绝缘帽盖层70。连续金属材料层46L包括位于背侧沟槽79中或接触级介电层73上方的金属阻挡层46A的连续部分和金属填充材料层46B的连续部分。

[0121] 每个牺牲材料层42可被导电层46替换。背侧腔体79' 存在于每个背侧沟槽79的未填充有背侧阻挡介电层44和连续的金属材料层46L的部分中。管状介电间隔物116横向围绕基座沟道部分11。在形成导电层46时,最底部导电层46横向围绕每个管状介电间隔物116。

[0122] 参考图17,例如通过各向同性湿法蚀刻、各向异性干法蚀刻或它们的组合从每个背侧沟槽79的侧壁并且从接触级介电层73上方回蚀刻连续导电材料层46L的沉积的金属材料。背侧凹陷部43中的沉积的金属材料的每个剩余部分构成导电层46。每个导电层46可以是导电线结构。因此,牺牲材料层42被导电层46替换。

[0123] 每个导电层46可用作位于同一级的多个控制栅极电极和与位于同一级的多个控制栅极电极电互连(即电短路)的字线的组合。在每个导电层46内的多个控制栅极电极是用于包括存储器堆叠结构55的垂直存储器器件的控制栅极电极。换句话说,每个导电层46可以是用作用于多个垂直存储器器件的公共控制栅极电极的字线。

[0124] 在一个实施方案中,连续导电材料层46L的移除对于背侧阻挡介电层44的材料可以是选择性的。在这种情况下,背侧阻挡介电层44的水平部分可以存在于每个背侧沟槽79的底部。栅极介电层12可以与背侧沟槽79竖直隔开背侧阻挡介电层44的水平部分。

[0125] 在另一个实施方案中,连续导电材料层46L的移除对于背侧阻挡介电层44的材料

可能是不具有选择性的,或者可以不采用背侧阻挡介电层44。在这种情况下,栅极介电层12的顶表面和/或侧壁表面可以在背侧沟槽79的底部物理暴露,具体取决于在去除连续导电材料层46L期间栅极介电层12是未被去除还是部分被去除。背侧腔体79'存在于每个背侧沟槽79内。

[0126] 参考图18A和图18B,可通过保形沉积工艺在该至少一个背侧沟槽79中并且在接触级介电层73上方形成绝缘材料层。示例性保形沉积工艺包括但不限于化学气相沉积和原子层沉积。绝缘材料层包括绝缘材料,诸如氧化硅、氮化硅、介电金属氧化物、有机硅酸盐玻璃或其组合。在一个实施方案中,绝缘材料层可包括氧化硅。绝缘材料层可以例如通过低压化学气相沉积(LPCVD)或原子层沉积(ALD)形成。绝缘材料层的厚度可以在1.5nm至60nm的范围内,但是也可以采用更小和更大的厚度。

[0127] 如果存在背侧阻挡介电层44,则绝缘材料层可以直接形成在背侧阻挡介电层44的表面上,并且直接形成在导电层46的侧壁上。如果不采用背侧阻挡介电层44,则绝缘材料层可以直接形成在绝缘层32的侧壁上,并且直接形成在导电层46的侧壁上。

[0128] 执行各向异性蚀刻以从接触级介电层73上方和每个背侧沟槽79的底部去除绝缘材料层的水平部分。绝缘材料层的每个剩余部分构成绝缘间隔物74。背侧腔体79'存在于由每个绝缘间隔物74围绕的体积内。

[0129] 各向异性蚀刻工艺可以在存在或不存在蚀刻化学变化的情况下继续,以移除任选的背侧阻挡介电层44和平面的介电部分616的位于穿过绝缘间隔物74的开口下方的部分。穿过每个背侧腔体79'下面的平面的电介质部分616形成开口,从而竖直地延伸背侧腔体79'。半导体材料层10的顶表面可物理地暴露在每个背侧沟槽79的底部处。每个平面的电介质部分616的剩余部分在此被称为环形电介质部分616',其可以包括半导体材料层10的半导体材料的介电氧化物,具有均一厚度以及穿过其中的开口。

[0130] 通过将电掺杂剂注入半导体材料层10的物理地暴露的表面部分中,可以在每个背侧腔体79'下方的半导体材料层10的表面部分处形成源极区61。每个源极区61形成在衬底(9,10)的表面部分中,该表面部分位于穿过绝缘间隔物74的相应开口下方。由于在注入工艺期间的注入的掺杂剂原子的散布和在随后活化退火工艺期间的注入的掺杂剂原子的横向扩散,每个源极区61可以具有大于穿过绝缘间隔物74的开口的横向范围的横向范围。

[0131] 半导体材料层10的在源极区61和该多个基座沟道部分11之间延伸的上部部分构成用于多个场效应晶体管的水平半导体沟道59。水平半导体沟道59通过相应基座沟道部分11连接到多个垂直半导体沟道60。水平半导体沟道59接触源极区61和该多个基座沟道部分11。在交替堆叠(32,46)内形成导电层46时提供的最底部导电层46可以包括场效应晶体管的选择栅极电极。每个源极区61形成在半导体衬底(9,10)的上部部分中。半导体沟道(59,11,60)在每个源极区61和相应一组漏极区63之间延伸。半导体沟道(59,11,60)包括存储器堆叠结构55的垂直半导体沟道60。

[0132] 背侧接触通孔结构76可形成在每个背侧腔体79'内。每个接触通孔结构76可以填充相应腔体79'。可以通过在背侧沟槽79的剩余未填充体积(即,背侧腔体79')中沉积至少一种导电材料来形成接触通孔结构76。例如,至少一种导电材料可以包括导电衬垫76A和导电填充材料部分76B。导电衬垫76A可包括导电金属衬垫,诸如TiN、TaN、WN、TiC、TaC、WC、其合金或其堆叠。导电衬垫76A的厚度可以在3nm至30nm的范围内,但是也可以采用更小和更

大的厚度。导电填充材料部分76B可以包括金属或金属合金。例如,导电填充材料部分76B可以包括W、Cu、Al、Co、Ru、Ni、其合金或其堆叠。

[0133] 可以使用覆盖在交替堆叠(32,46)上面的接触级介电层73作为停止层来平面化至少一种导电材料。如果采用化学机械平面化(CMP)工艺,那么接触级介电层73可以用作CMP停止层。背侧沟槽79中的至少一种导电材料的每个剩余连续部分构成背侧接触通孔结构76。

[0134] 背侧接触通孔结构76延伸穿过交替堆叠(32,46),并且接触源极区61的顶表面。如果采用背侧阻挡介电层44,则背侧接触通孔结构76可以接触背侧阻挡介电层44的侧壁。

[0135] 参考图19A和图19B,附加的接触通孔结构(88,86,8P)可穿过接触级介电层73形成,并且任选地穿过后向阶梯式介电材料部分65形成。例如,漏极接触通孔结构88可穿过每个漏极区63上的接触级介电层73形成。字线接触通孔结构86可穿过接触级介电层73以及穿过后向阶梯式介电材料部分65形成在导电层46上。外围器件接触通孔结构8P可以通过后向阶梯式介电材料部分65直接形成在外围器件的相应节点上。

[0136] 根据本公开的一个方面,提供了一种三维存储器器件,该三维存储器器件包括:绝缘层32和导电层46的交替堆叠,该绝缘层和导电层的交替堆叠定位在衬底(9,10)上方;绝缘帽盖层70,该绝缘帽盖层覆盖该交替堆叠(32,46);存储器堆叠结构55,这些存储器堆叠结构排列成沿第一水平方向hd1横向延伸并且延伸穿过该交替堆叠(32,46)和绝缘帽盖层70中的每一层的行,其中存储器堆叠结构55中的每一个均包括存储器膜50以及由存储器膜50横向围绕的竖直半导体沟道60;线状沟槽175,该线状沟槽跨越一对相邻的存储器堆叠结构55行并且沿第一水平方向hd1延伸,其中线状沟槽175的侧壁包括在这对相邻的存储器堆叠结构55行内的每个存储器堆叠结构55的侧壁;以及漏极选择电极线152,该漏极选择电极线定位在线状沟槽175内。

[0137] 在一个实施方案中,每个竖直半导体沟道60接触相应漏极区63的底表面;并且每个漏极区63接触相应的存储器膜50。在一个实施方案中,三维存储器器件还包括接触线状沟槽175的侧壁和线状沟槽175的底表面中的至少一者的漏极选择栅极电介质150,其中漏极选择电极线152接触漏极选择栅极电介质150。在一个实施方案中,漏极选择栅极电介质150可接触这对存储器堆叠结构55行内的每个存储器堆叠结构55的侧壁和水平表面,并且漏极选择电极线152可嵌入到漏极选择栅极电介质150内。

[0138] 在一个实施方案中,每个存储器堆叠结构55的竖直半导体沟道60可包括L形掺杂区612,该L形掺杂区具有与漏极区63的导电类型相反的导电类型的掺杂,并且接触漏极选择栅极电介质150的侧壁和底表面。在一个实施方案中,L形掺杂区612可具有比竖直半导体沟道60(诸如第一竖直半导体沟道和第二竖直半导体沟道(601,602))的延伸穿过该交替堆叠(32,46)并具有与L形掺杂区612相同的导电类型的部分更大的电掺杂剂浓度。

[0139] 在一个实施方案中,三维存储器器件还可包括接触漏极选择电极线152的整个顶表面的接触级介电层73。在一个实施方案中,接触级介电层73可接触漏极区63中的每一个的顶表面和侧壁表面。在一个实施方案中,漏极选择栅极电介质150可接触线状沟槽175的侧壁和线状沟槽175的底表面中的至少一者。接触级介电层73接触漏极选择栅极电介质150的顶表面。

[0140] 在一个实施方案中,漏极选择栅极电介质接触这对存储器堆叠结构55行内的漏极

区63中的每一个。在一个实施方案中,接触级介电层73接触垂直半导体沟道60中的每一个的侧壁。

[0141] 在一个实施方案中,线状沟槽175的底表面可定位在包括绝缘帽盖层70的底表面的第一水平平面HP1的上方,并且漏极选择电极线152的顶表面定位在包括绝缘帽盖层70的顶表面的第二水平平面HP2的下方。

[0142] 在一个实施方案中,由于线状沟槽175切入到每个存储器堆叠结构55的上部部分中,因此存储器堆叠结构55中的每一个在线状沟槽175的底表面下方(即,在漏极选择电极线152下方)均具有圆形的水平横截面形状。此外,存储器堆叠结构55中的每一个在线状沟槽175的底表面上方(即,在漏极选择电极线152处和/或上方)均具有半圆形的水平横截面形状。如本文所用,水平横截面是定位在平行于衬底9的顶表面7的平面中的横截面。

[0143] 本发明实施方案的结构的一个非限制性优点是,其提供更紧凑的漏极选择电极线152并且使用更小的芯片面积,这减小了芯片尺寸并且降低了器件的成本。

[0144] 示例性结构可包括三维存储器器件。在一个实施方案中,三维存储器器件包括单体三维NAND存储器器件。导电层46可包括或者可电连接到单体三维NAND存储器器件的相应字线。衬底(9,10)可以包括硅衬底。垂直NAND存储器器件可包括硅衬底上方的单体三维NAND串阵列。单体三维NAND串阵列的第一器件层级中的至少一个存储器单元(如实施为在导电层46的层级处的电荷存储层54的部分)可定位在单体三维NAND串阵列的第二器件层级中的另一存储器单元(如实施为在另一导电层46的层级处的电荷存储层54的另一部分)上方。硅衬底可包括集成电路,该集成电路包括用于定位在其上的存储器器件的驱动器电路(具体体现为该至少一个半导体器件700的子集)。导电层46可包括多个控制栅极电极,这些控制栅极电极具有基本上平行于衬底(9,10)顶表面延伸,例如在一对背侧沟槽79之间的条带形状。多个控制栅极电极至少包括定位在第一器件级中的第一控制栅极电极和定位在第二器件级中的第二控制栅极电极。单体三维NAND串的阵列可包括:多个半导体沟道(59,11,60),其中该多个半导体沟道(59,11,60)中的每一个的至少一个端部部分60基本上垂直于衬底(9,10)的顶表面延伸并且包括垂直半导体沟道60中的相应一个;和多个电荷存储元件(具体体现为存储器膜50的部分,即,电荷存储层54的部分)。每个电荷存储元件可以邻近多个半导体沟道(59,11,60)中的相应一个定位。

[0145] 虽然前面提及特定优选实施方案,但是将理解本公开不限于此。本领域的普通技术人员将会想到,可对所公开的实施方案进行各种修改,并且此类修改旨在落在本公开的范围。在不是彼此的另选方案的所有实施方案中假定相容性。除非另外明确说明,否则词语“包含”或“包括”设想其中词语“基本上由...组成”或词语“由...组成”替换词语“包含”或“包括”的所有实施方案。在本公开中示出采用特定结构和/或构型的实施方案,应当理解,本公开可以以功能上等同的任何其他兼容结构和/或构型来实践,前提条件是此类取代不被明确地禁止或以其他方式被本领域的普通技术人员认为是不可能的。本文引用的所有出版物、专利申请和专利均以引用方式全文并入本文。

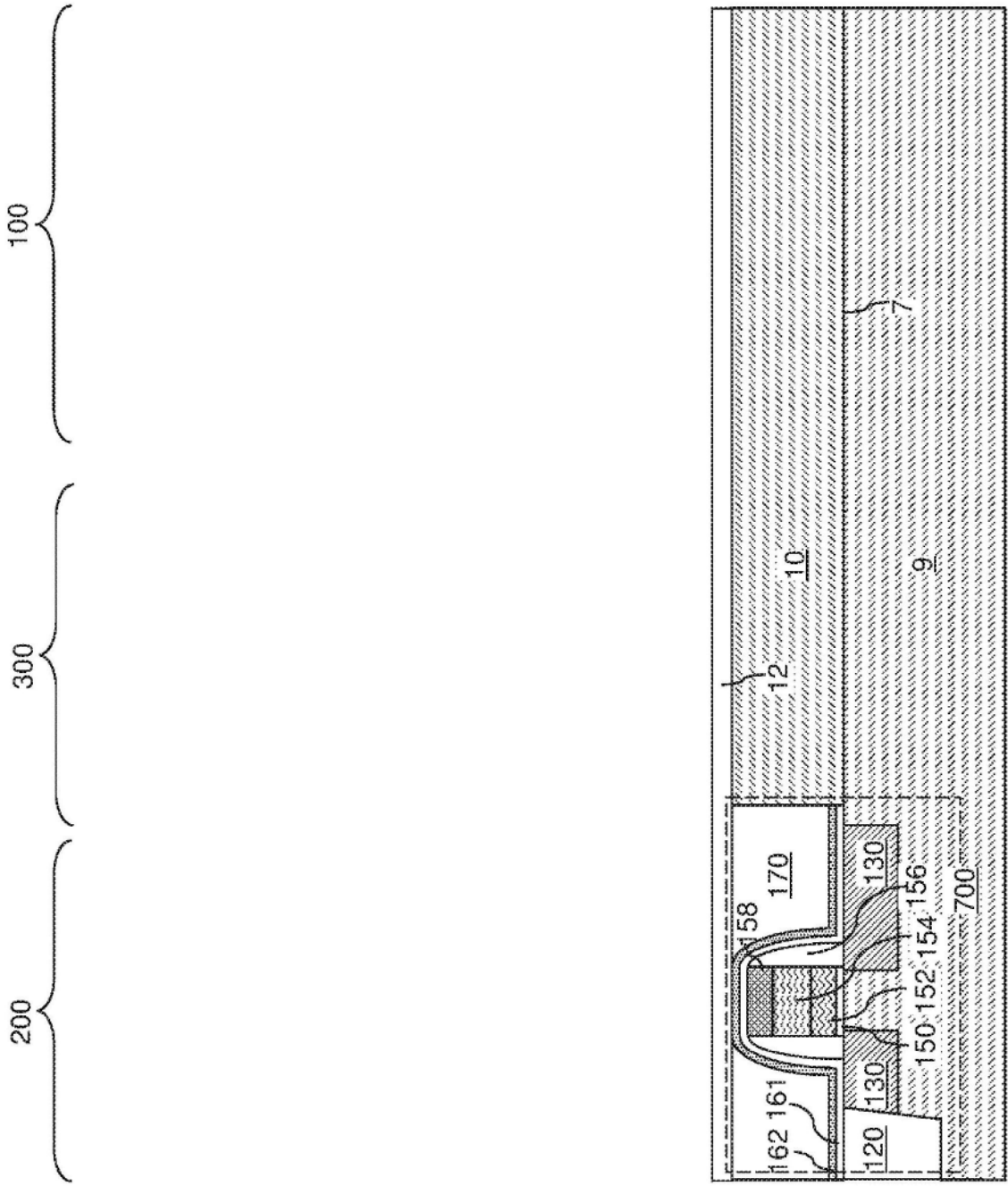


图1

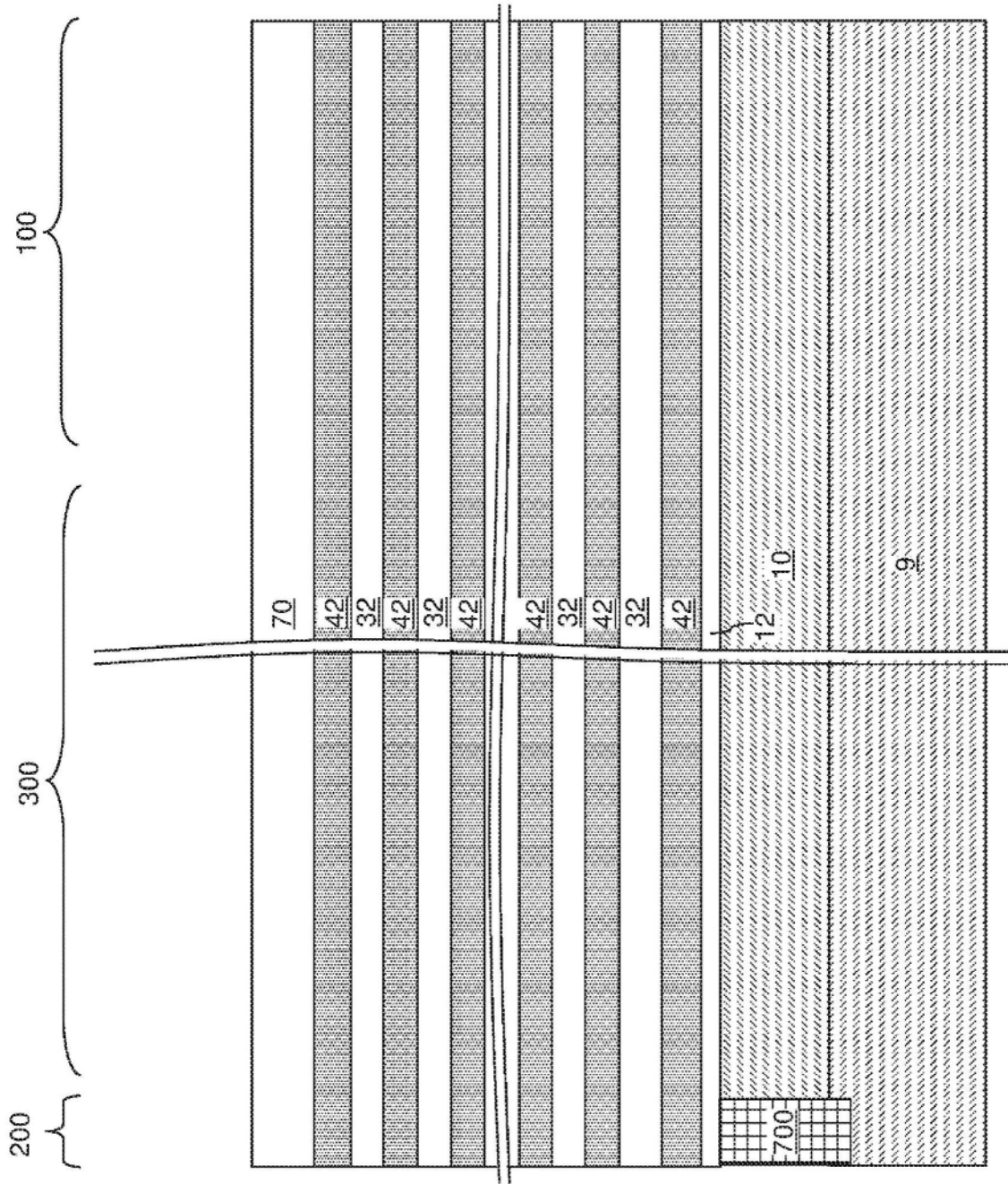


图2

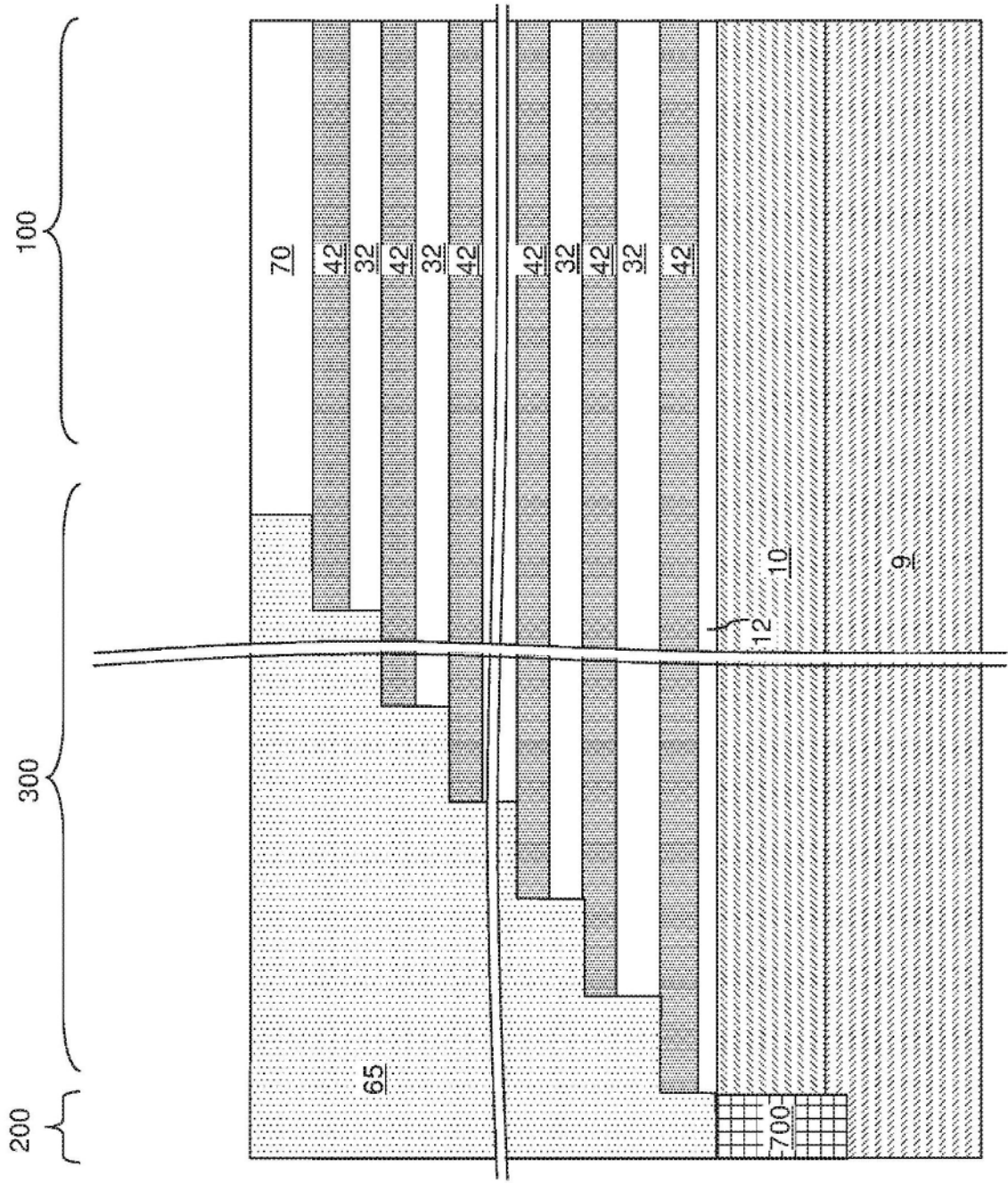


图3

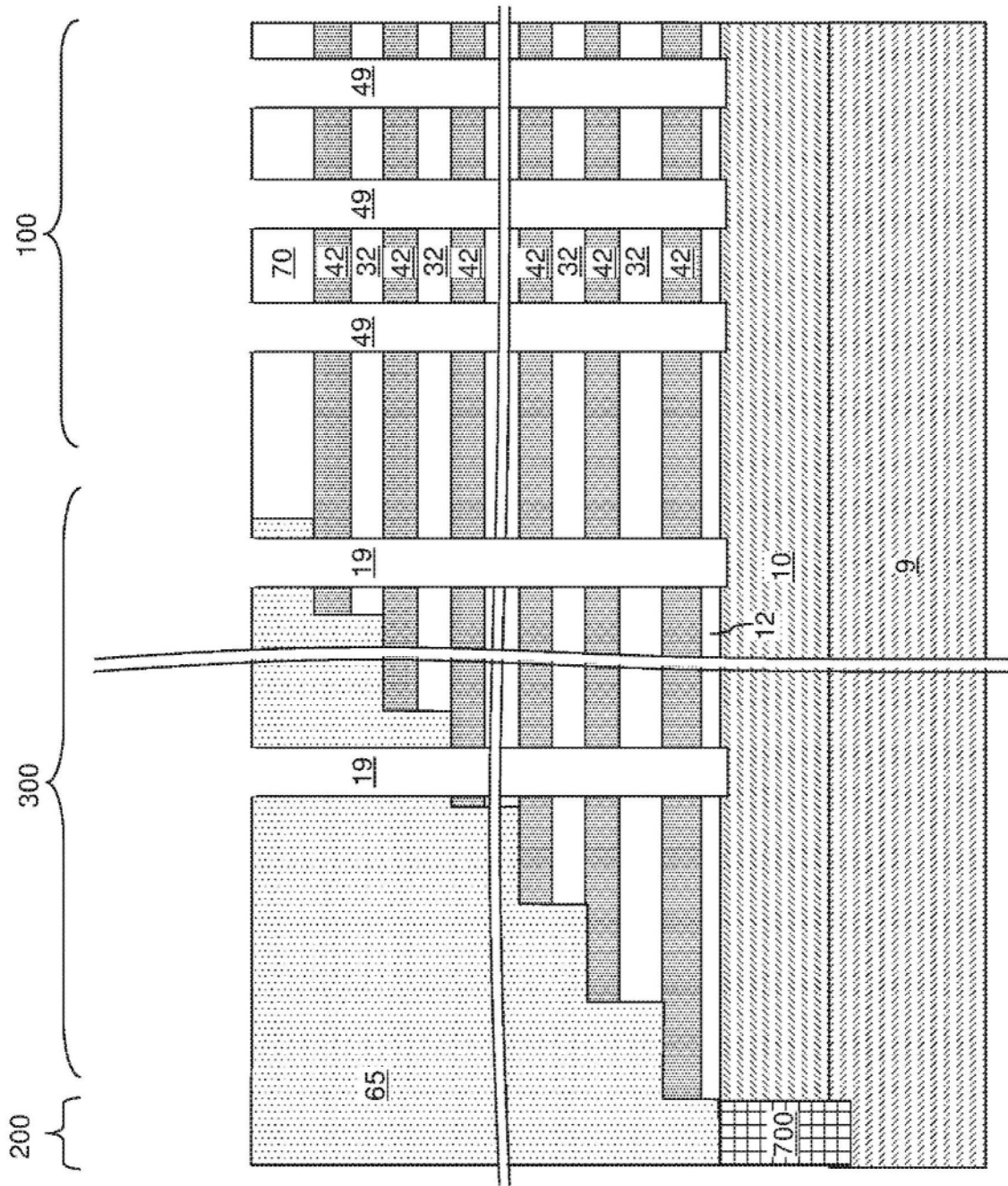


图4A

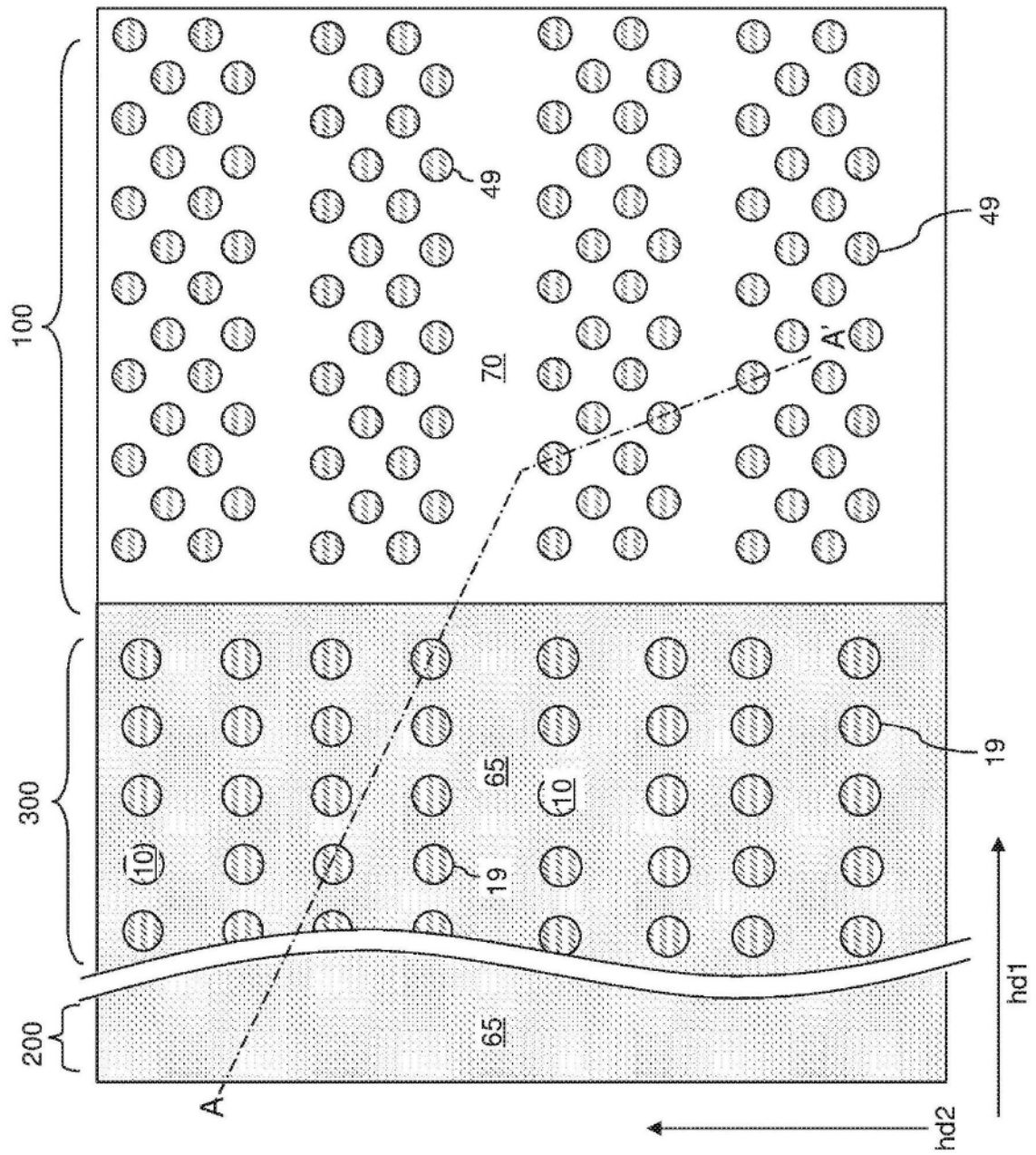


图4B

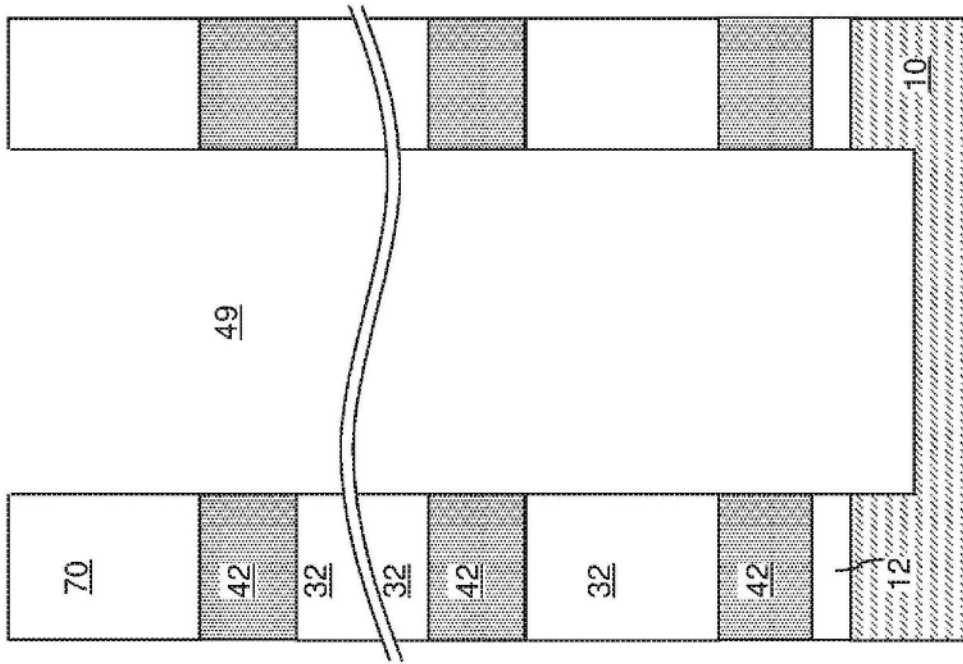


图5A

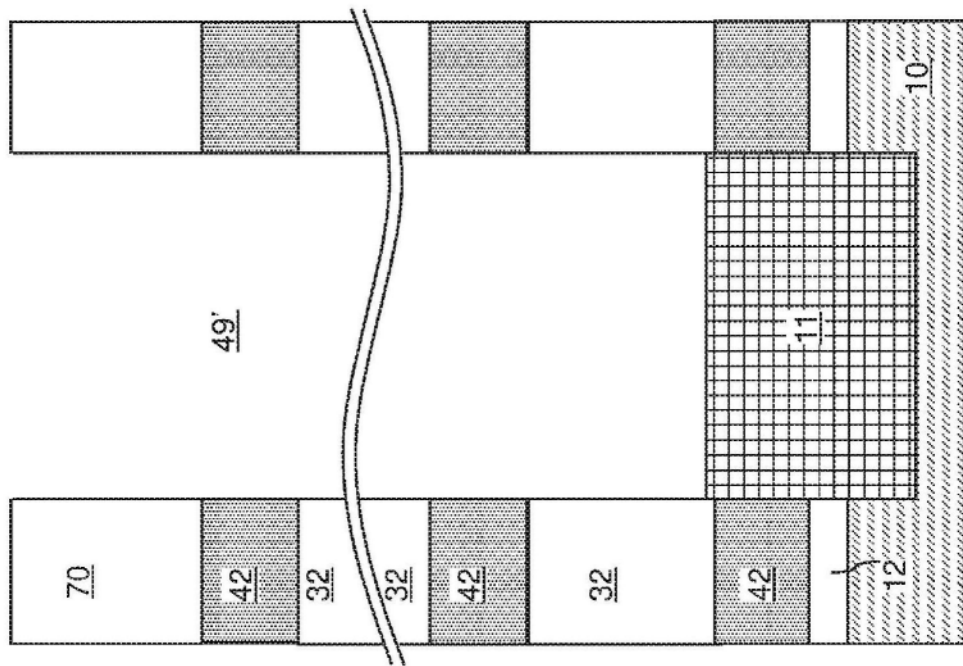


图5B

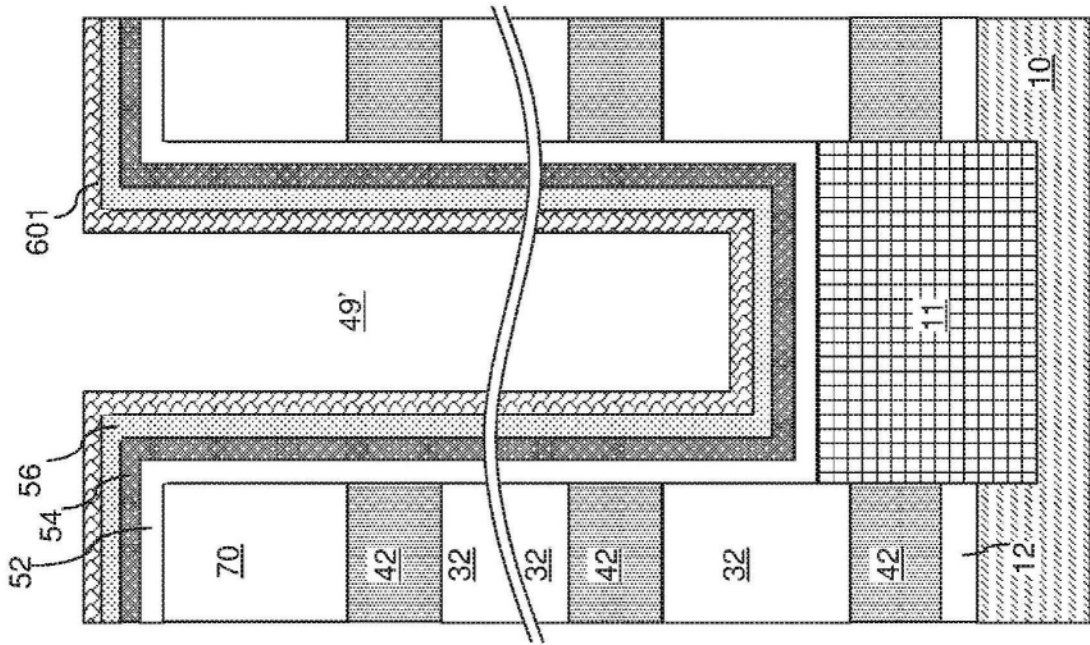


图5C

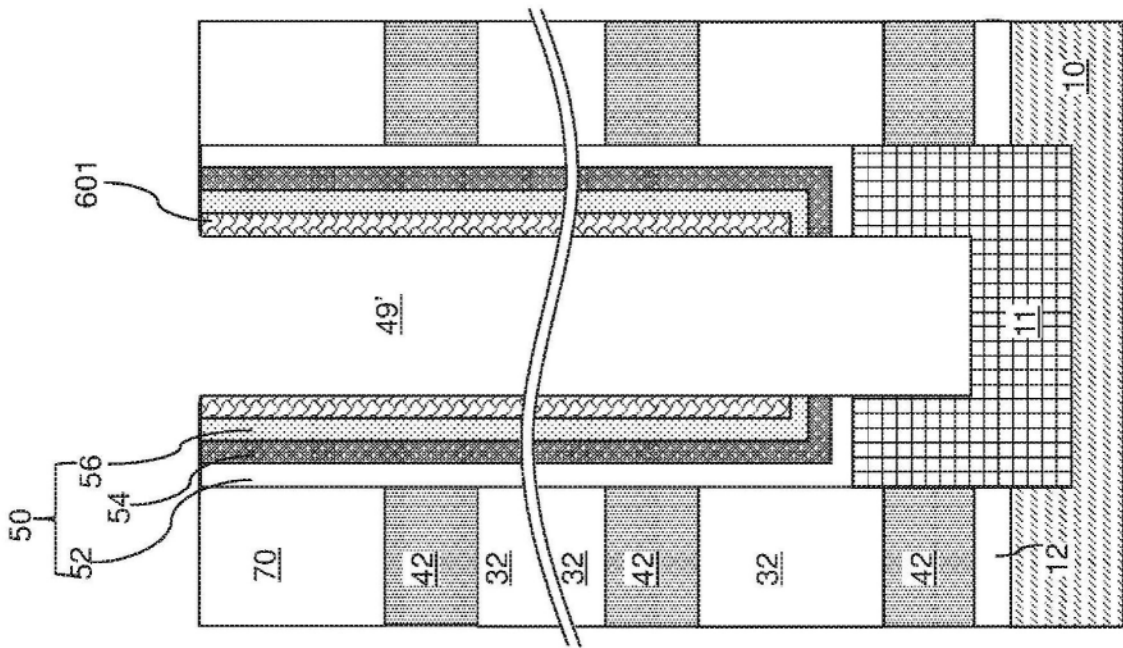


图5D

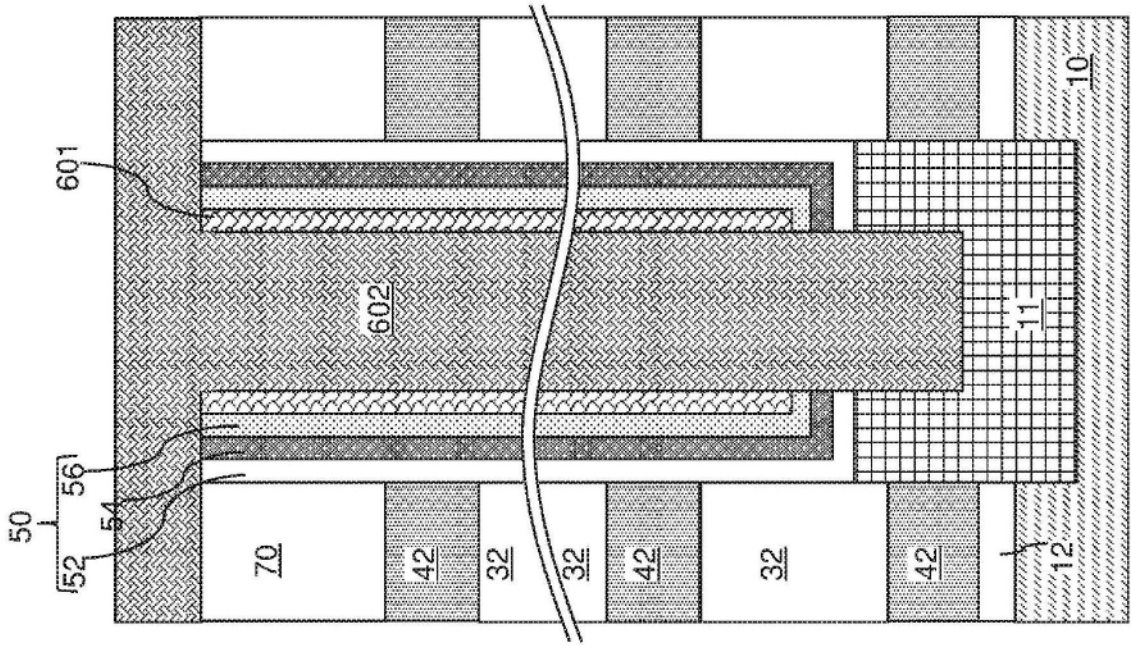


图5E

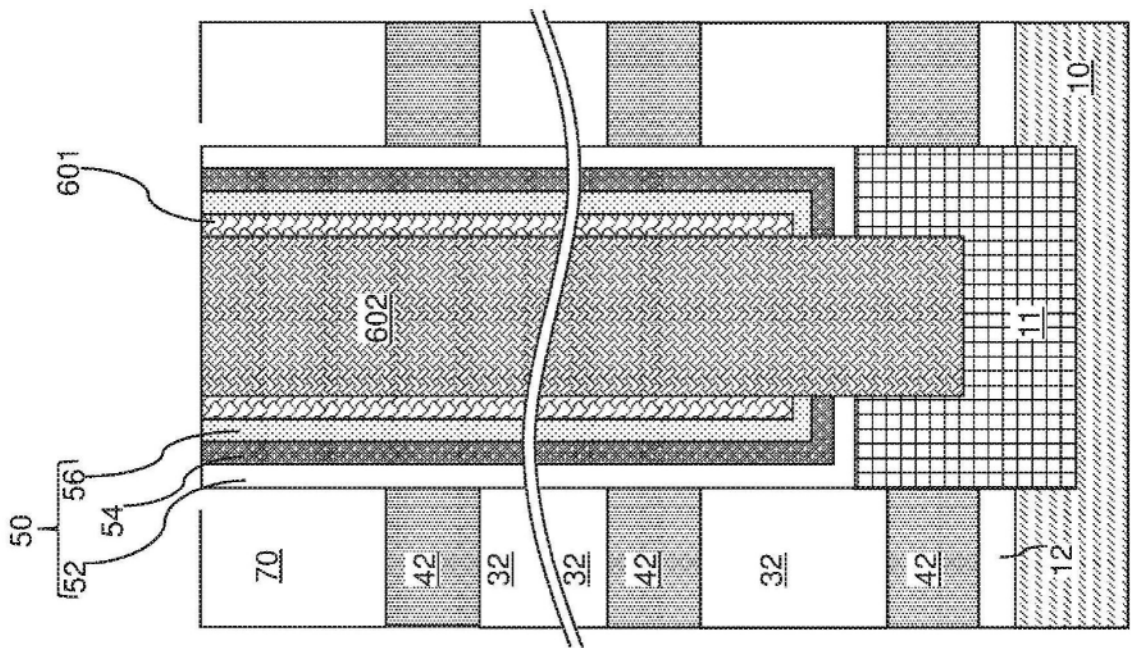


图5F

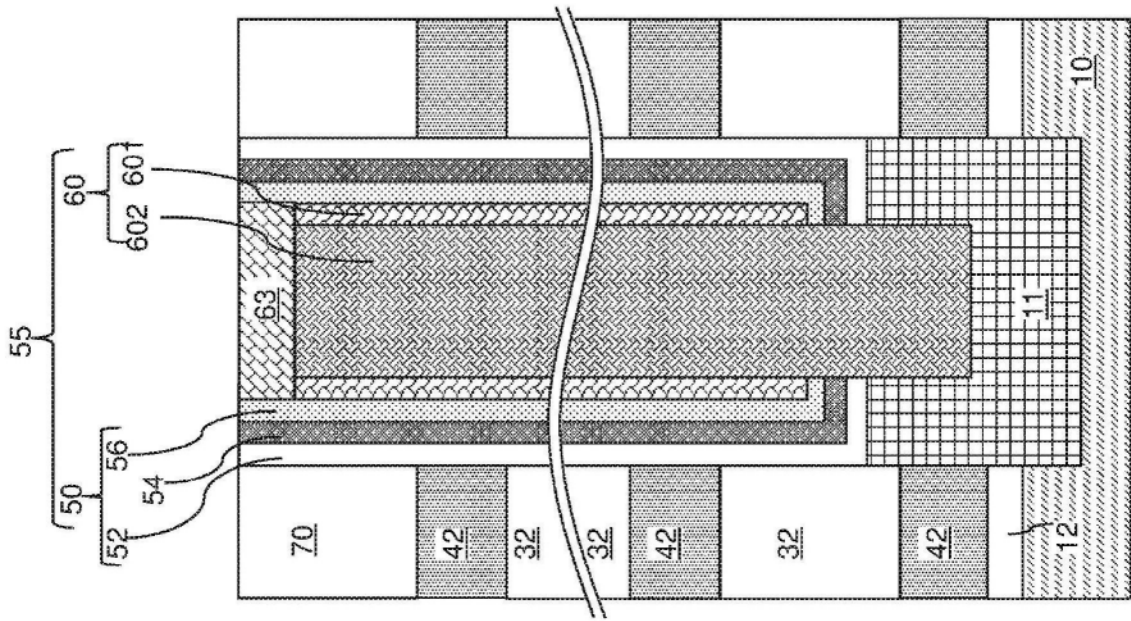


图5G

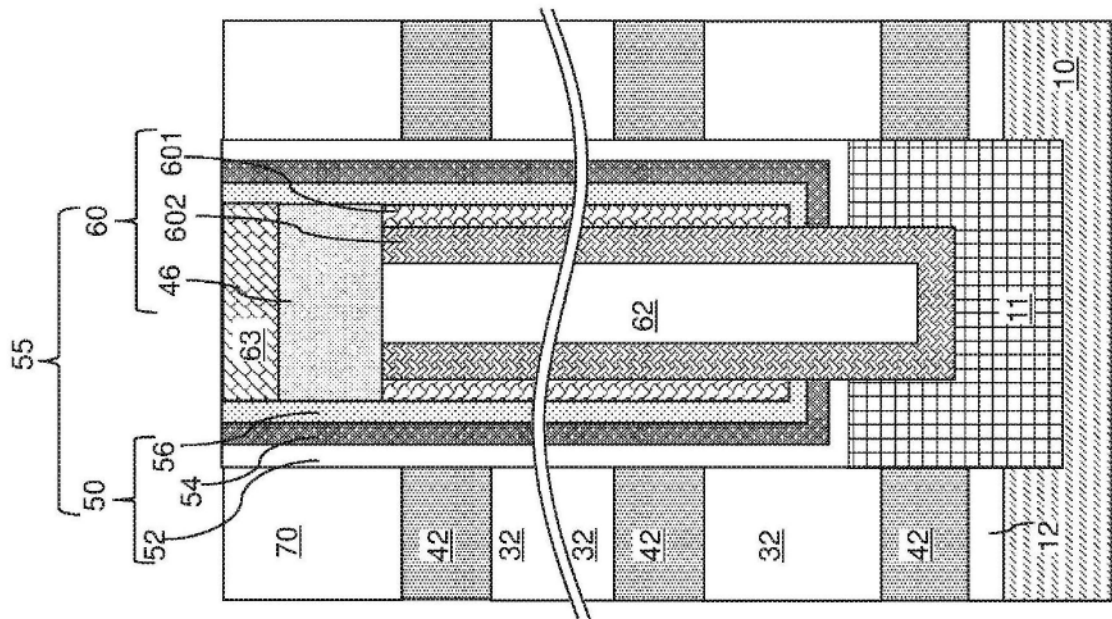


图5H

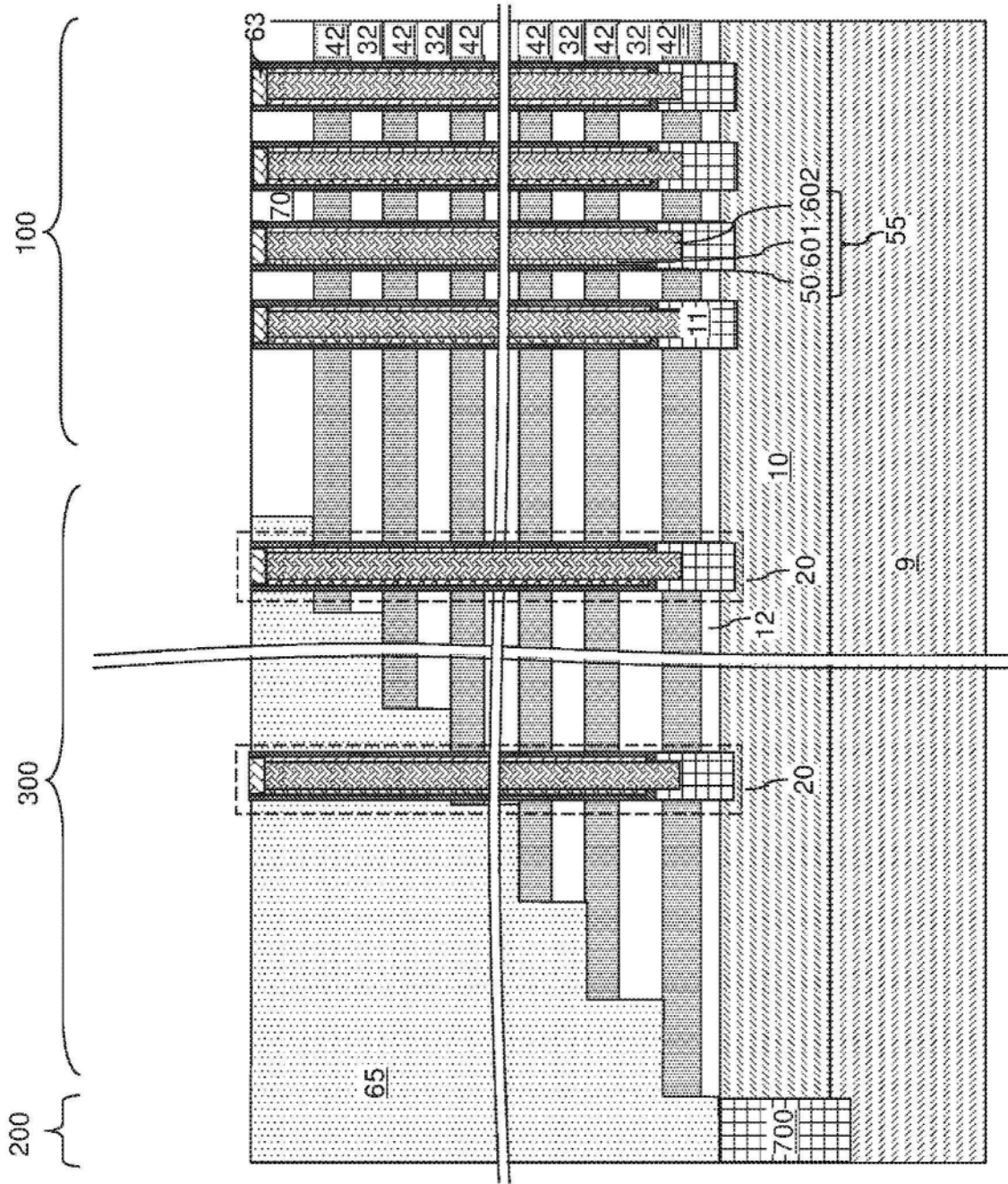


图6A

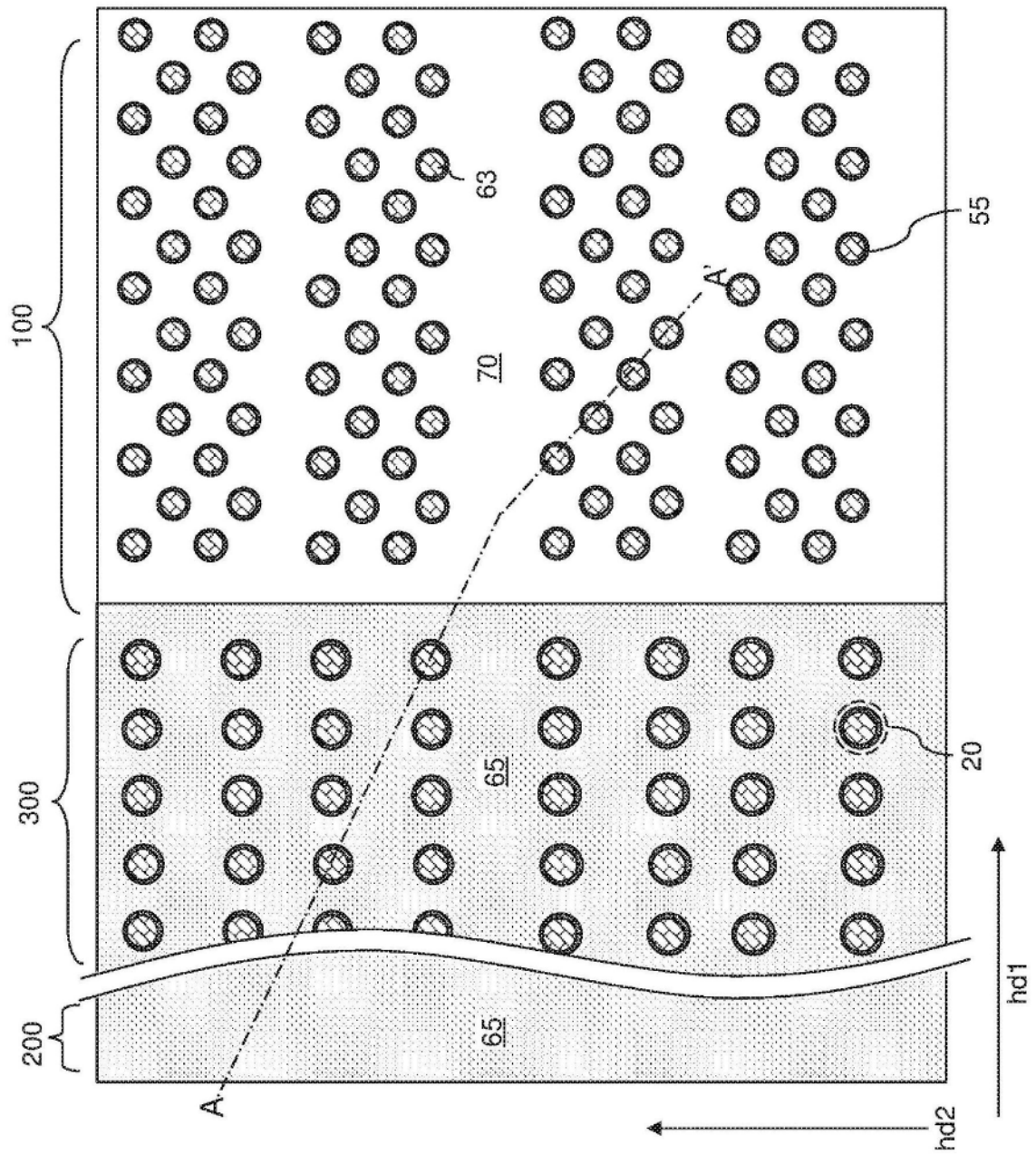


图6B

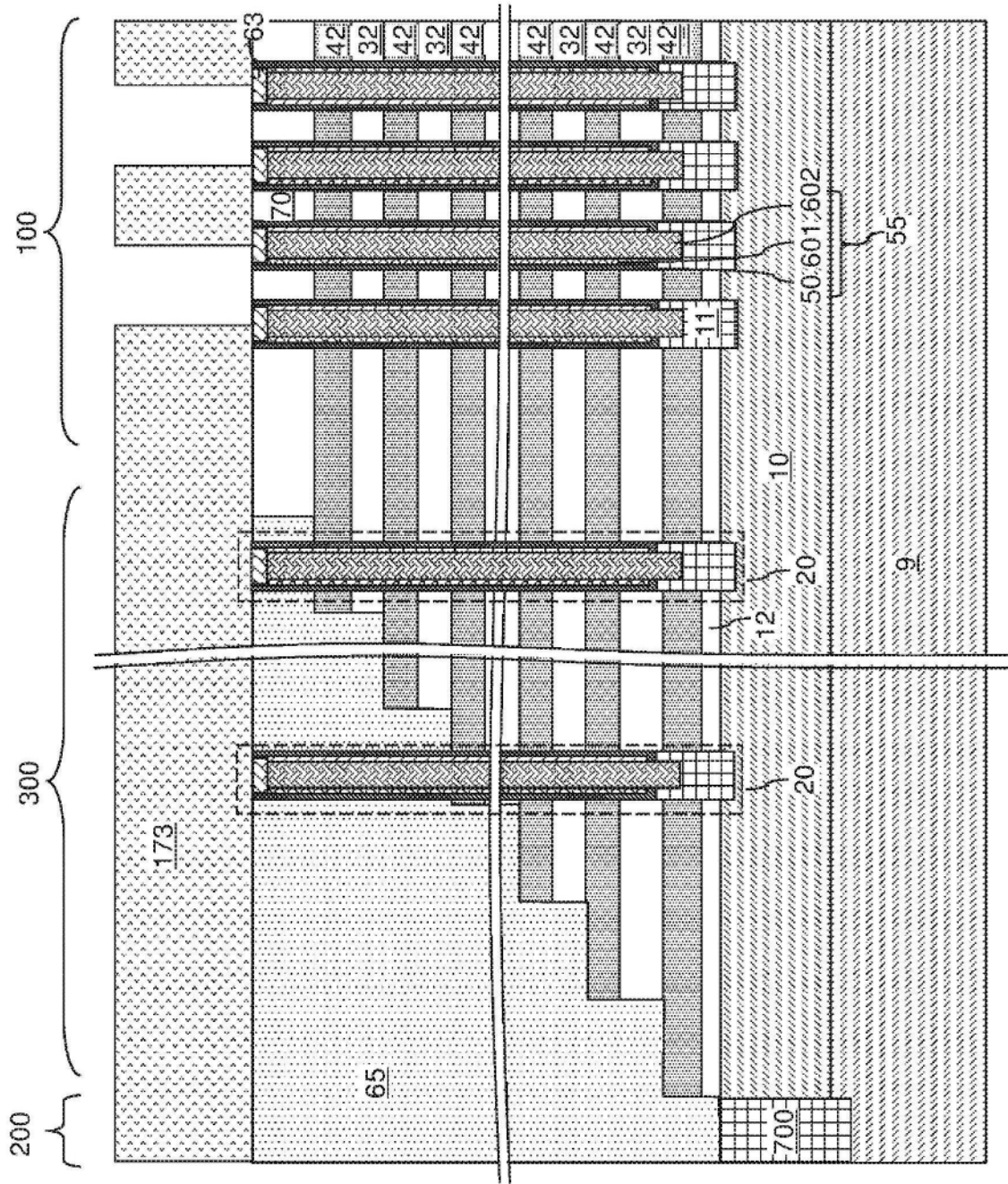


图7A

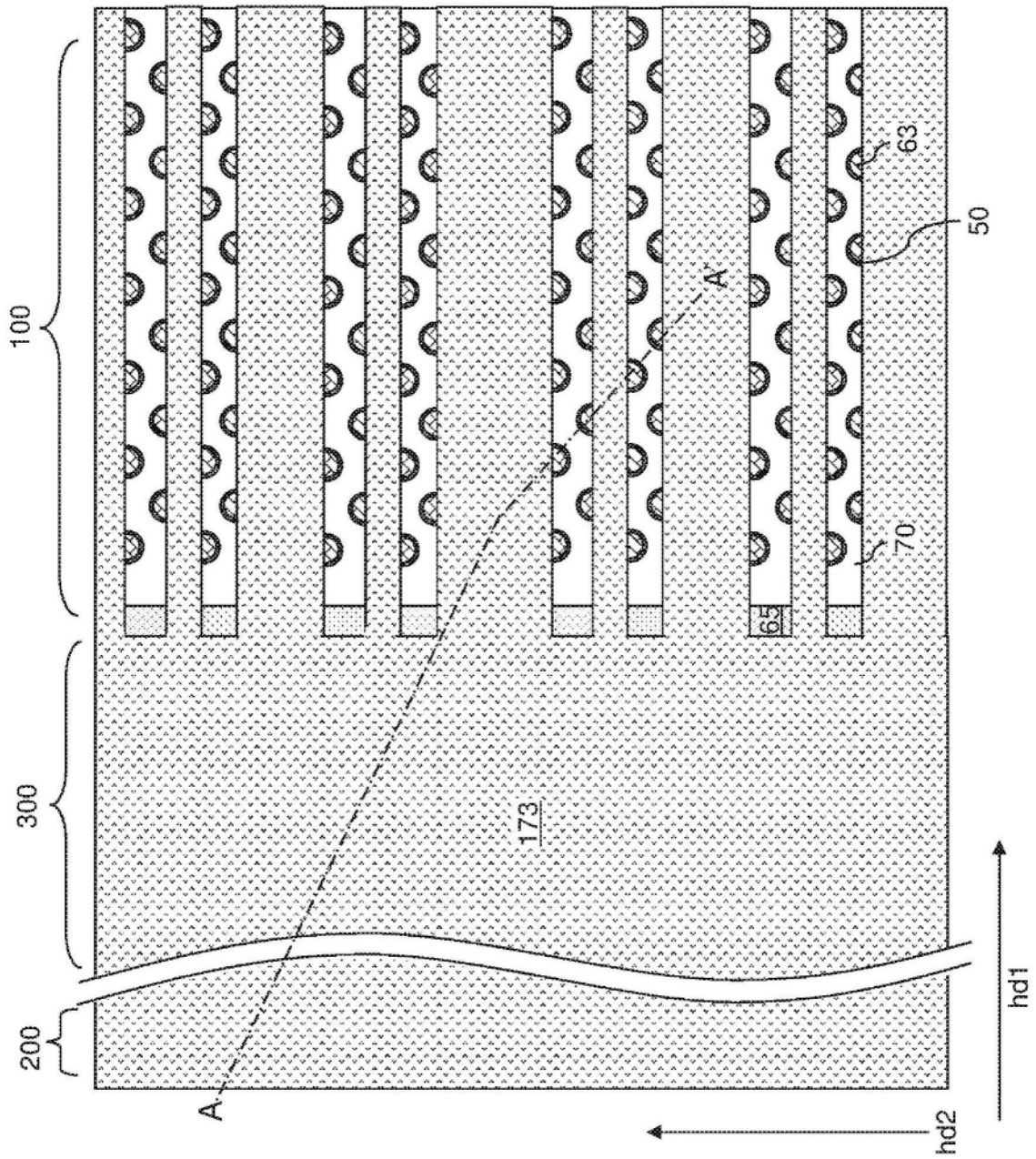


图7B

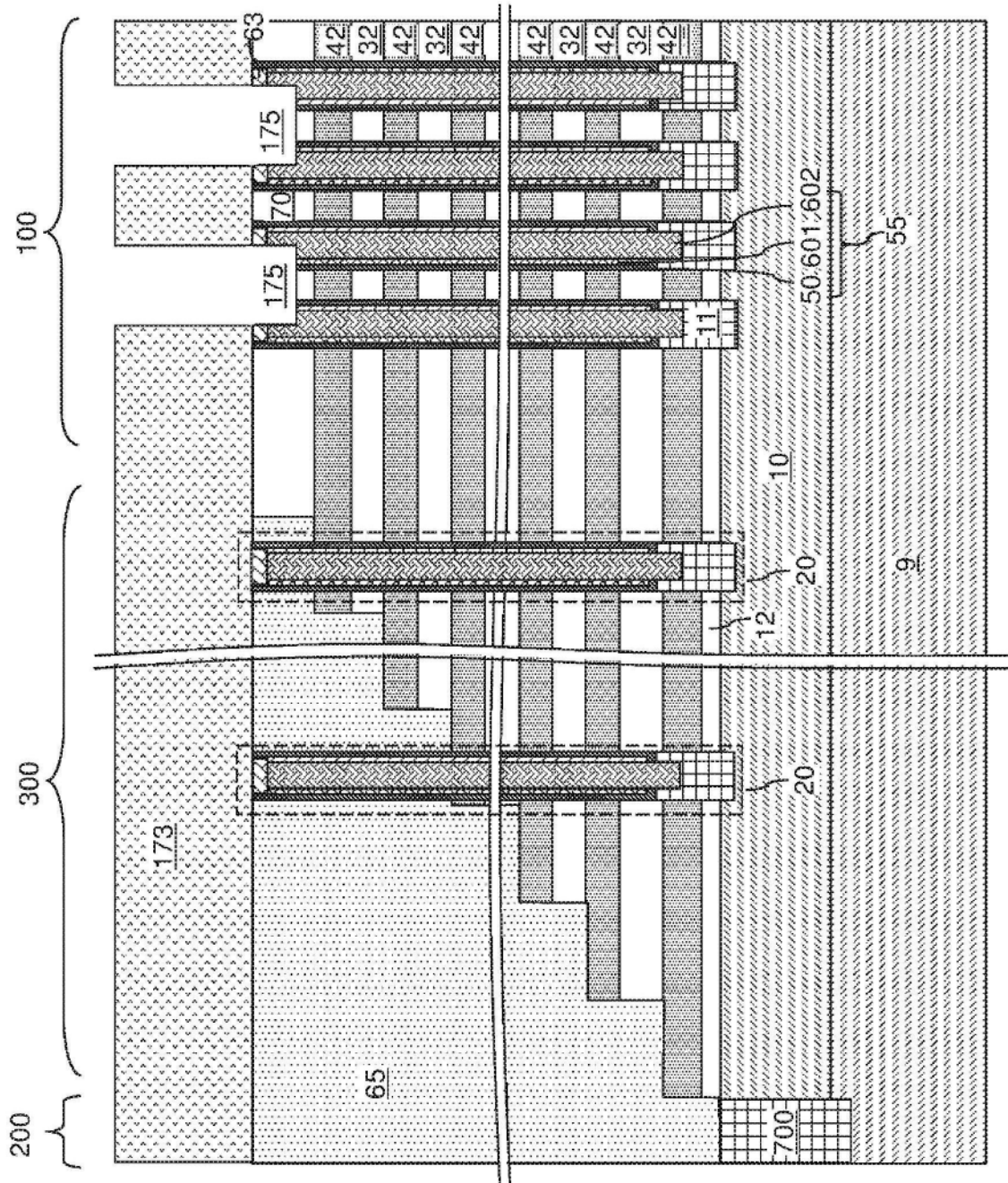


图8A

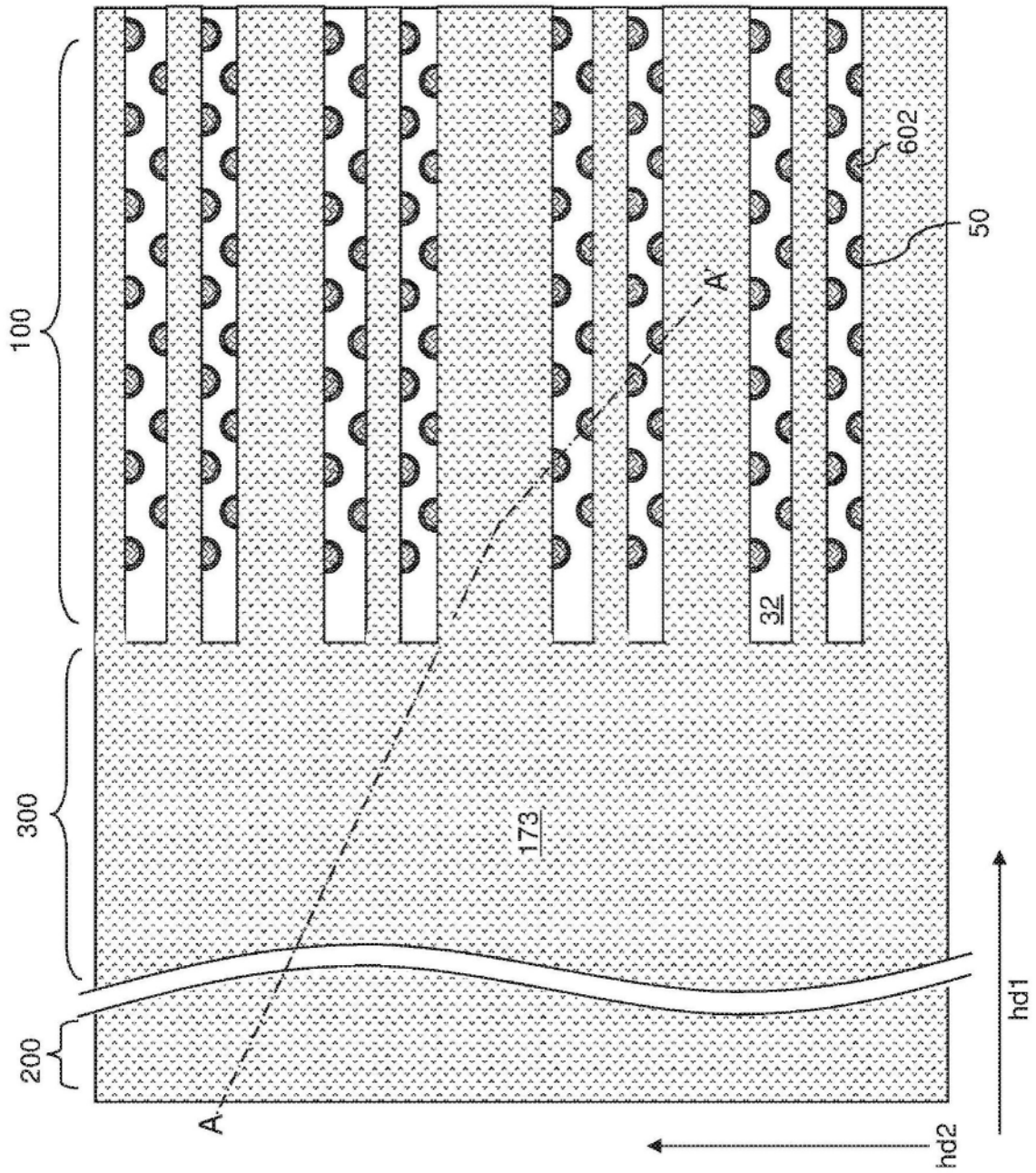


图8B

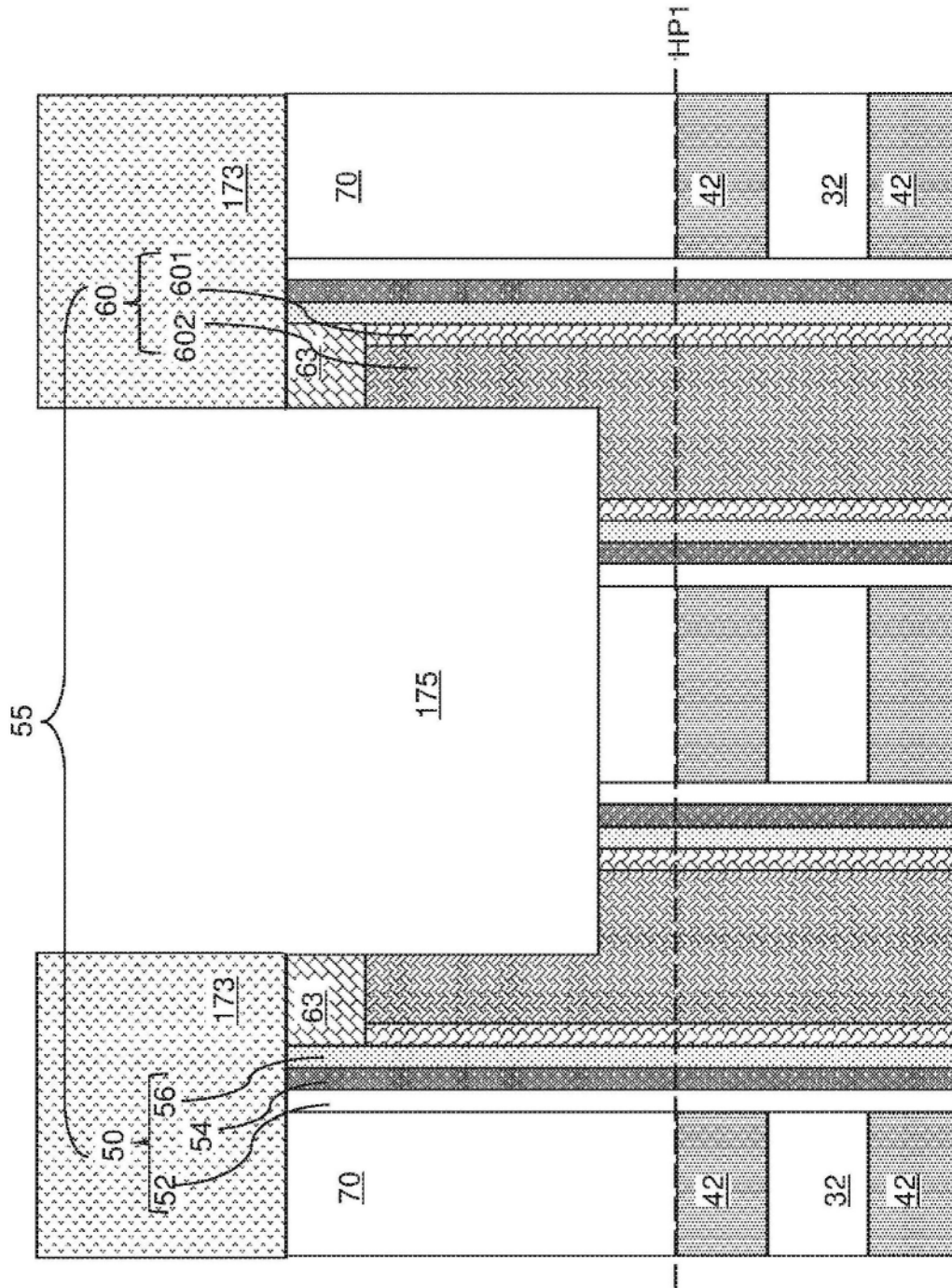


图8C

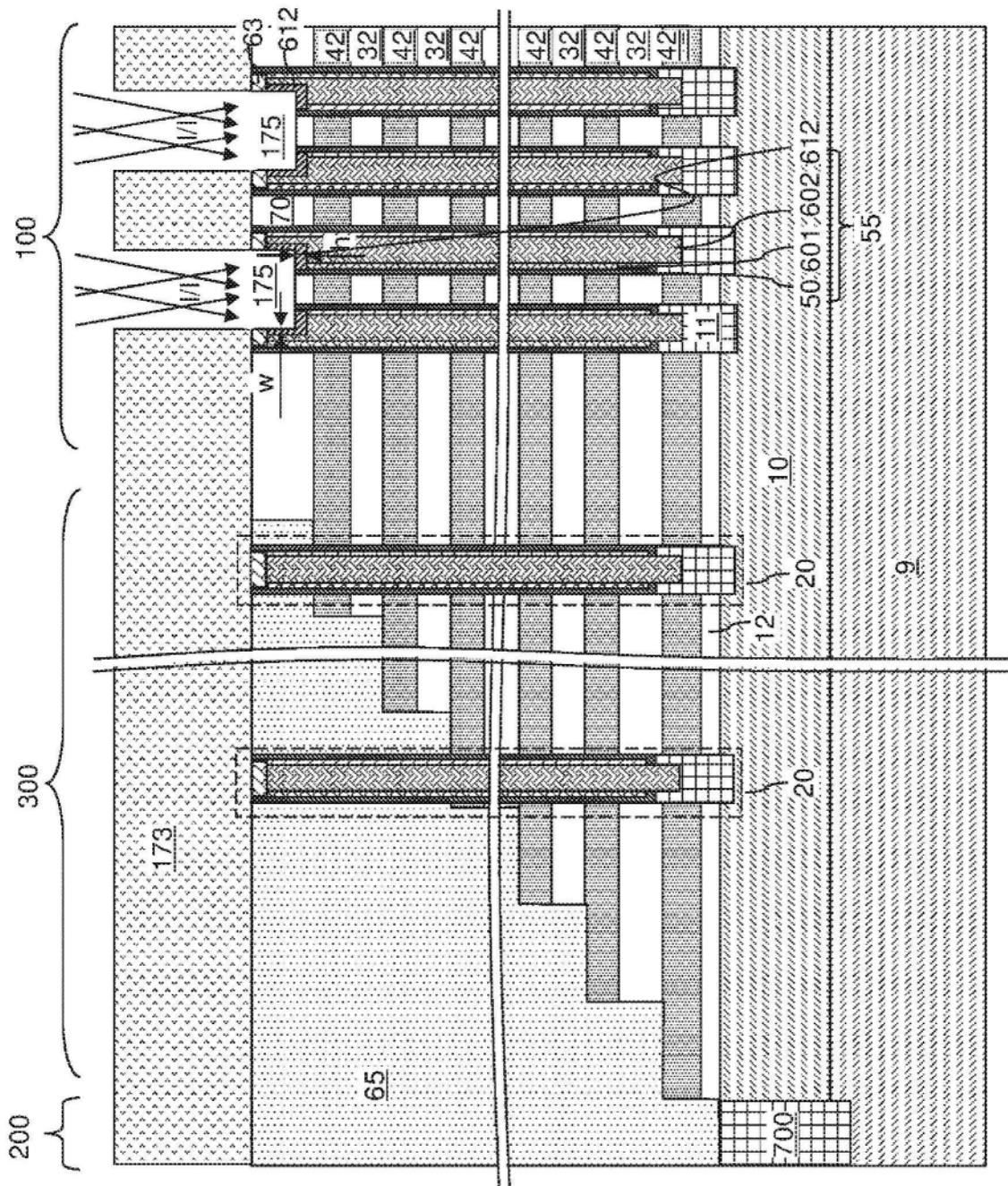


图9A

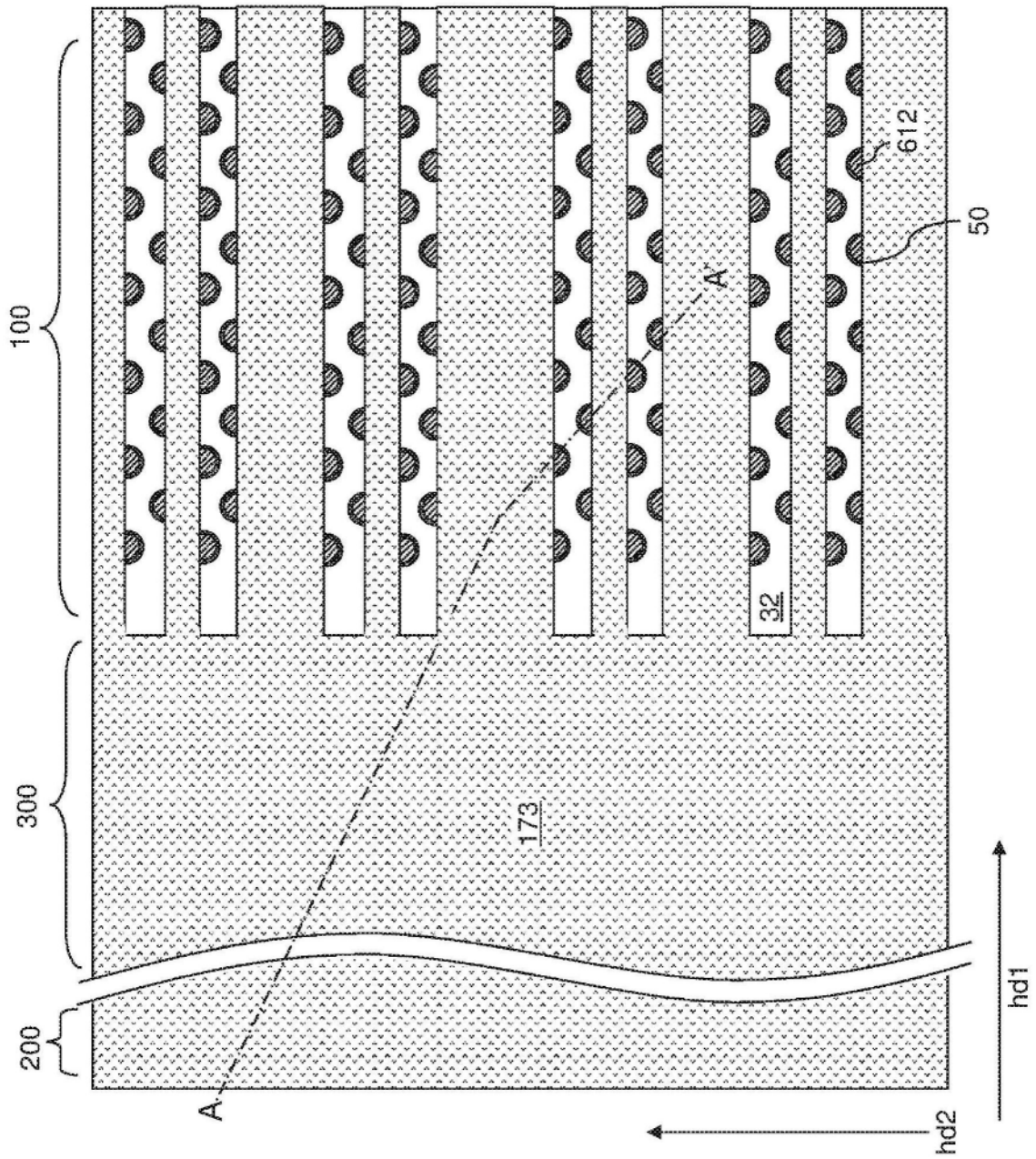


图9B

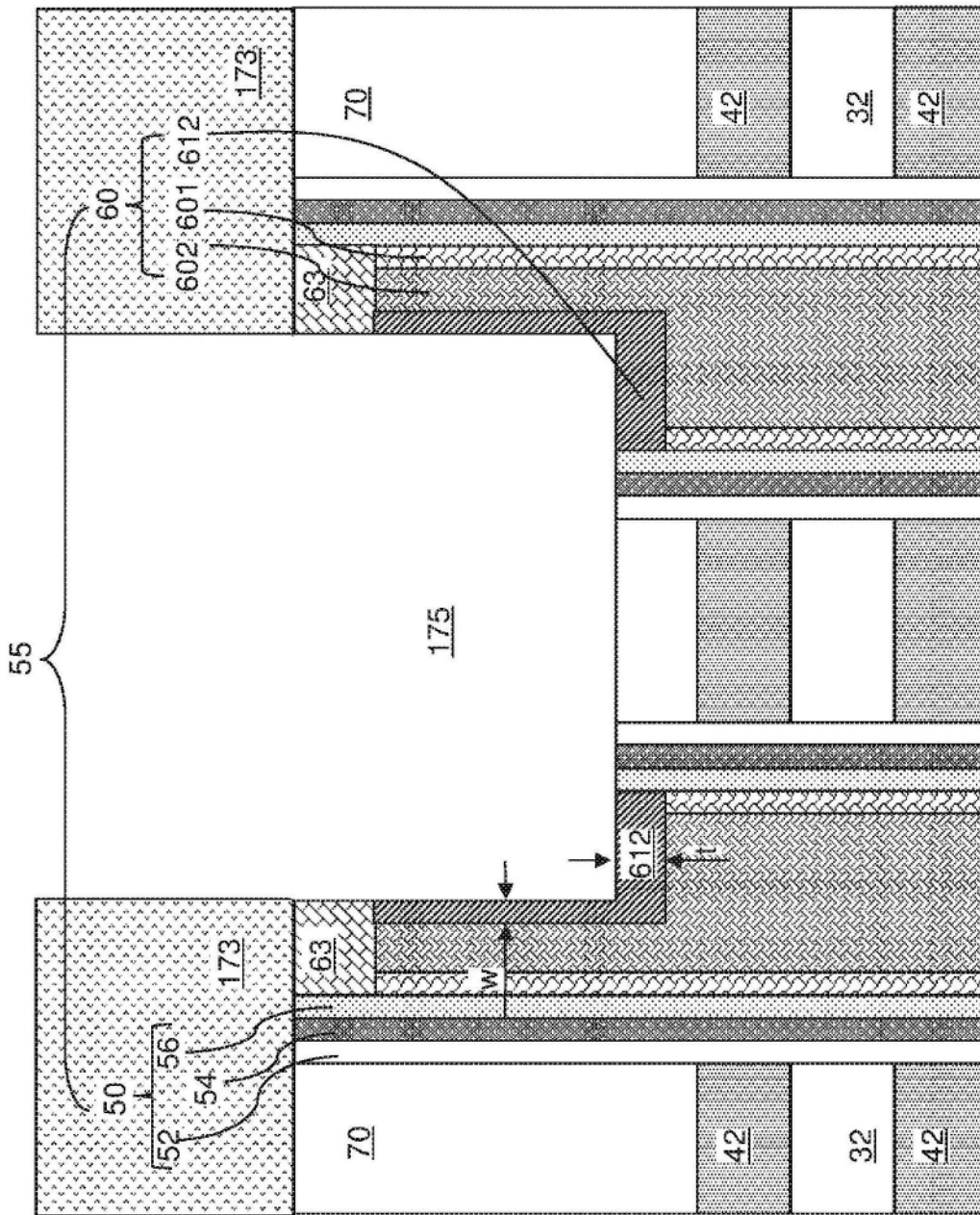


图9C

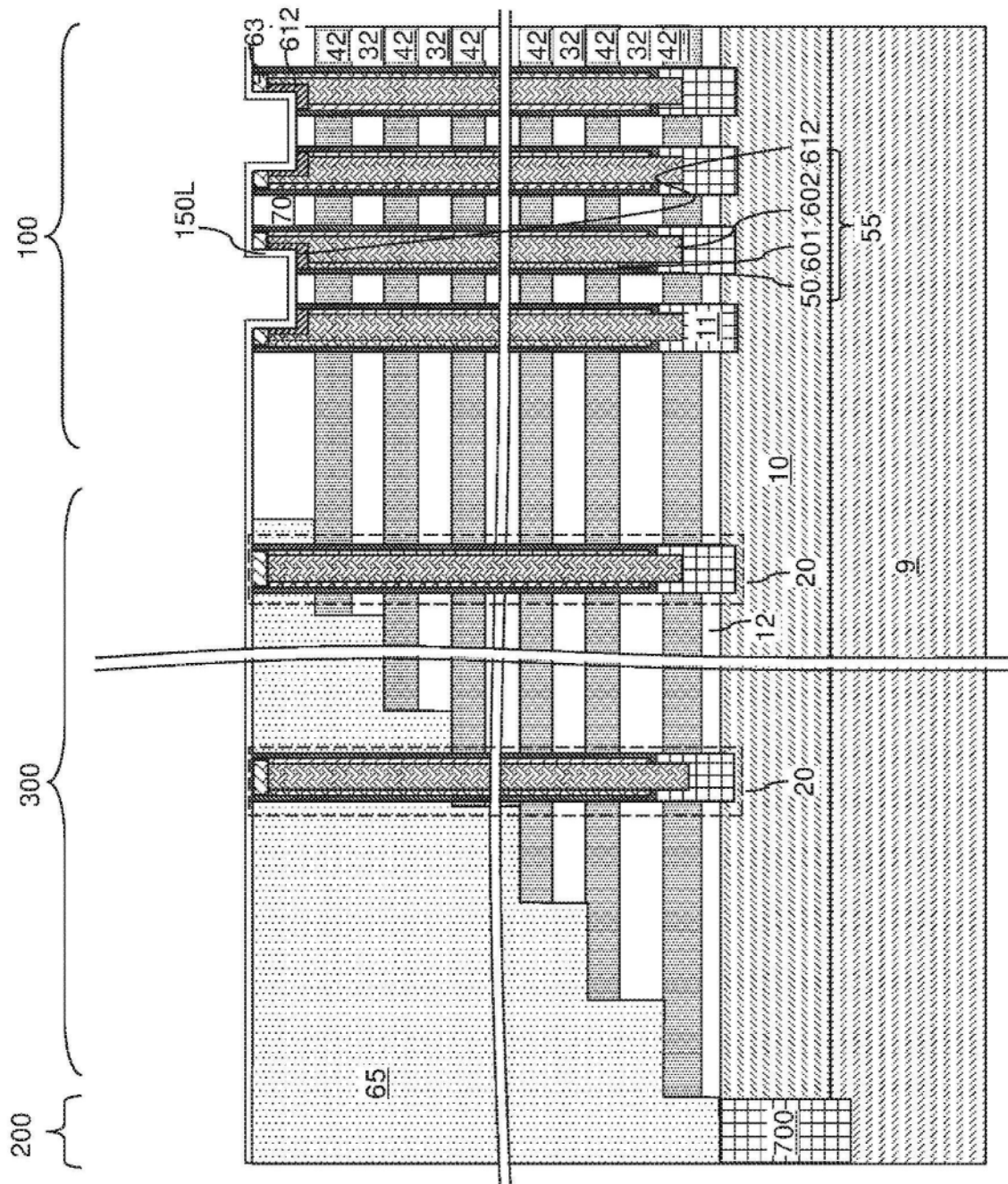


图10

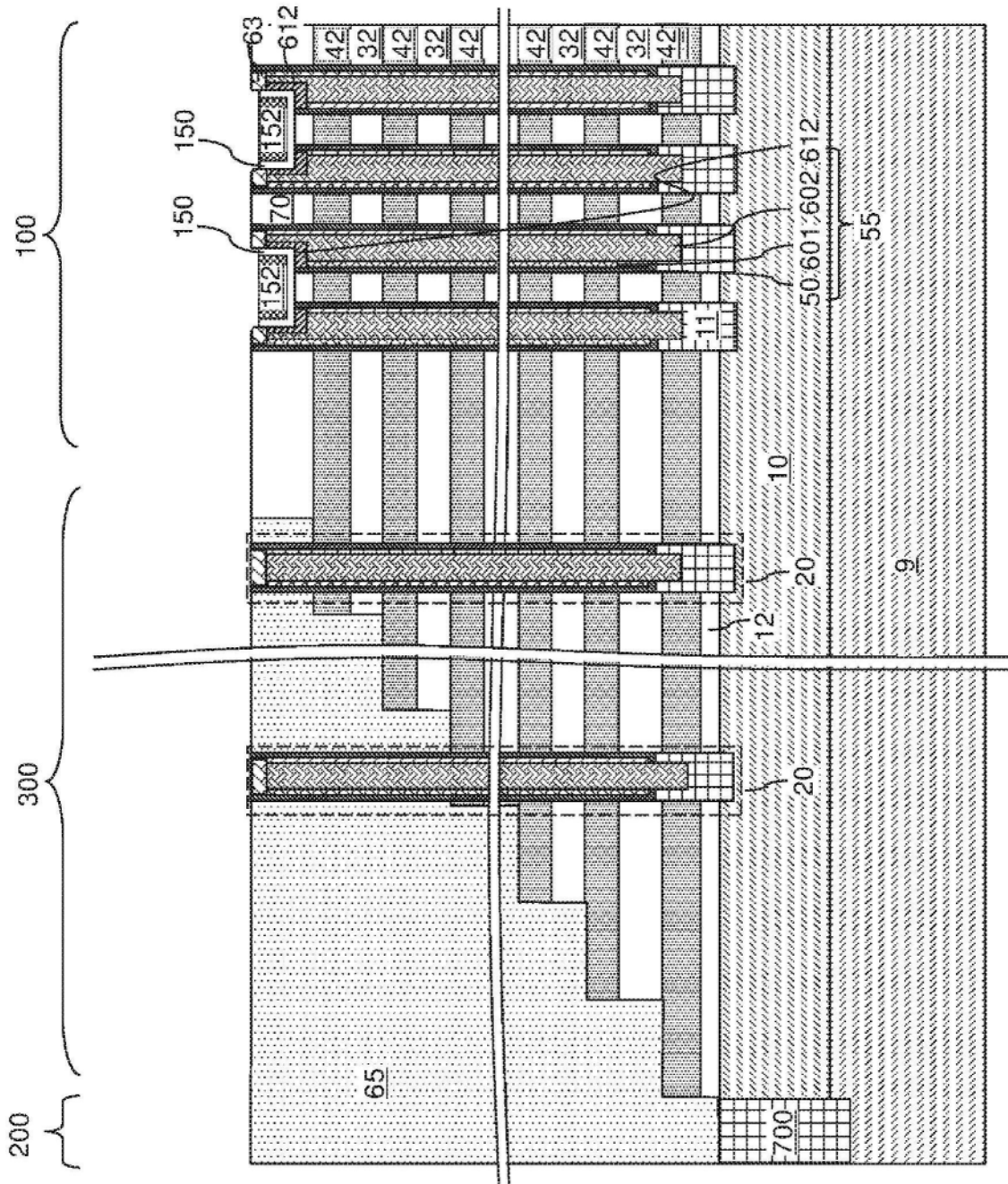


图11A

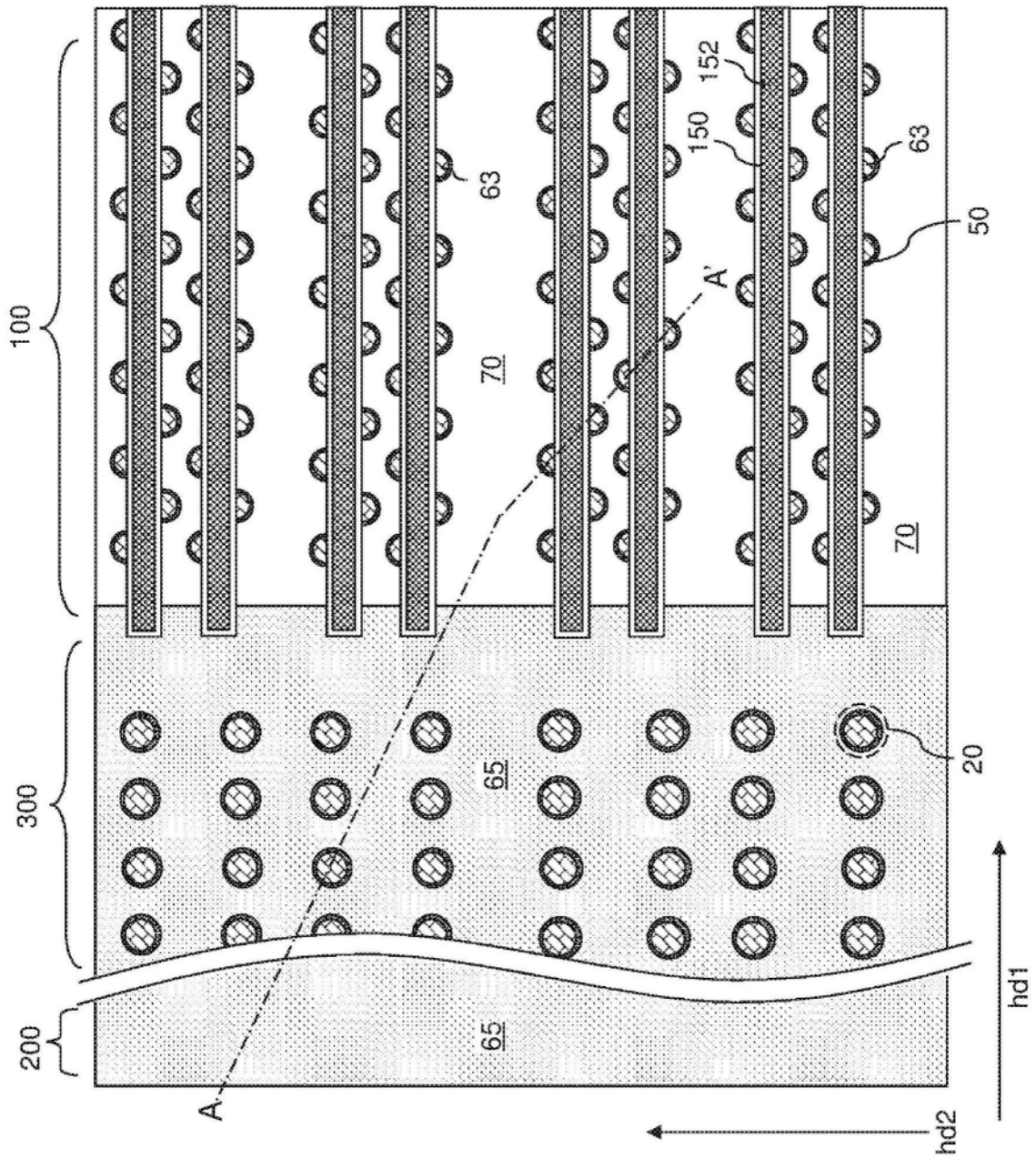


图11B

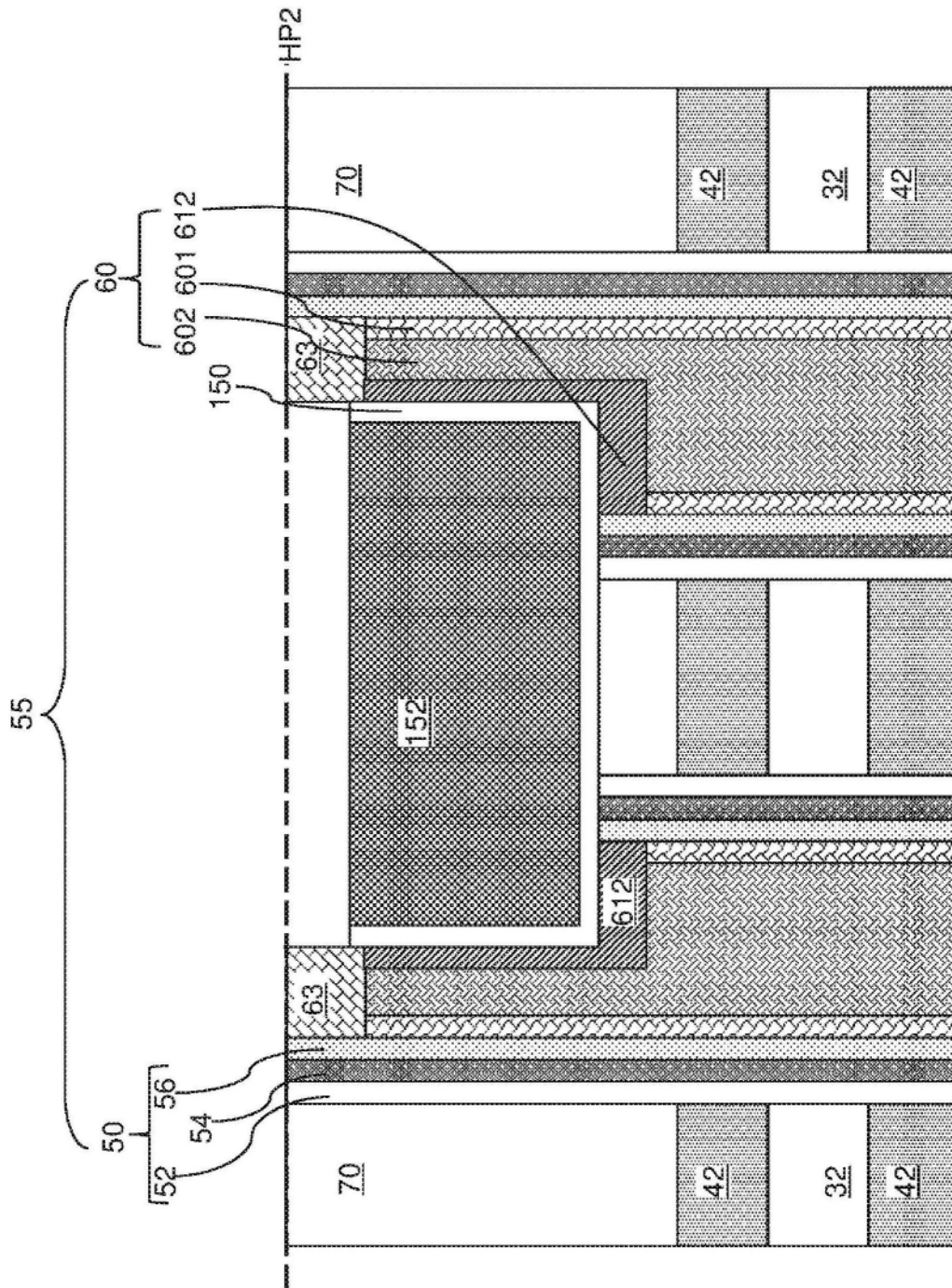


图11C

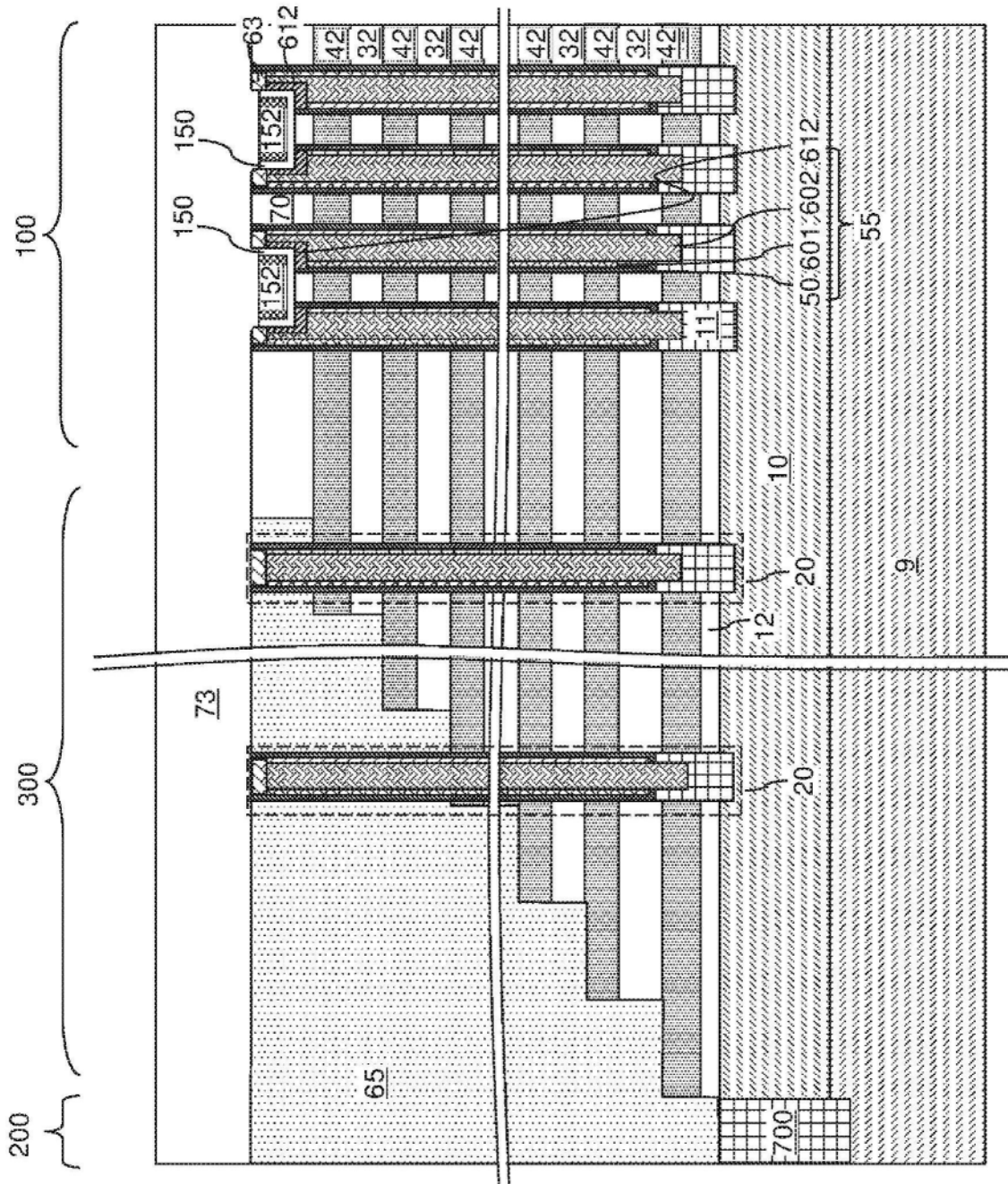


图12A

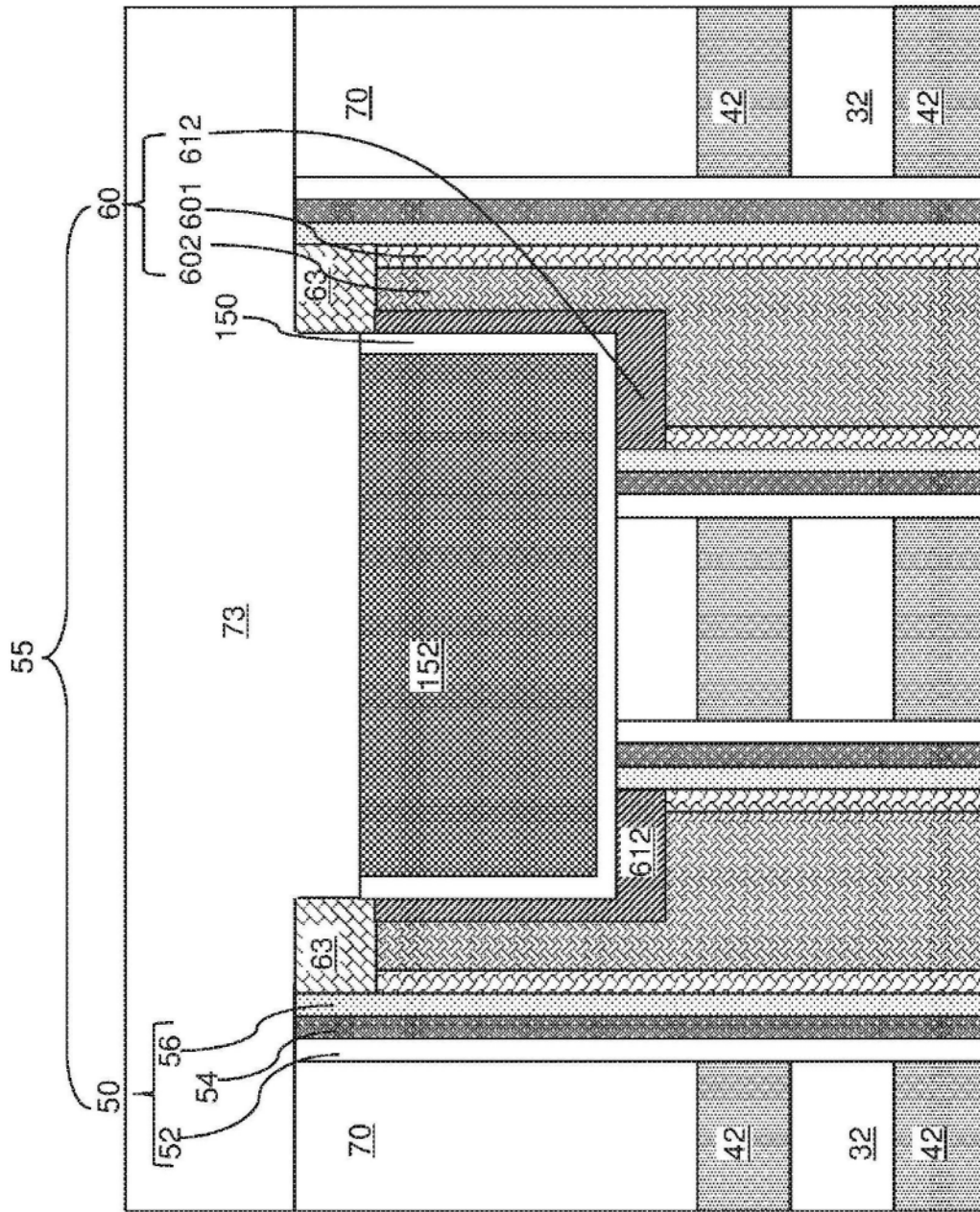


图12B

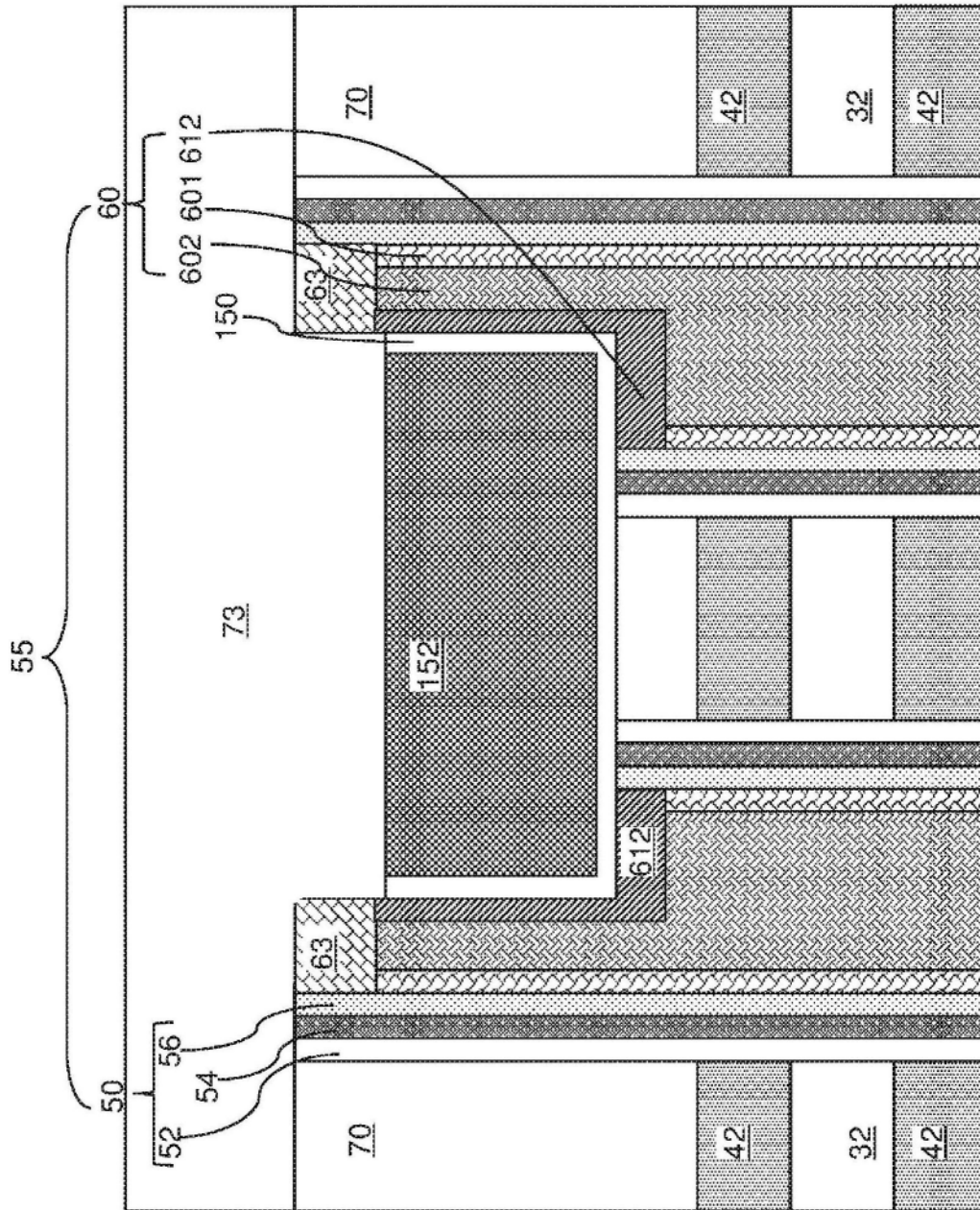


图12C

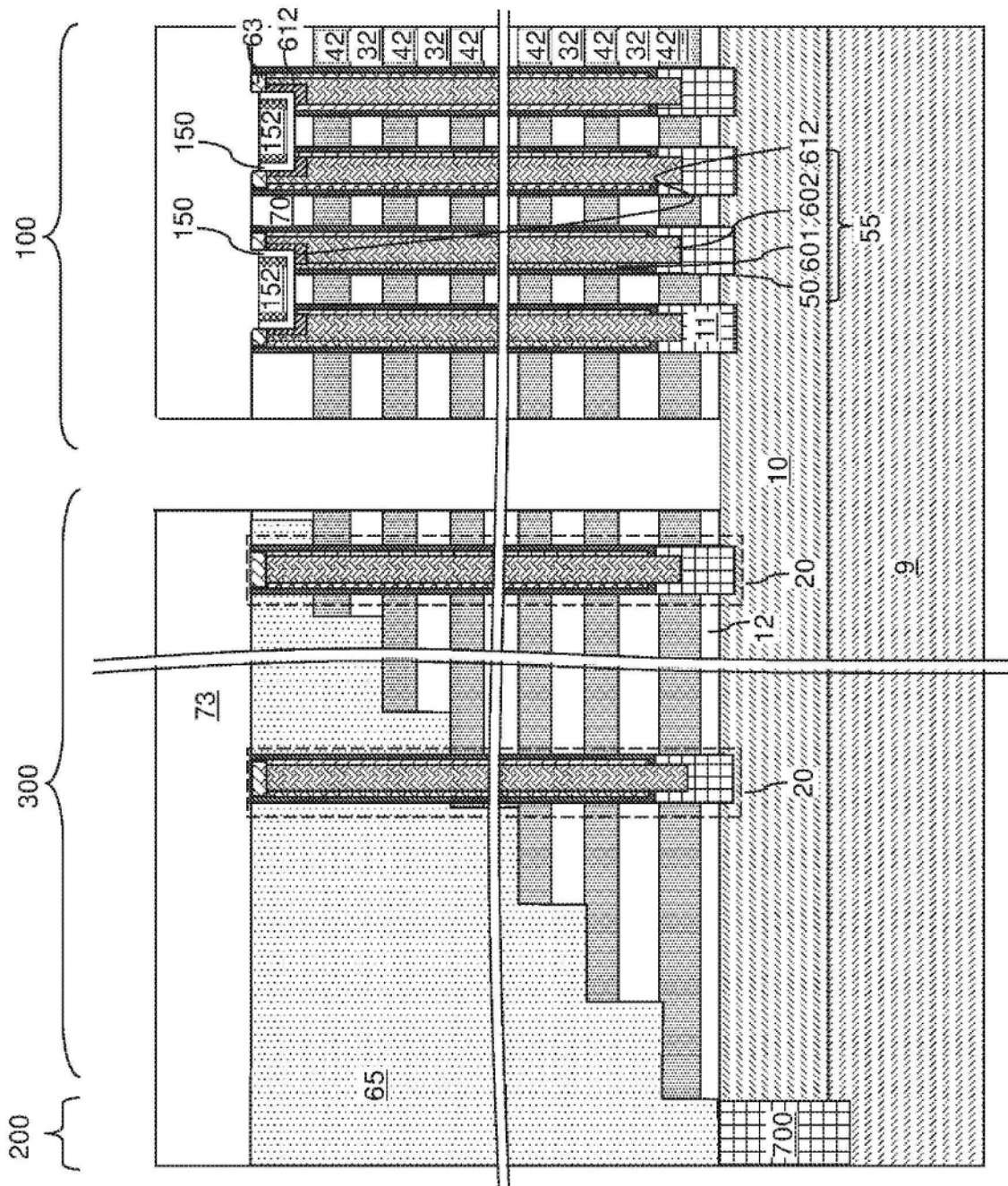


图13A

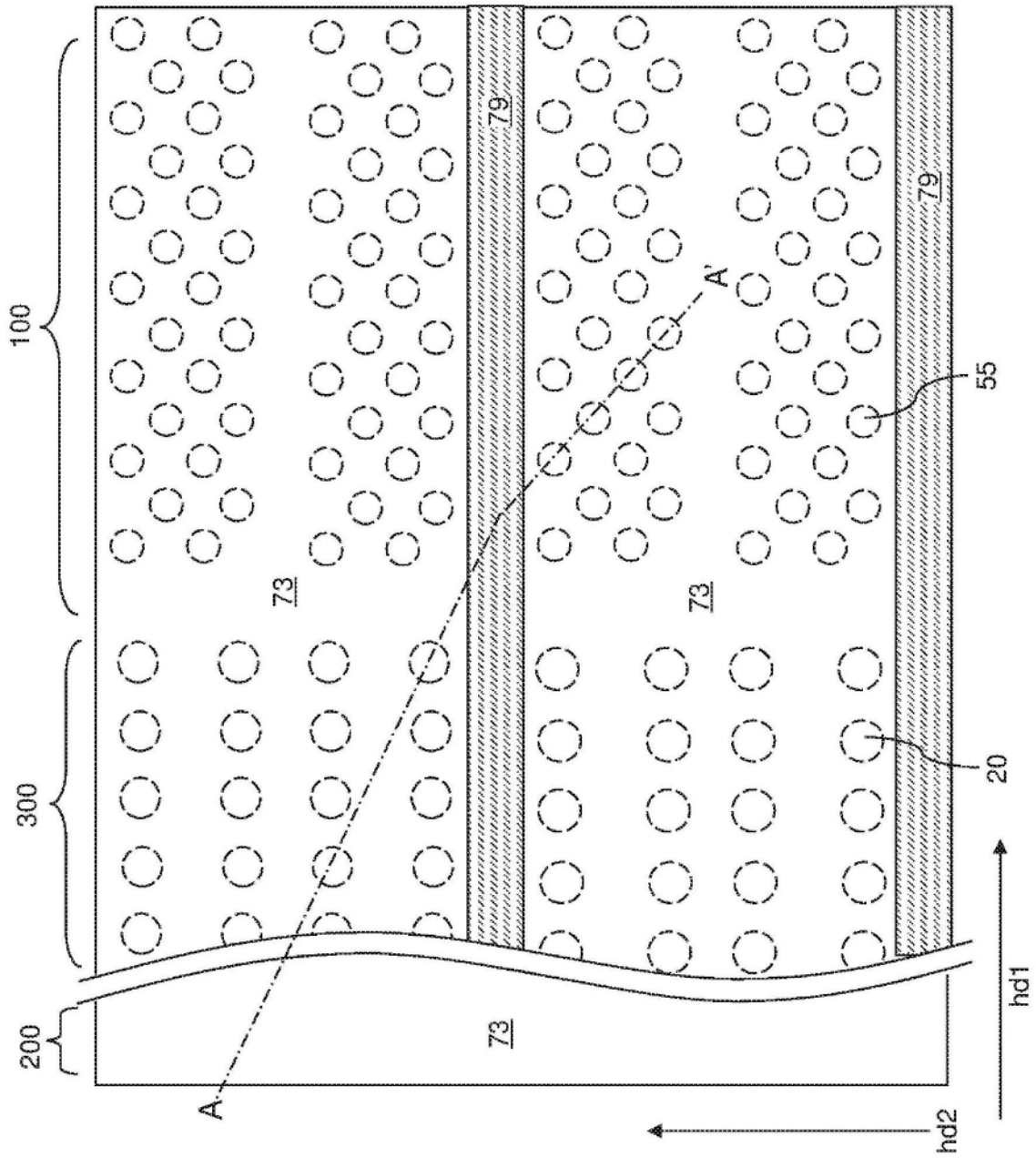


图13B

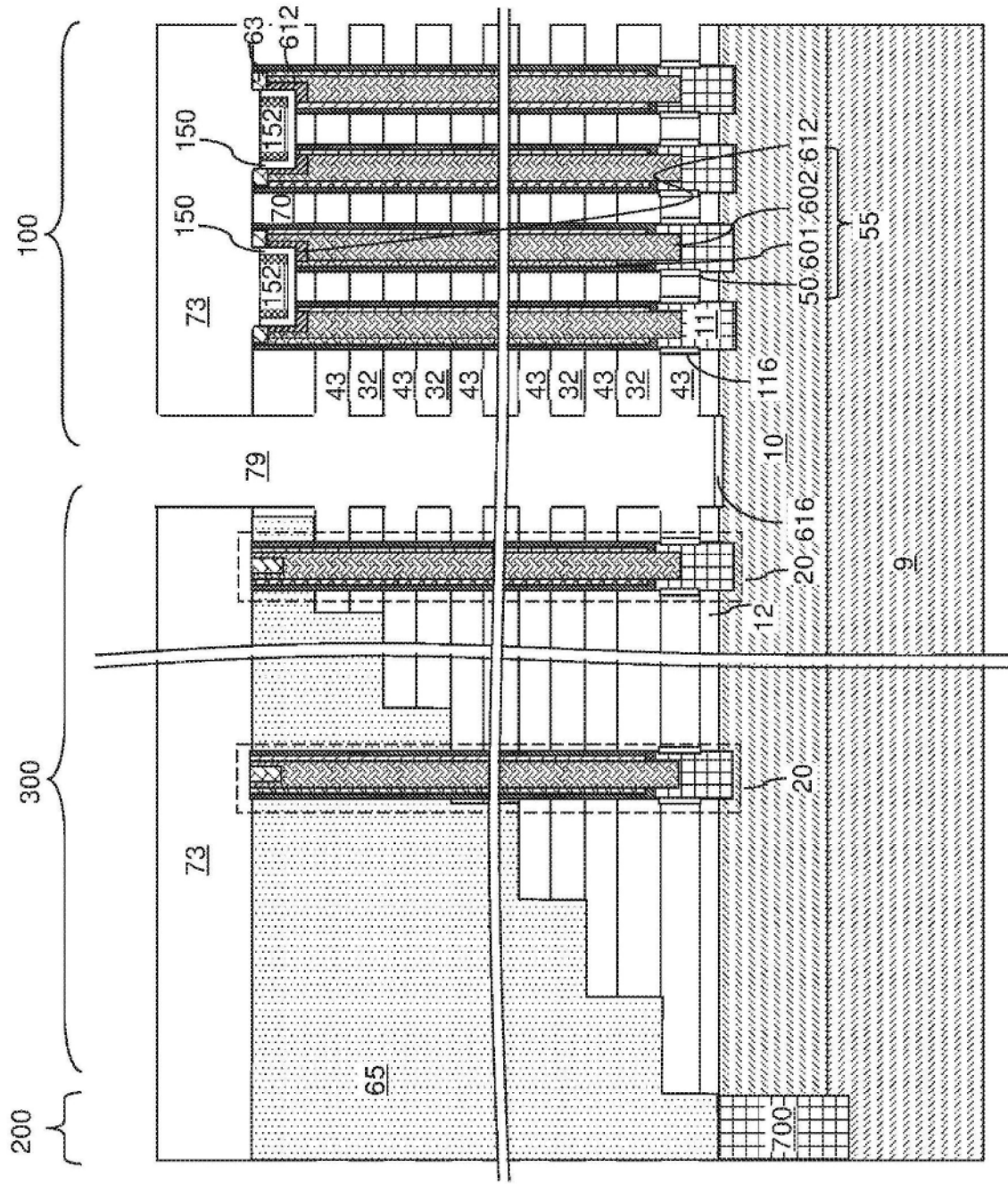


图14

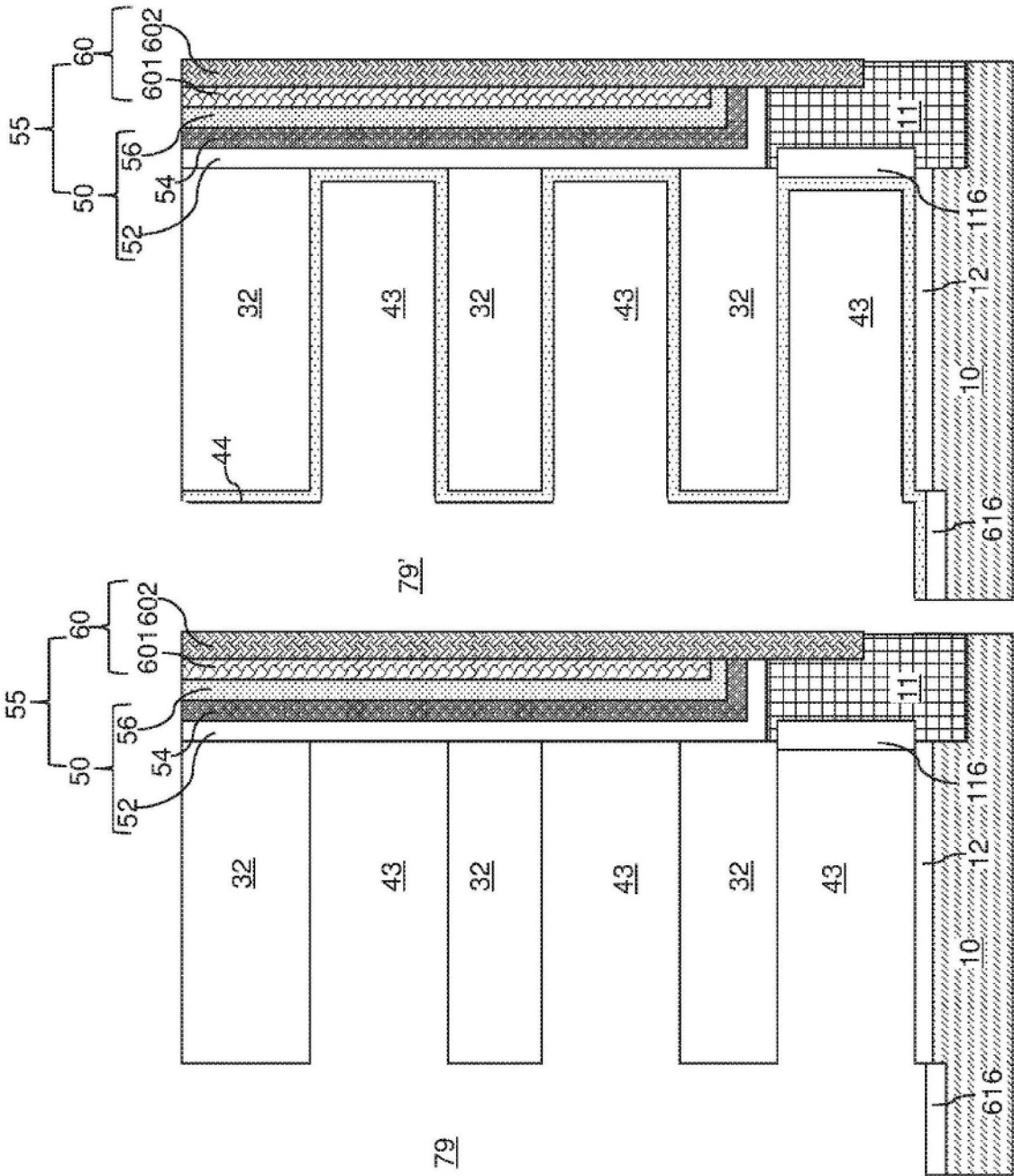


图15B

图15A

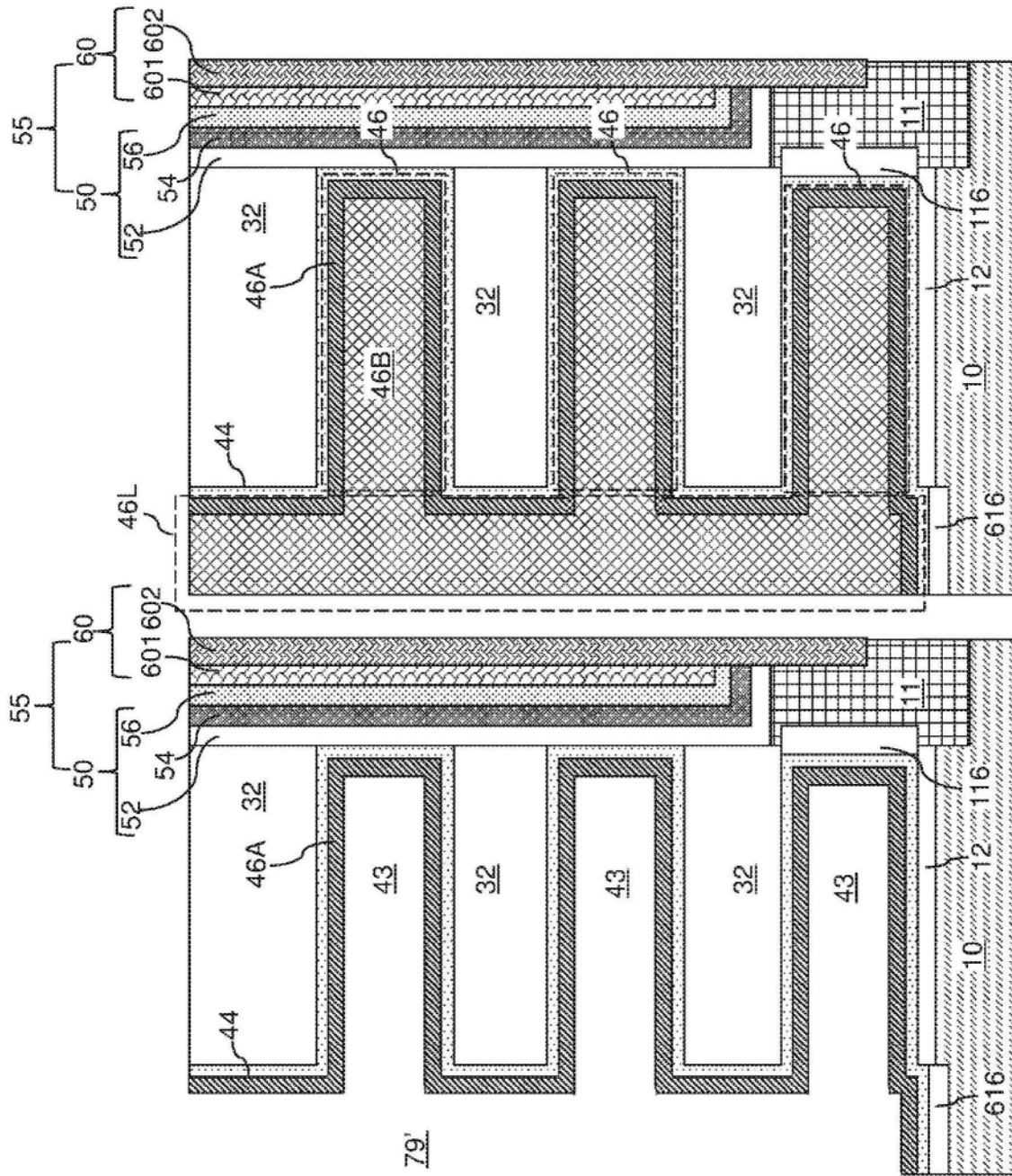


图15D

图15C

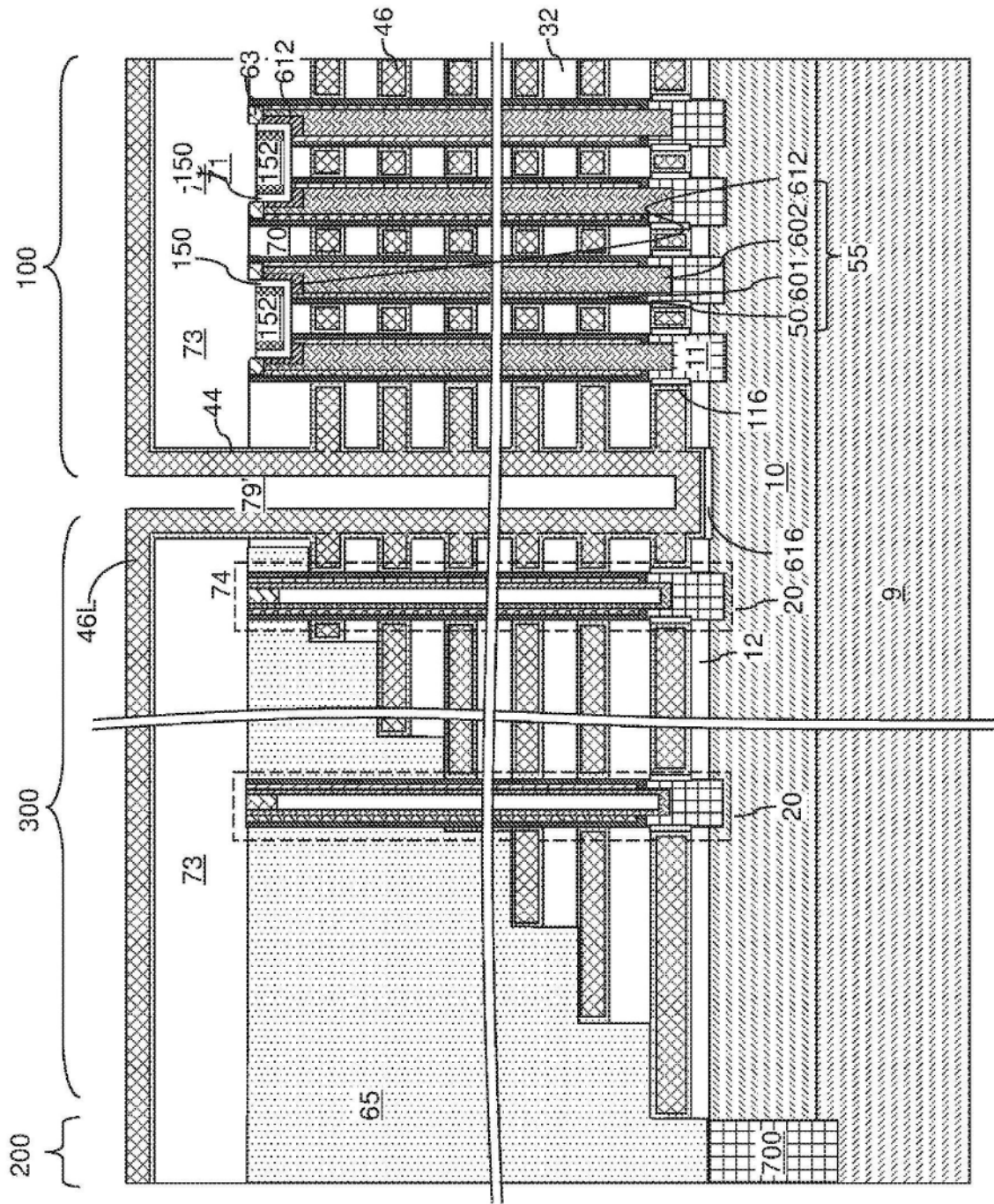


图16

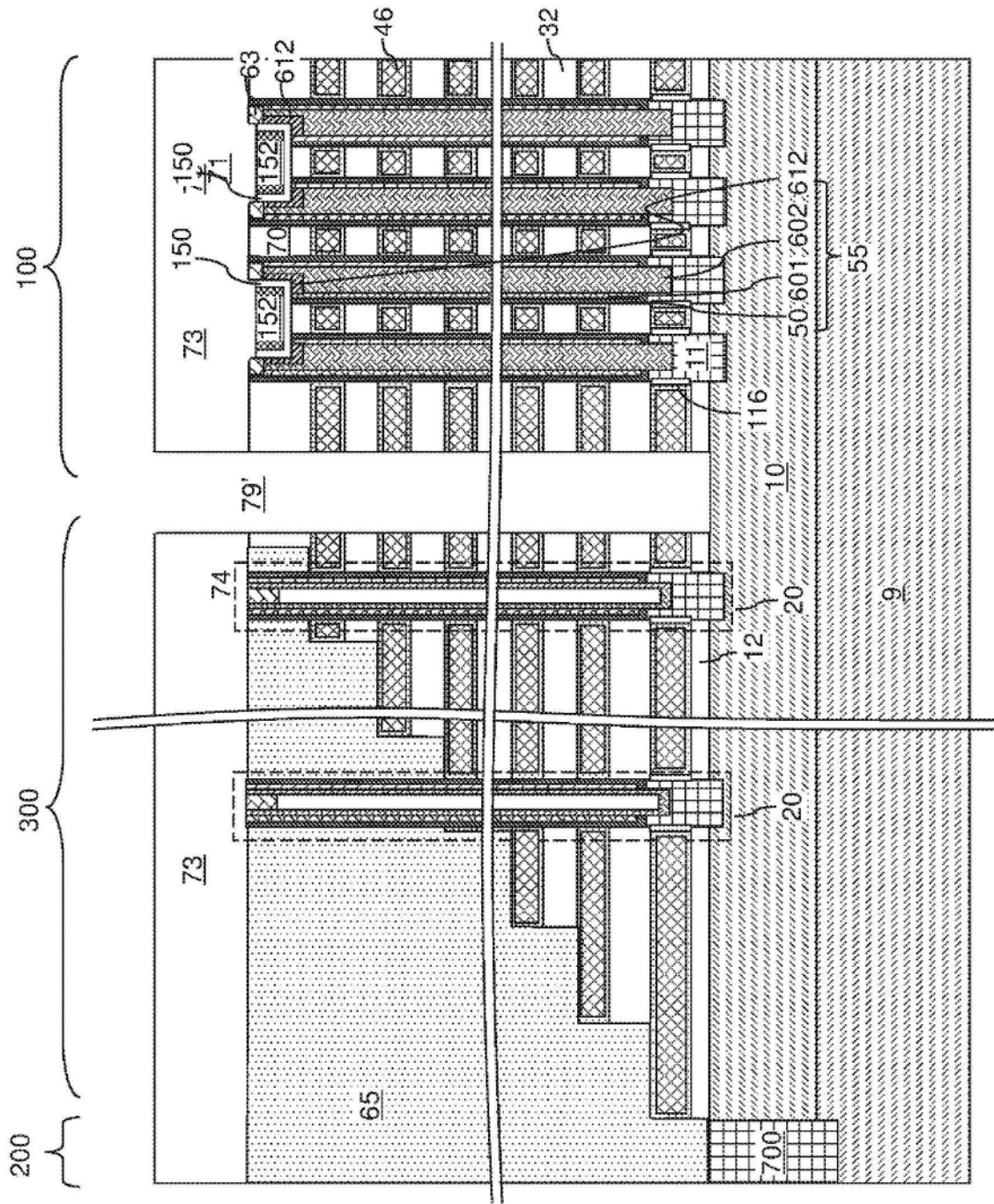


图17

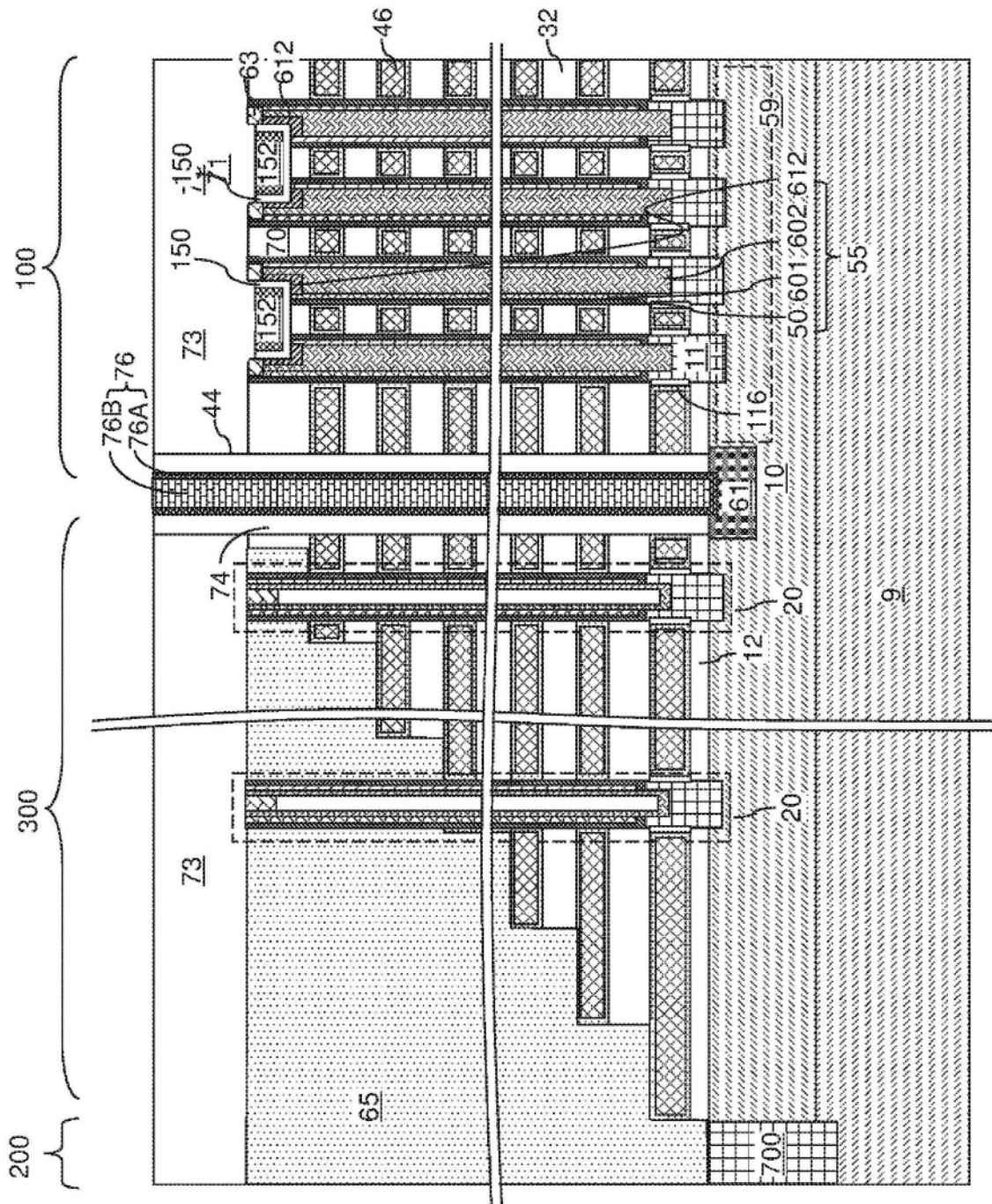


图18A

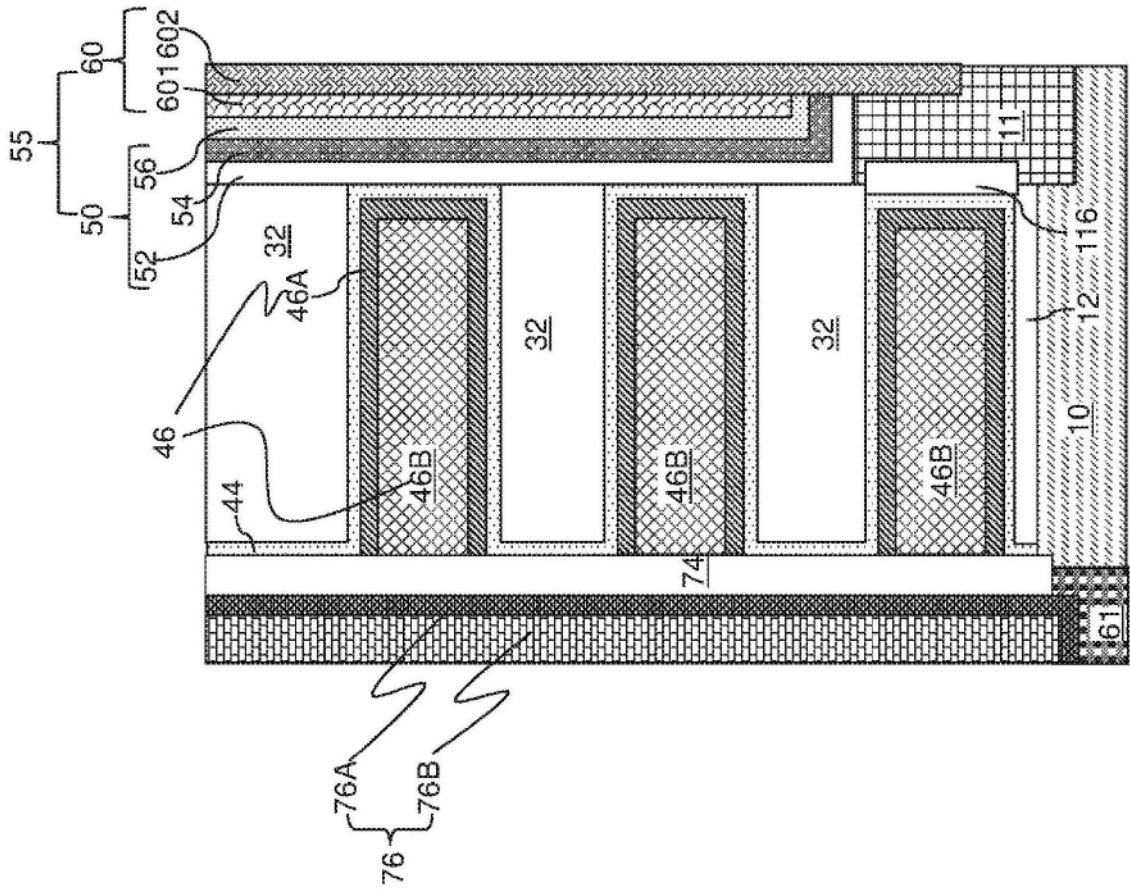


图18B

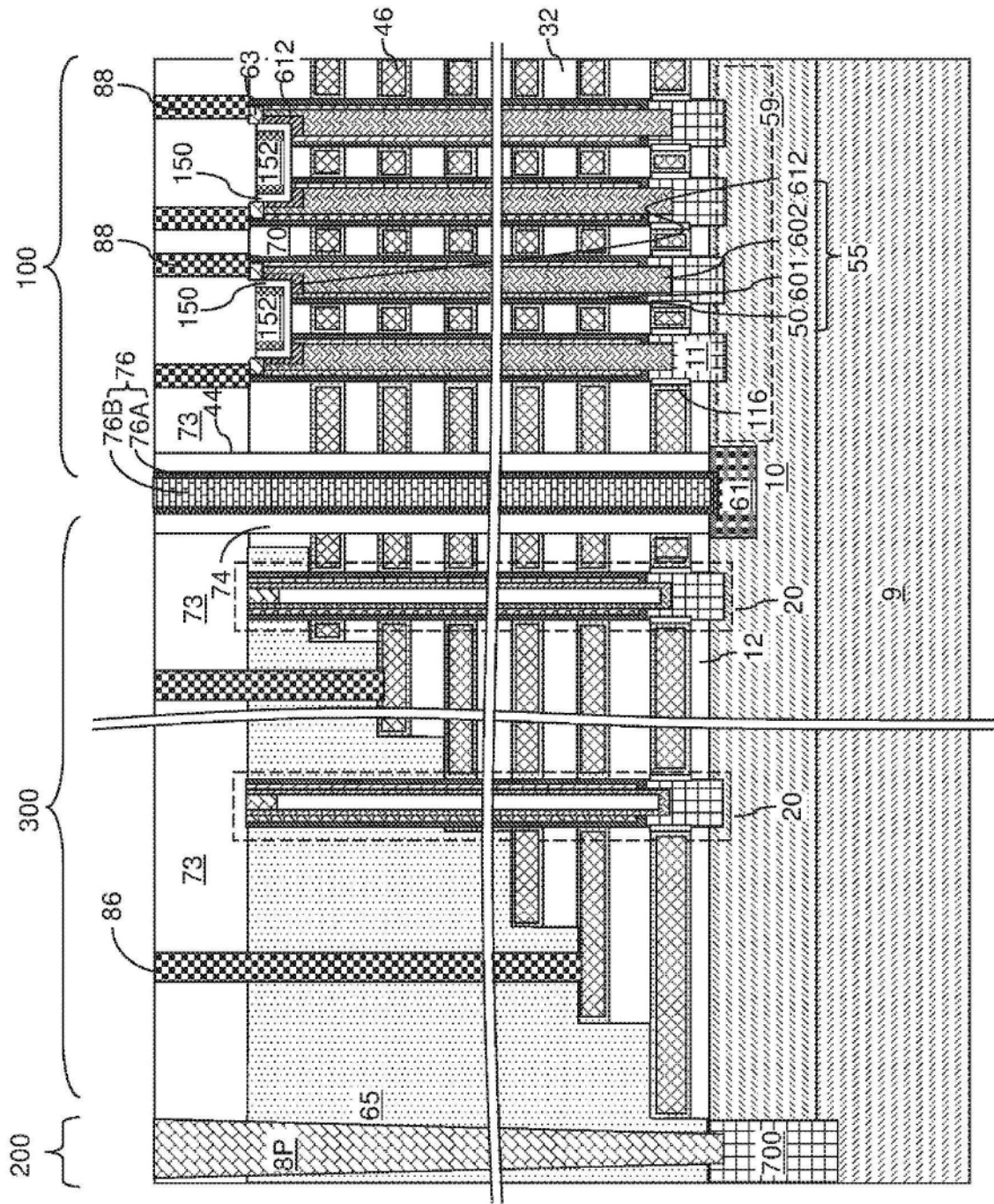


图19A

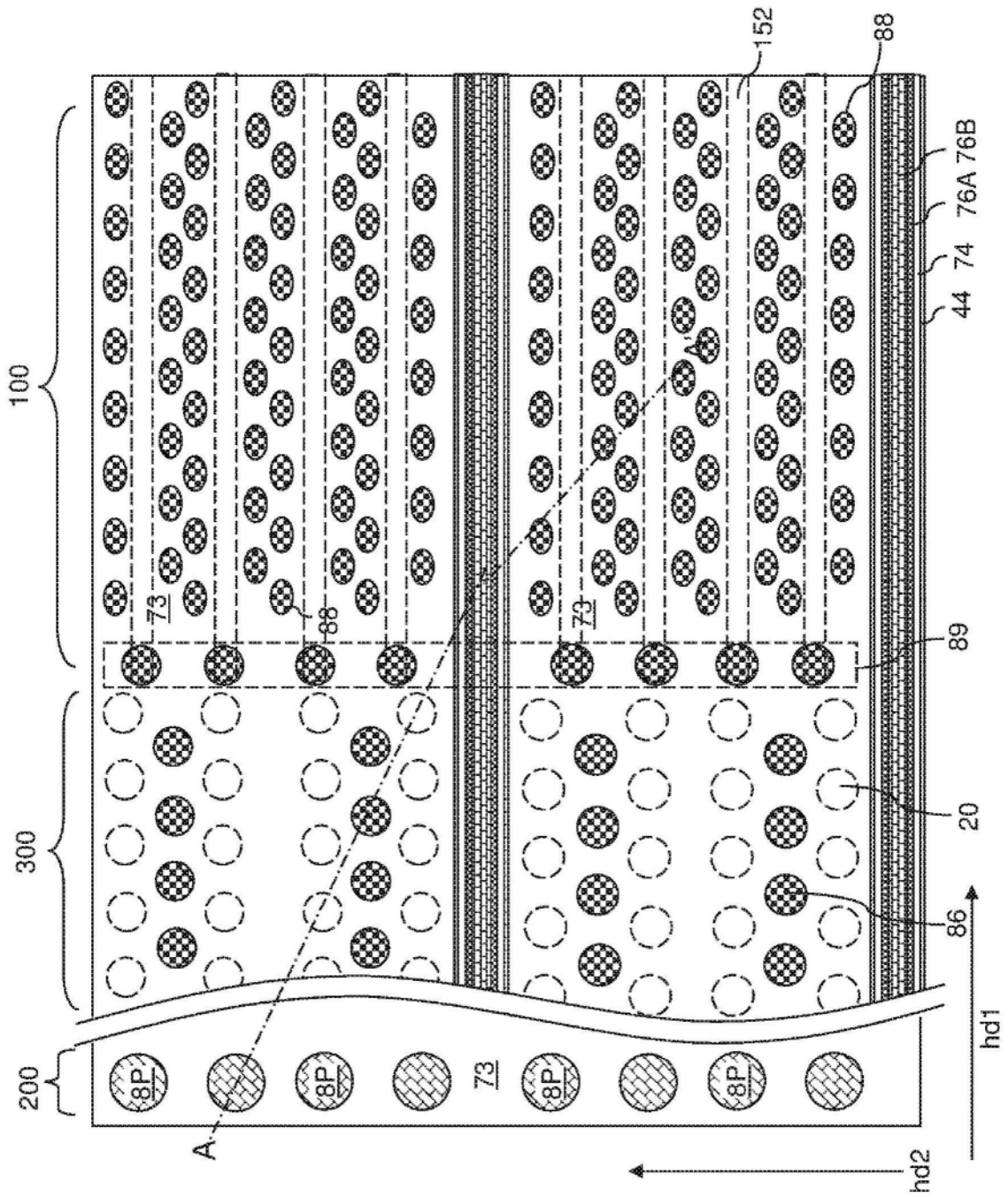


图19B