



(12) 发明专利

(10) 授权公告号 CN 103022039 B

(45) 授权公告日 2016. 03. 30

(21) 申请号 201110282569. 8

(22) 申请日 2011. 09. 21

(73) 专利权人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 朱慧珑 梁擎擎

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 倪斌

(51) Int. Cl.

H01L 27/11(2006. 01)

H01L 21/8244(2006. 01)

审查员 邢磊

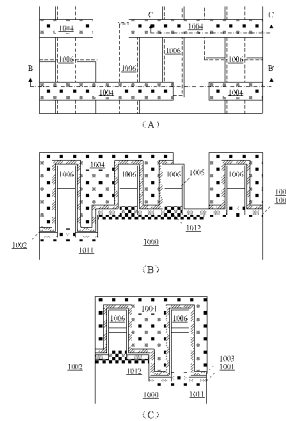
权利要求书2页 说明书6页 附图19页

(54) 发明名称

SRAM 单元及其制作方法

(57) 摘要

本申请公开了一种 SRAM 单元及其制作方法。该 SRAM 单元包括：半导体层；以及在半导体层上形成的第一鳍式场效应晶体管 (FinFET) 和第二 FinFET，其中所述第一 FinFET 包括对所述半导体层构图而形成的第一鳍片，所述第一鳍片具有第一顶面和第一底面，所述第二 FinFET 包括对所述半导体层构图而形成的第二鳍片，所述第二鳍片具有第二顶面和第二底面，其中，所述第一顶面与所述第二顶面持平，所述第一底面和第二底面接于所述半导体层，且所述第二鳍片的高度高于所述第一鳍片的高度。



1. 一种静态随机存取存储器单元,包括:

半导体层;以及

在半导体层上形成的第一上拉P型鳍式场效应晶体管PFinFET、第一下拉N型鳍式场效应晶体管NFinFET、第一旁通闸阀NFinFET、第二上拉PFinFET、第二下拉NFinFET和第二旁通闸阀NFinFET,其中

所述第一上拉PFinFET、第一旁通闸阀NFinFET、第二上拉PFinFET和第二旁通闸阀NFinFET分别包括对所述半导体层构图而形成的第一鳍片,所述第一鳍片具有第一顶面和第一底面,

所述第一下拉NFinFET和第二下拉NFinFET分别包括对所述半导体层构图而形成的第二鳍片,所述第二鳍片具有第二顶面和第二底面,

其中,所述第一顶面与所述第二顶面持平,所述第一底面和第二底面接于所述半导体层,且所述第二鳍片的高度是所述第一鳍片的高度的两倍。

2. 根据权利要求1所述的静态随机存取存储器单元,其中,所述半导体层是体半导体衬底。

3. 根据权利要求1所述的静态随机存取存储器单元,其中,第一鳍片和第二鳍片中至少一个鳍片在底部包括阻挡区。

4. 根据权利要求3所述的静态随机存取存储器单元,其中,对于p型鳍式场效应晶体管,所述阻挡区包括n型掺杂剂;对于n型鳍式场效应晶体管,所述阻挡区包括p型掺杂剂。

5. 根据权利要求1所述的静态随机存取存储器单元,其中,所述第一上拉PFinFET、第一下拉NFinFET、第一旁通闸阀NFinFET、第二上拉PFinFET、第二下拉NFinFET和第二旁通闸阀NFinFET分别包括跨于各自的鳍片上的栅堆叠,所述栅堆叠包括栅介质层、功函数调节层和栅电极层,

其中,所述栅堆叠通过隔离层与所述半导体层相隔开。

6. 一种制作静态随机存取存储器单元的方法,所述静态随机存取存储器单元包括第一上拉P型鳍式场效应晶体管PFinFET、第一下拉N型鳍式场效应晶体管NFinFET、第一旁通闸阀NFinFET、第二上拉PFinFET、第二下拉NFinFET和第二旁通闸阀N旁通闸阀NFinFET,该方法包括:

在半导体层的第一区域和第二区域中,对所述半导体层进行构图,以分别形成第一鳍片和第二鳍片,所述第一鳍片各自均具有第一顶面和第一底面,所述第二鳍片各自均具有第二顶面和第二底面;以及

基于所述第一鳍片,分别形成所述第一上拉PFinFET、第一旁通闸阀NFinFET、第二上拉PFinFET和第二旁通闸阀NFinFET,并基于所述第二鳍片,分别形成第一下拉NFinFET和第二下拉NFinFET,

其中,所述第一顶面与所述第二顶面持平,所述第一底面和第二底面接于所述半导体层,且所述第二鳍片的高度是所述第一鳍片的高度的两倍。

7. 根据权利要求6所述的制作静态随机存取存储器单元的方法,其中,所述构图步骤包括:

在所述第一区域和第二区域对所述半导体层进行构图,以分别形成所述第一鳍片以及所述第二鳍片的一部分;以及

在所述第二区域对所述半导体层进行进一步构图,以形成所述第二鳍片的其余部分。

8. 根据权利要求 6 所述的制作静态随机存取存储器单元的方法,其中,所述半导体层是体半导体衬底。

9. 根据权利要求 6 所述的制作静态随机存取存储器单元的方法,还包括:在所述第一鳍片和第二鳍片中至少一个鳍片的底部形成阻挡区。

10. 根据权利要求 9 所述的制作静态随机存取存储器单元的方法,其中,形成阻挡区的步骤包括:

在所述至少一个鳍片的两侧,向所述半导体层中注入掺杂剂;以及

进行退火,激活注入的掺杂剂,使得掺杂剂扩散到所述至少一个鳍片的底部。

11. 根据权利要求 6 所述的制作静态随机存取存储器单元的方法,其中,基于所述第一鳍片和第二鳍片分别形成所述第一上拉 PFinFET、第一下拉 NFinFET、第一旁通闸阀 NFinFET、第二上拉 PFinFET、第二下拉 NFinFET 和第二旁通闸阀 NFinFET 的步骤包括:

在所述第一鳍片和第二鳍片各自的两侧形成隔离层;以及

在隔离层上,跨于所述第一鳍片和第二鳍片形成栅堆叠。

12. 根据权利要求 11 所述的制作静态随机存取存储器单元的方法,其中,形成隔离层的步骤包括:

形成隔离材料层,该隔离材料层位于鳍片侧壁上的部分较薄,而其余部分较厚;以及

对所述隔离材料层进行各向同性回蚀,露出鳍片侧壁。

13. 根据权利要求 12 所述的制作静态随机存取存储器单元的方法,其中,在所述各向同性回蚀过程中,对所述第一区域与第二区域之间界面中至少一部分界面处的隔离材料层进行保护,以避免其被刻蚀。

SRAM 单元及其制作方法

技术领域

[0001] 本发明涉及半导体领域,更具体地,涉及一种静态随机存取存储器 (SRAM) 单元及其制作方法,其中 SRAM 单元由具有不同鳍片高度的鳍式场效应晶体管 (FinFET) 构成。

背景技术

[0002] 与常规的晶体管相比,鳍式场效应晶体管 (FinFET) 由于其更快的开关速度、较高的电流密度以及对短沟道效应的更佳抑制,得到了越来越多的应用。在典型的 FinFET 中,沟道设置在半导体鳍片 (fin) 中。鳍片通常包括横截面基本上为矩形的单晶半导体材料。鳍片的高度通常大于鳍片的宽度,以实现较高的每单位面积导通电流。

[0003] 尽管 FinFET 相对于常规金属氧化物半导体场效应晶体管 (MOSFET) 提供了改进的性能,但是也带来了一些设计挑战。具体来说,常规 MOSFET 对于器件宽度基本上无限制,而 FinFET 通常具有相同高度的鳍片。换言之,为了控制晶体管的导通电流和截止电流,常规 MOSFET 提供两个参数:沟道的宽度 W 和长度 L ;而 FinFET 仅提供一个参数:FinFET 的长度 L ,这是因为鳍片的高度是固定的,因此沟道宽度固定。因此,对于给定的晶体管长度 L (定义了导通电流与截止电流之比),来自单个鳍片的导通电流量是固定的。

[0004] 然而,在高性能集成电路中经常需要具有不同导通电流的晶体管。一个这样的例子是 6 晶体管 SRAM (静态随机存取存储器) 单元,其中下拉晶体管的导通电流与旁通闸阀 (pass-gate) 晶体管的导通电流之比 (β 比) 需要保持接近 2, 以便实现 SRAM 单元的最佳性能。

[0005] 图 1 示出了作为示例的常规 6 晶体管 SRAM 单元的俯视图。如图 1 所示,在半导体衬底上设置了有源区 103、栅电极 104 和第一级金属布线 105。该 SRAM 单元包括如下 6 个晶体管:第一上拉 PFET (P 型场效应晶体管) 110、第一下拉 NFET (N 型场效应晶体管) 120、第一旁通闸阀 NFET 130、第二上拉 PFET 111、第二下拉 NFET 121、以及第二旁通闸阀 NFET 131。在此,第一下拉 NFET 120 与相应的第一旁通闸阀 NFET 130 各自的有源区具有不同的宽度,以将 β 比维持在 2 左右。另外,下拉 NFET 120、121 与上拉 PFET 110、111 之间的宽度比也在 2 左右,以使得下拉 NFET 120、121 与上拉 PFET 110、111 之间的电流比 (γ 比) 约为 4。

[0006] 对于常规的 FinFET 而言,鳍片通常具有相同的高度。这是因为为了便于鳍片的光刻构图,不同 FinFET 中鳍片的物理高度需要保持一致。此外,与常规 MOSFET 器件不同,鳍片的物理宽度增加不会导致沟道宽度增加 (或者电流增加),因为沟道位于鳍片的侧壁上。因此,对于采用 FinFET 的 6 晶体管 SRAM 单元而言,为了如上所述保持约为 2 的 β 比和 / 或约为 4 的 γ 比,需要采用一些应对措施。

[0007] 一种措施是对下拉 NFET 使用两个鳍片,而对旁通闸阀 NFET 仅使用一个鳍片。这种措施将会导致 SRAM 单元的布局面积增加。另一种措施是通过使沟道长度变长来弱化旁通闸阀 NFET。具体地,例如通过使旁通闸阀 NFET 的栅电极变宽,从而相应地导致沟道长度变长,且因此导通电流降低。这种措施也会导致 SRAM 单元的布局面积增加。再一种措施是通过减小鳍片的高度来弱化旁通闸阀 NFET。由于只改变了垂直方向上的尺寸,从而不会增

加 SRAM 单元的布局面积。但是,目前尚不存在有效改变鳍片高度的手段。

[0008] 因此,存在对于一种新颖的 SRAM 单元及其制造方法的需求,其中构成 SRAM 单元的 FinFET 具有不同的鳍片高度。

发明内容

[0009] 本发明的目的在于提供一种 SRAM 单元及其制作方法,其中,能够以简单易行的方式来提供具有不同高度的鳍片。

[0010] 根据一个实施例,提供了一种 SRAM 单元,包括:半导体层;以及在半导体层上形成的第一 FinFET 和第二 FinFET,其中第一 FinFET 包括对半导体层构图而形成的第一鳍片,第一鳍片具有第一顶面和第一底面,第二 FinFET 包括对半导体层构图而形成的第二鳍片,第二鳍片具有第二顶面和第二底面,其中,第一顶面与第二顶面持平,第一底面和第二底面接于半导体层,且第二鳍片的高度高于第一鳍片的高度。

[0011] 根据另一实施例,提供了一种制作 SRAM 单元的方法,SRAM 单元包括第一 FinFET 和第二 FinFET,该方法包括:在半导体层的第一区域和第二区域中,对半导体层进行构图,以分别形成第一鳍片和第二鳍片,第一鳍片具有第一顶面和第一底面,第二鳍片具有第二顶面和第二底面;以及基于第一鳍片和第二鳍片,分别形成第一 FinFET 和第二 FinFET,其中,第一顶面与第二顶面持平,第一底面和第二底面接于半导体层,且第二鳍片的高度高于第一鳍片的高度。

[0012] 根据实施例,通过在同一半导体层上分别进行不同深度的刻蚀工艺,可以提供具有不同厚度的鳍片。从而在 SRAM 单元中,可以有效地集成具有不同电流驱动能力的晶体管器件。

附图说明

[0013] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0014] 图 1 示出了常规 6 晶体管 SRAM 单元的俯视图;

[0015] 图 2 ~ 16 示出了根据本发明实施例的制造半导体结构的流程中各步骤得到的结构的示意图,各图中,(A) 示出了俯视图,(B) 示出了沿 B-B' 线的截面图,(C) 示出了沿 C-C' 线的截面图;

[0016] 图 17 ~ 19 示出了根据本发明另一实施例的制造半导体结构的流程中相关步骤得到的结构的示意图,各图中,(A) 示出了俯视图,(B) 示出了沿 B-B' 线的截面图,(C) 示出了沿 C-C' 线的截面图。

具体实施方式

[0017] 以下,通过附图中示出的具体实施例来描述本发明。但是应该理解,这些描述只是示例性的,而并非要限制本发明的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本发明的概念。

[0018] 在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的,其中为了清楚的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种

区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0019] 在以下,以 Si 基材料为例进行描述,但是应该理解的是,本发明并不限于 Si 基材料,而是可以应用于其他各种半导体材料。

[0020] 如图 2 所示,提供半导体层 1000,例如体 Si 半导体层。该半导体层 1000 可以是衬底本身如体半导体衬底,或者可以是在衬底上形成的半导体层。在该半导体层 1000 上,还形成有硬掩膜层,例如包括氧化物层(氧化硅)1005 和氮化物层(氮化硅)1006。氧化物层 1005 和氮化物层 1006 例如通过淀积形成于半导体衬底上。例如,氧化物层 1005 的厚度约为 2-5nm,氮化物层 1006 的厚度约为 10-50nm。

[0021] 在上述结构上涂覆光致抗蚀剂层 1007,并将其构图为与将要形成的鳍片图案相对应。具体地,在 6 晶体管 SRAM 单元的示例中,将光致抗蚀剂层 1007 构图为 4 个条状形状。如图 2 所示,这 4 个条状形状从左至右依次为:与第一下拉 NFET(参见图 1 中的 120)和第一旁通闸阀 NFET(参见图 1 中的 130)各自的鳍片(参见以下描述,这两个鳍片实际上连接在一起)相对应的条状形状,与第一上拉 PFET(参见图 1 中的 110)的鳍片相对应的条状形状,与第二上拉 PFET(参见图 1 中的 111)的鳍片相对应的条状形状,以及与第二下拉 NFET(参见图 1 中的 121)和第二旁通闸阀 NFET(参见图 1 中的 131)各自的鳍片(参见以下描述,这两个鳍片实际上连接在一起)相对应的条状形状。

[0022] 然后,如图 3 所示,利用构图的光致抗蚀剂层 1007 作为掩膜,对硬掩膜层(氧化物层 1005 和氮化物层 1006)进行构图。这种构图例如通过 RIE(反应离子刻蚀)来进行。之后,可以去除光致抗蚀剂层 1007。

[0023] 在对硬掩膜层进行构图之后,可以利用构图的硬掩膜层(氧化物层 1005 和氮化物层 1006)为掩膜,对半导体层 1000 进行构图,以形成鳍片。根据一个实施例,可以对半导体层的不同区域进行不同深度的刻蚀,从而得到不同高度的鳍片。

[0024] 具体地,首先,如图 4 所示,利用构图的硬掩膜层(1005 和 1006)为掩膜,对半导体层 1000 进行构图例如 RIE,刻蚀的深度例如为约 30-150nm。在此,刻蚀深度例如可以通过 RIE 过程中的离子能量、刻蚀时间等工艺参数来控制。构图后的半导体层 1000 中形成了具有第一高度的鳍片:图 4(A) 中最左侧条状部分的上半部,对应于第一旁通闸阀 NFET(参见图 1 中的 130)的鳍片;图 4(A) 中左侧第二条状部分,对应于第一上拉 PFET(参见图 1 中的 110)的鳍片;图 4(A) 中右侧第二条状部分,对应于第二上拉 PFET(参见图 1 中的 111)的鳍片;图 4(A) 中最右侧条状部分的下半部,对应于第二旁通闸阀 NFET(参见图 1 中的 131)的鳍片。这些鳍片的高度(即,第一高度)对应于半导体层 1000 在此次构图过程中下凹或者说被刻蚀的深度,例如为约 30-150nm。

[0025] 然后,如图 5 所示,使用掩膜层例如光致抗蚀剂层 1008 来覆盖图 4 所示结构,并对该掩膜层 1008 进行构图,使得仅露出与下拉晶体管(参见图 1 中的 120、121)相对应的区域。

[0026] 然后,如图 6 所示,以构图的掩膜层 1008 为掩膜,对露出区域中的半导体层 1000 进行进一步构图如 RIE,以增大该区域中鳍片的高度。例如,在下拉晶体管的区域,半导体层 1000 被再次刻蚀约 30-150nm。之后,去除掩膜层 1008。

[0027] 这样,就形成了具有第二高度的鳍片:图 6(A) 中最左侧条状部分的下半部,对应于第一下拉 NFET(参见图 1 中的 120) 的鳍片;以及图 5(A) 中最右侧条状部分的上半部,对应于第二下拉 NFET(参见图 1 中的 121) 的鳍片。这两个鳍片的高度(即,第二高度)对应于半导体层 1000 在下拉晶体管区域中下凹或者说被刻蚀的深度(在该实施例中,为两次刻蚀深度之和),例如为约 60-300nm。

[0028] 这样,就形成了具有不同高度的鳍片结构。具体地,如图 6 所示,在 6 晶体管 SRAM 单元的示例中,在与上拉晶体管和旁通闸阀晶体管相对应的区域中,形成具有第一高度的鳍片结构;在与下拉晶体管相对应的区域中,形成具有第二高度的鳍片结构。也即,下拉晶体管的鳍片高度较大,因此下拉晶体管具有较大的沟道宽度,从而提供较大的导通电流。

[0029] 可以看到,在该实施例中,通过对半导体层的不同区域分别进行不同刻蚀深度的选择性构图,在同一半导体层中形成了具有不同高度的鳍片。

[0030] 在此需要指出的是,在本申请中,鳍片的“高度”是指鳍片的顶面距其底面(即,该鳍片所接于的半导体层的表面)的高度。例如,在图 6 所示的示例中,在上拉晶体管和旁通闸阀晶体管区域中,鳍片的高度为半导体层 1000 的顶面(即,该区域中鳍片的顶面)距半导体层 1000 在该区域中鳍片之外的区域中的表面的高度;在下拉晶体管区域中,鳍片的高度为半导体层 1000 的顶面(即,该区域中鳍片的顶面)距半导体层 1000 在该区域中鳍片之外的区域中的表面的高度。

[0031] 在此,所述的“接于”是指鳍片与半导体层之间直接接触,并不存在其他材料层。存在这样一种情况:在半导体层之下另外还存在其他层如衬底时,鳍片可以贯穿整个半导体层(即,利用整个厚度的半导体层来形成该厚度的鳍片)。这时,该鳍片的底面与半导体层的底面相重合。在本公开中,将这种情况也认为是鳍片“接于”半导体层,因为鳍片与半导体层之间并不存在其他材料层。

[0032] 在该实施例中,各个鳍片的顶面保持齐平,从而有利于后继处理;通过使得各鳍片所处区域的半导体层表面高度不同,来使相应鳍片的高度不同。

[0033] 在如上所述形成具有不同高度的鳍片结构之后,可以进行后继处理,以形成完整的器件。

[0034] 在此,优选地,还在各鳍片底部形成阻挡区,用以至少部分地抑制最终形成的 FinFET 的源、漏区之间通过鳍片底部的漏电流。优选地,对于 NFET,阻挡区为 p 型掺杂;而对于 PFET,阻挡区为 n 型掺杂。

[0035] 具体地,如图 7 所示,形成掩膜层 1009 例如光致抗蚀剂层,并对其进行构图,以覆盖 PFET 区域;然后,如图 8 中箭头所示,对 NFET 区域进行离子注入,向半导体层中注入用于形成阻挡区的掺杂剂。在此,掺杂剂优选地为 p 型掺杂剂,例如 B 或 BF_2 ,然后去除掩膜层 1009。由于存在硬掩膜层,特别是氮化物层 1006,注入自对准于鳍片两侧。

[0036] 同样地,如图 9 所示,形成掩膜层 1010 例如光致抗蚀剂层,并对其进行构图,以覆盖 NFET 区域;然后,如图 10 中箭头所示,对 PFET 区域进行离子注入,向半导体层中注入用于形成阻挡区的掺杂剂。在此,掺杂剂优选地为 n 型掺杂剂,例如 P 或 As,然后去除掩膜层 1010。在此,由于存在硬掩膜层,特别是氮化物层 1006,注入自对准于鳍片两侧。

[0037] 这里需要指出的是,图 7、8 所示的处理与图 9、10 所示的处理可以交换顺序。

[0038] 在如上所述进行阻挡区注入之后,通过退火来激活注入的掺杂剂,使得

掺杂剂扩散到鳍片的底部,从而形成阻挡区。最终形成的阻挡区的掺杂浓度约为 $1 \times 10^{16} \text{cm}^{-3}$ - $1 \times 10^{19} \text{cm}^{-3}$ 。如图 11 所示,在 NFET 区域中形成了 p 型掺杂的阻挡区 1011,在 PFET 区域中形成了 n 型掺杂的阻挡区 1012。这里需要指出的是,阻挡区 1011、1012 可能并非具有锐利的边界;在图中,只是为了图示方便,将阻挡区 1011、1012 示出为具有笔直且明确的边界。

[0039] 接下来,可以在鳍片两侧形成隔离层,并且在隔离层上跨鳍片形成栅堆叠,以形成最终的 FinFET。

[0040] 具体地,首先如图 12 所示,在整个结构上淀积一层氧化物层 1001,如高密度等离子 (HDP) 氧化物 (例如 SiO_2)。该氧化物层 1001 的底部厚,而位于鳍片侧壁上的部分薄。这里需要指出的是,在图 12(A) 所示的俯视图中,为清楚起见,并没有示出所形成的氧化物层 1001。然后,如图 13 所示,对氧化物层 1001 进行各向同性回蚀,以露出鳍片的侧壁,从而形成位于鳍片两侧的隔离层 1001。在此需要指出的是,尽管并未示出,但是在鳍片顶部 (具体地,氮化物层 1006 顶面) 上可能还留有隔离层的材料。

[0041] 然后,在隔离层上形成栅堆叠。具体地,如图 14 所示,在图 13 所示的结构上依次淀积栅介质层 1002 和栅电极层 1004。优选地,还在栅介质层 1002 与栅电极层 1004 之间插入有功函数调节层 1003。优选地,栅介质层 1002 为高 K 栅介质,如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 等; 功函数调节层 1003 可以包括 TiN 、 TiAlN 、 TaN 、 TaAlN 、 TaC 等; 栅电极层 1004 可以包括多晶硅,或金属栅电极材料如 Ti 、 Co 、 Ni 、 Al 、 W 等。

[0042] 在这里需要指出的是,在本实施例中,在鳍片顶部保留硬掩膜层 1005、1006 (最终得到 2 栅器件)。但是,本发明不限于此,也可以应用于 3 栅器件。例如,可以去除鳍片顶部的硬掩膜层 1005、1006,并在鳍片的三个侧面 (左、右侧面以及顶面) 上均形成栅介质层和功函数调节层,从而最终得到 3 栅器件。

[0043] 接着,如图 15 所示,在栅电极层 1004 上涂覆光致抗蚀剂层 1013,并将该光致抗蚀剂层 1013 构图为与将要形成的栅电极相对应的图案。具体地,在 6 晶体管 SRAM 单元的示例中,将光致抗蚀剂层 1013 构图为 4 个条状形状,与图 1 所示的栅电极 104 相对应。接着,如图 16 所示,以构图的光致抗蚀剂 1013 为掩膜,对栅电极层 1004 和功函数调节层 1003 进行构图,例如 RIE,从而得到最终的栅堆叠。具体地,首先对栅电极层 1004 进行构图如 RIE,以保留其与最终形成的栅电极相对应的部分; 然后对功函数调节层 1003 进行构图如 RIE,以去除其露在栅电极层之外的部分。可选地,还可以对栅介质层 1002 进行构图如 RIE,以去除其露在栅电极层之外的部分。需要指出的是,在该步骤中,可以不对栅介质层 1002 进行构图,而是原样保留。

[0044] 在形成栅堆叠之后,可以进一步进行侧墙形成、源 / 漏掺杂和激活、金属接触形成等处理,以形成最终的器件。

[0045] 这样,就得到了根据本发明的 SRAM 单元。如图 16 所示,该 SRAM 单元包括: 半导体层; 以及在半导体层上形成的第一 FinFET 和第二 FinFET, 其中第一 FinFET 包括在半导体层的第一区域中接于半导体层形成的第一鳍片, 第二 FinFET 在半导体层的第二区域中接于半导体层形成的第二鳍片。第一鳍片具有第一顶面和第一底面, 第二鳍片具有第二顶面和第二底面, 其中第一顶面与第二顶面持平, 第一底面和第二底面接于半导体层, 且第一鳍

片的高度与第二鳍片的高度不同。

[0046] 更具体地,该 SRAM 单元可以包括 6 个 FET:第一上拉 PFET、第一下拉 NFET、第一旁通闸阀 NFET、第二上拉 PFET、第二下拉 NFET 和第二旁通闸阀 NFET。这 6 个 FET 的连接方式与常规 SRAM 单元相同。在这 6 个 FET 中,第一下拉 NFET 和第二下拉 NFET 具有相对大的鳍片高度,而其余 FET 则具有相对小的鳍片高度。优选地,第一下拉 NFET 和第二下拉 NFET 的鳍片高度为其余 FET 鳍片高度的两倍。

[0047] 根据本发明的另一实施例,在对隔离层进行各向同性回蚀过程中,还可以对半导体层 1000 中存在的台阶(即,上拉 FET、旁通闸阀 FET 区域与下拉 FET 区域之间的界面)处的隔离层进行保护,以防止其被刻蚀。

[0048] 具体地,如图 17 所示,在形成底部厚而位于鳍片侧壁上的部分薄的氧化物层 1001(参见以上结合图 12 的描述)之后,形成掩膜层如光致抗蚀剂层 1014,并对其进行构图以覆盖所述台阶部分。这里需要指出的是,图 17 中示出了光致抗蚀剂层 1014 仅覆盖部分的台阶,但是光致抗蚀剂层 1014 可以覆盖所有台阶部分。

[0049] 然后,如图 18 所示,对氧化物层 1001 进行各向同性回蚀,以得到隔离层 1001。以图 13 中所示的隔离层不同,该实施例的隔离层还包括位于所述台阶处的部分。

[0050] 在形成隔离层之后,其他处理步骤同上述实施例中一样,最终得到如图 19 所示的 SRAM 单元。该 SRAM 单元与图 16 所示的 SRAM 单元基本上相同,除了所述台阶部分处存在隔离层之外。

[0051] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过现有技术中的各种手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

[0052] 以上参照本发明的实施例对本发明予以了说明。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本发明的范围之内。

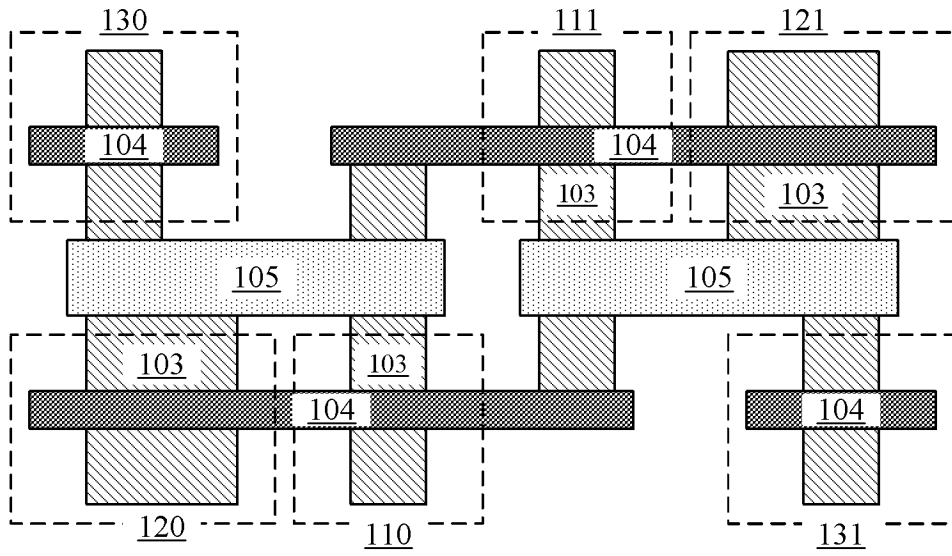


图 1

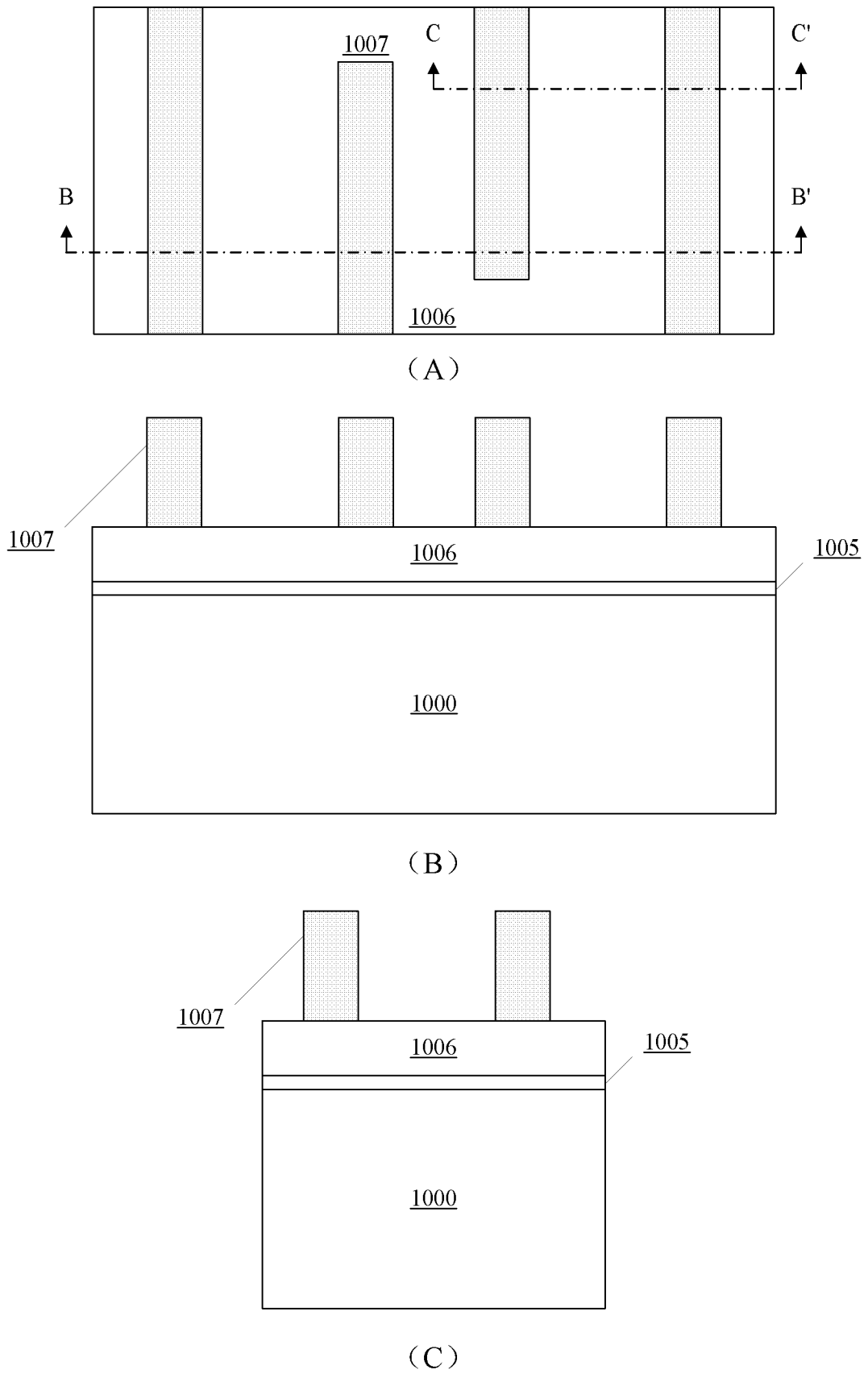
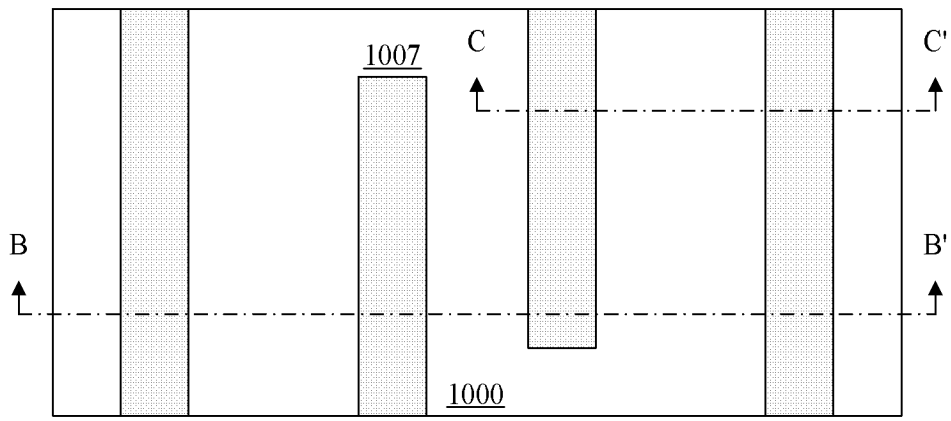
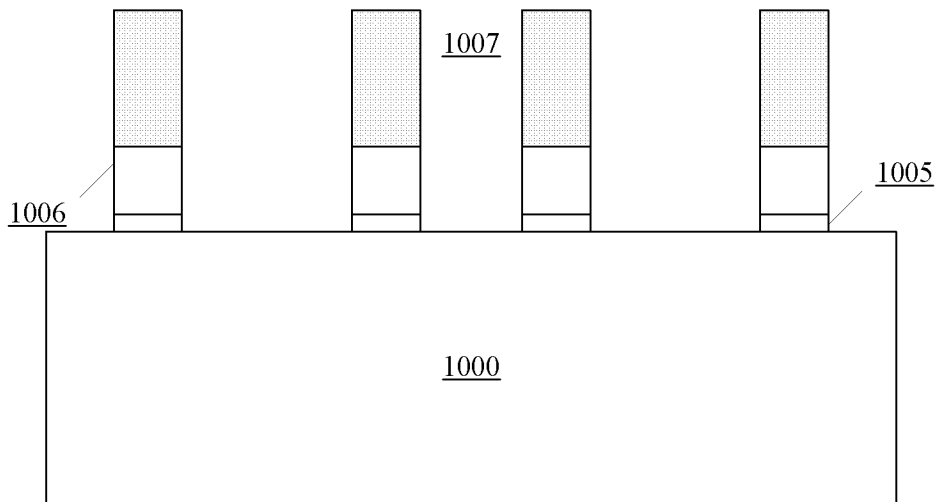


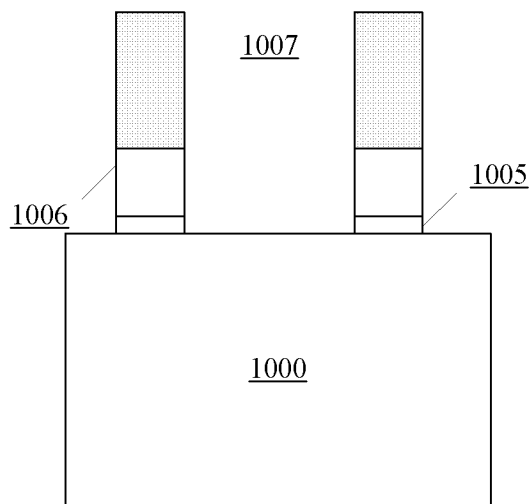
图 2



(A)

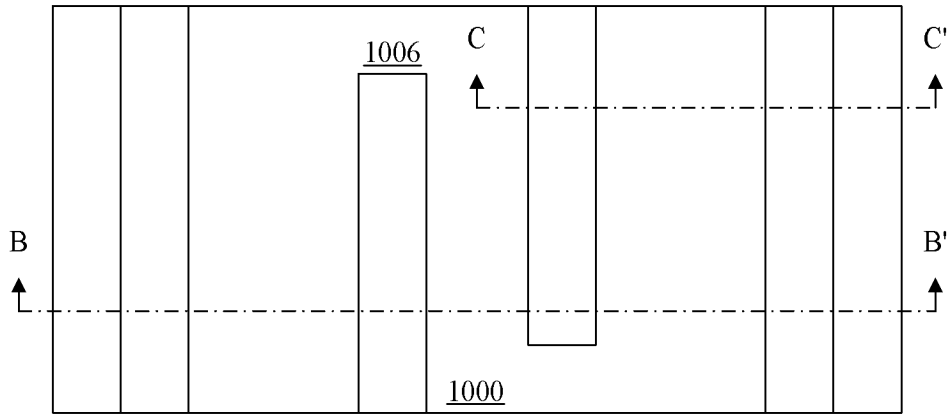


(B)

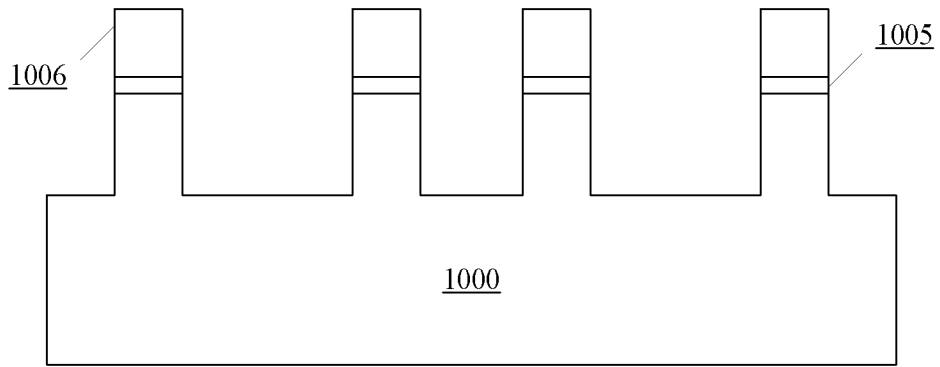


(C)

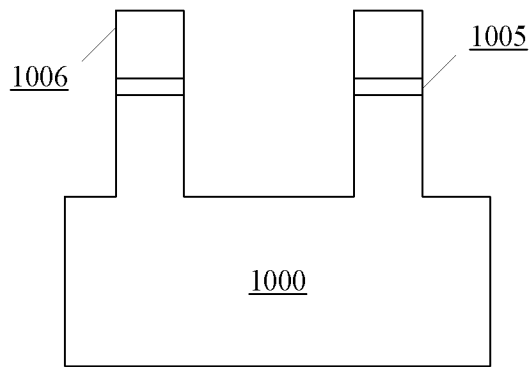
图 3



(A)

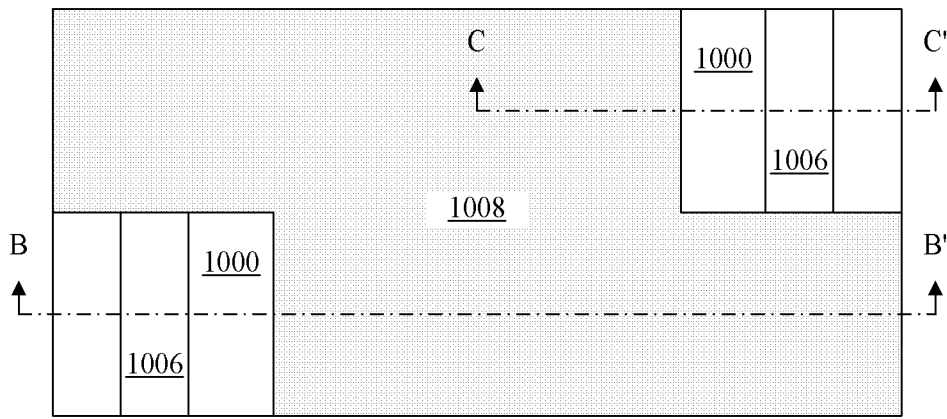


(B)

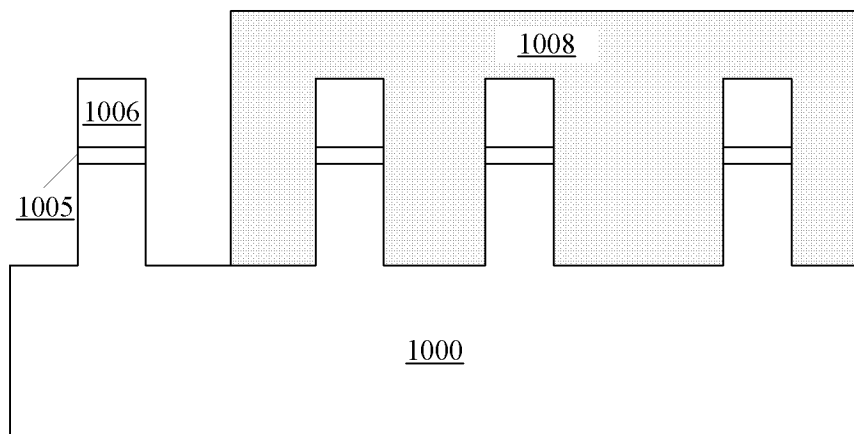


(C)

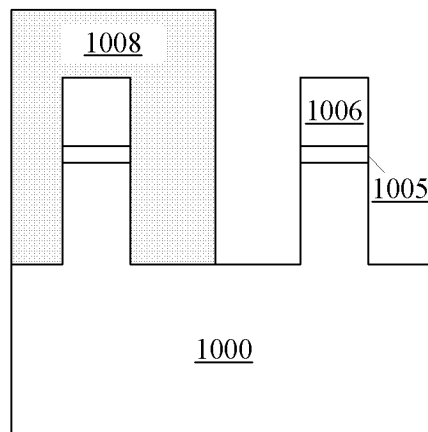
图 4



(A)

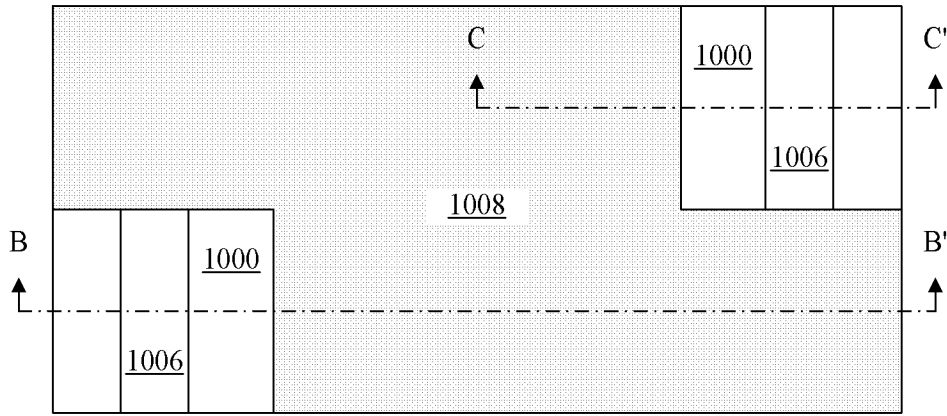


(B)

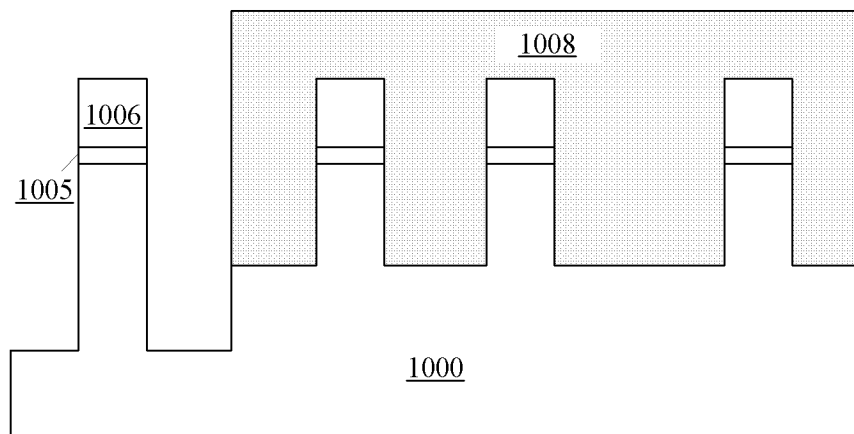


(C)

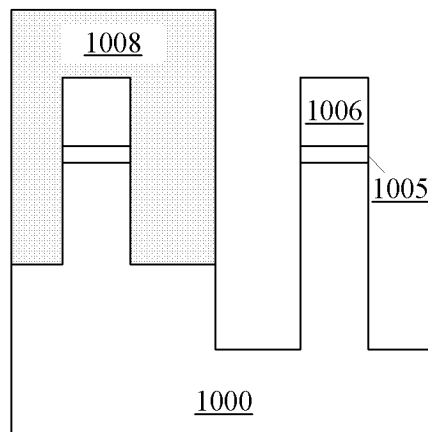
图 5



(A)

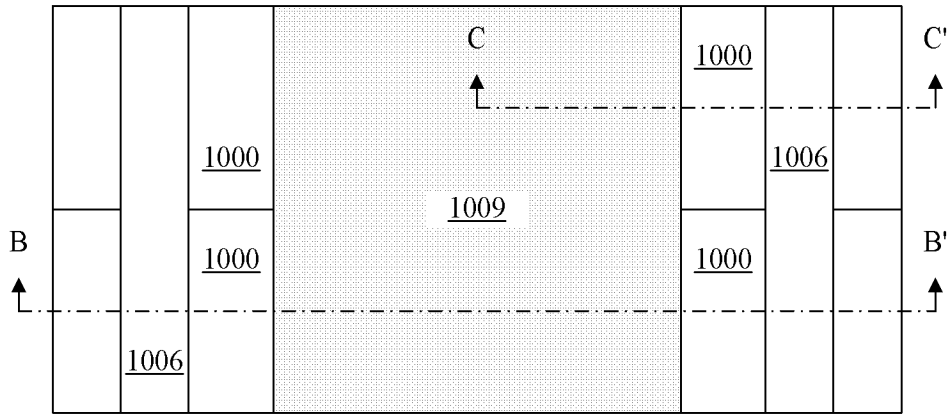


(B)

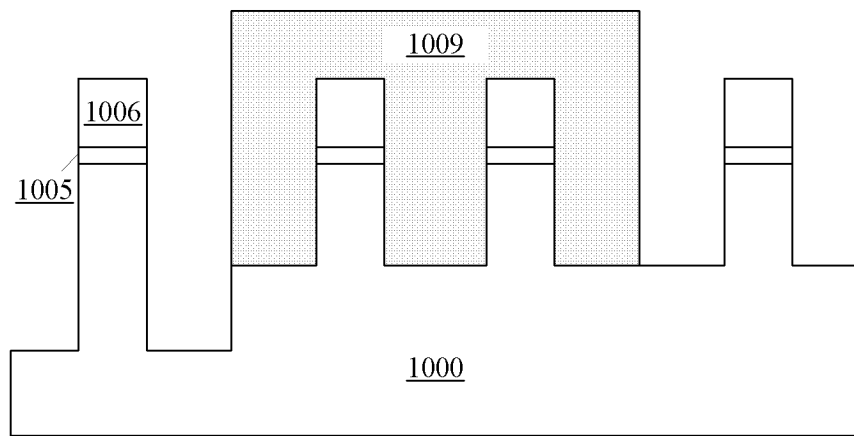


(C)

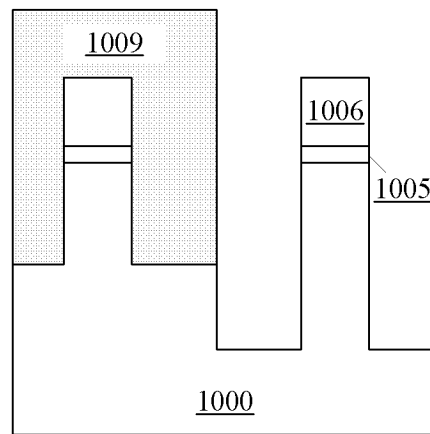
图 6



(A)

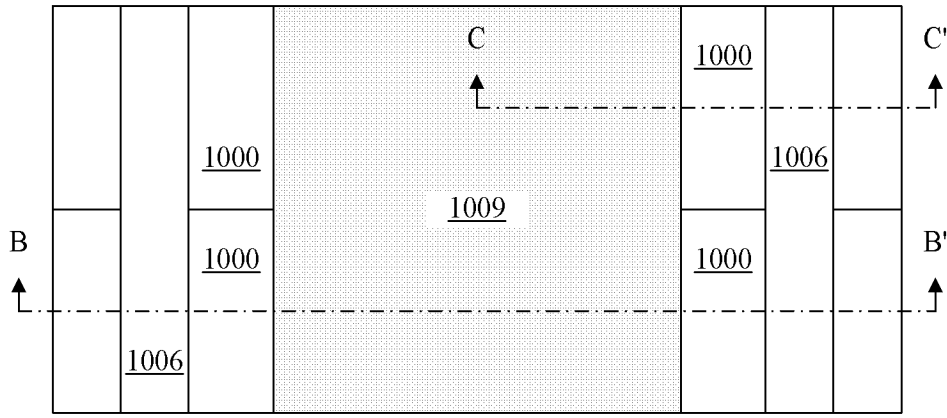


(B)

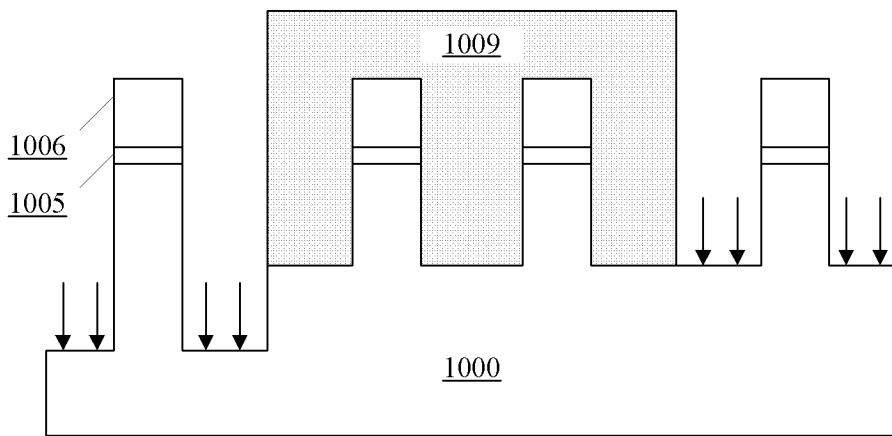


(C)

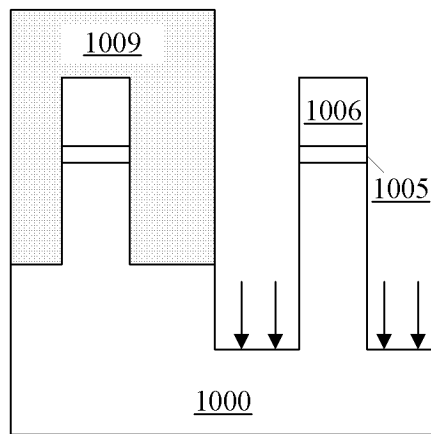
图 7



(A)

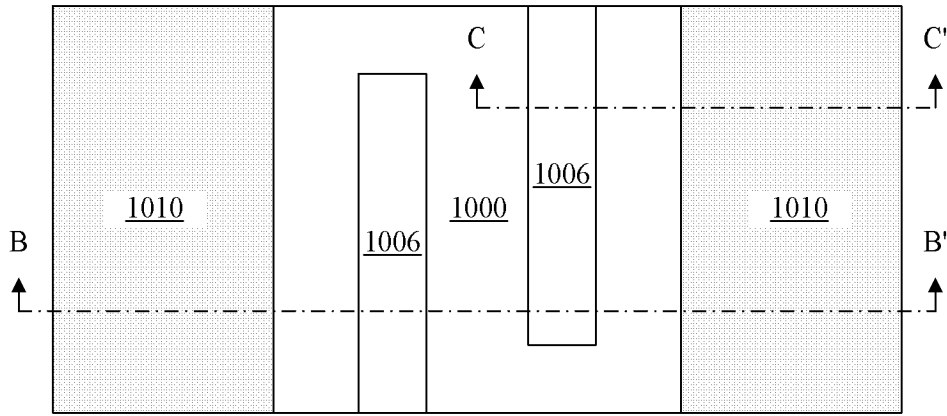


(B)

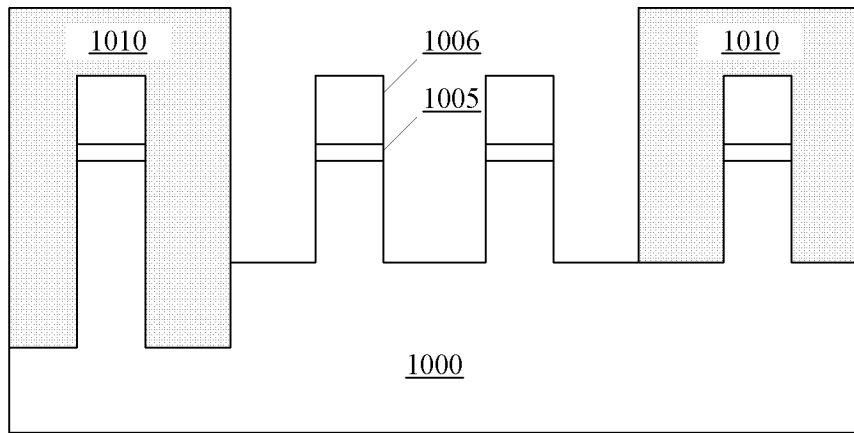


(C)

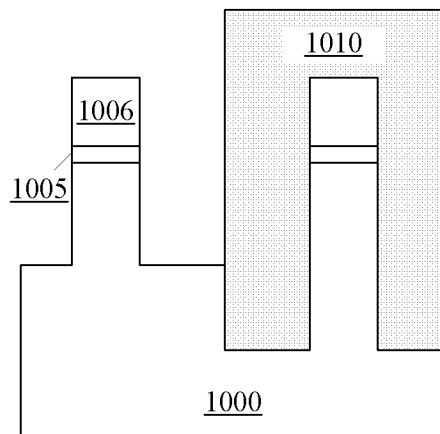
图 8



(A)

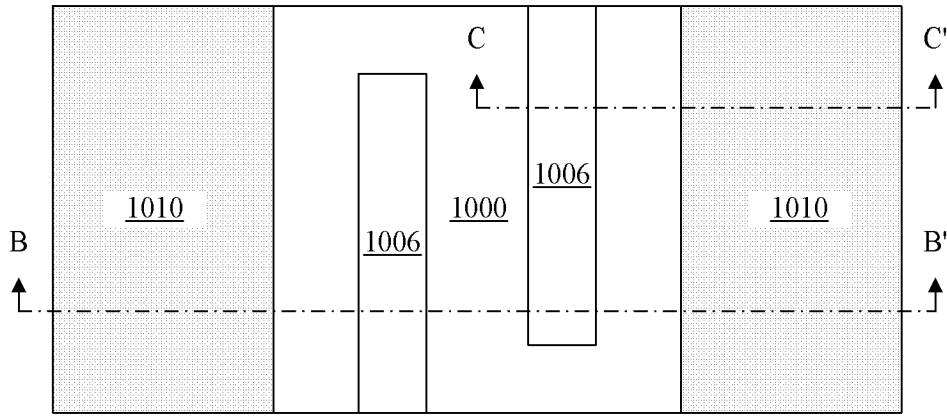


(B)

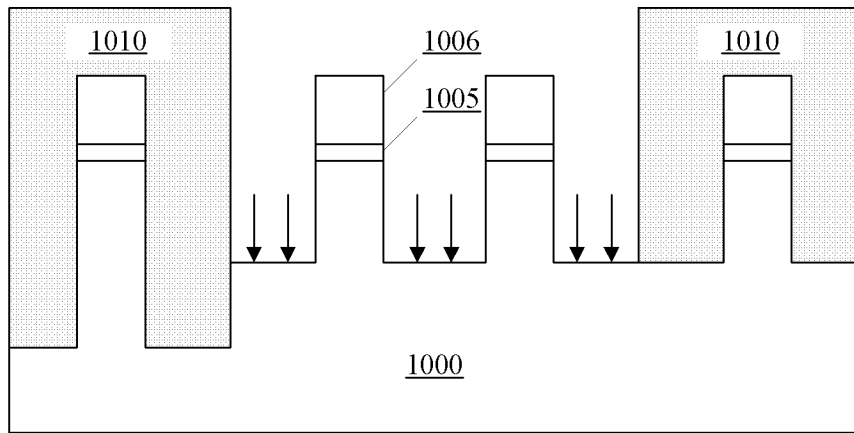


(C)

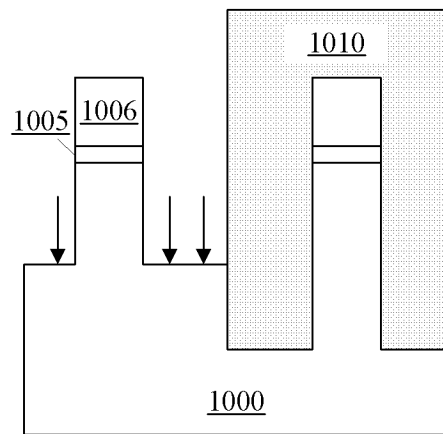
图 9



(A)

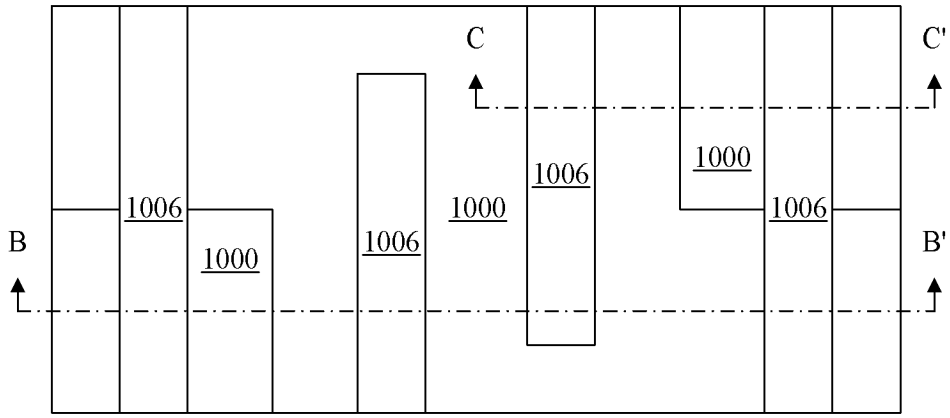


(B)

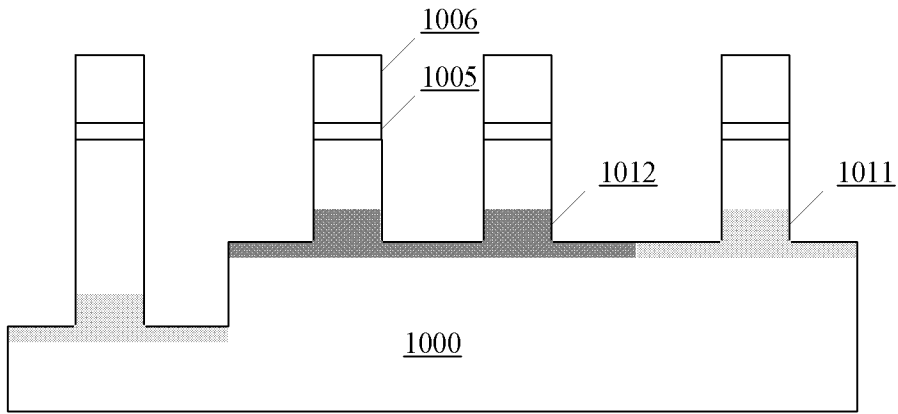


(C)

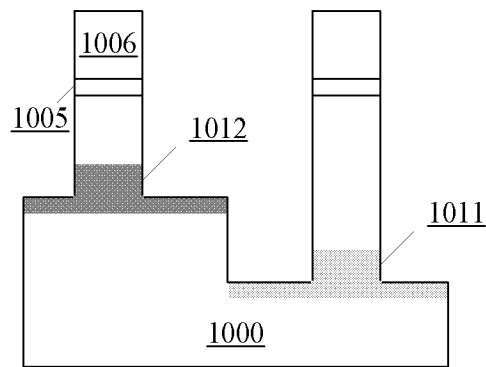
图 10



(A)

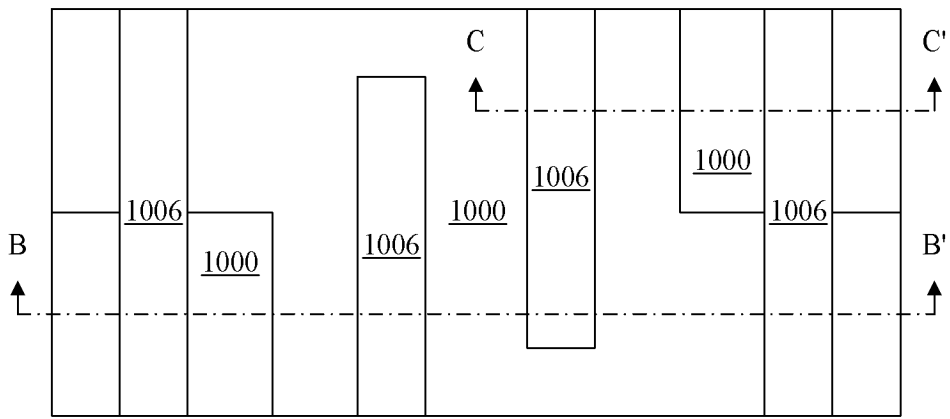


(B)

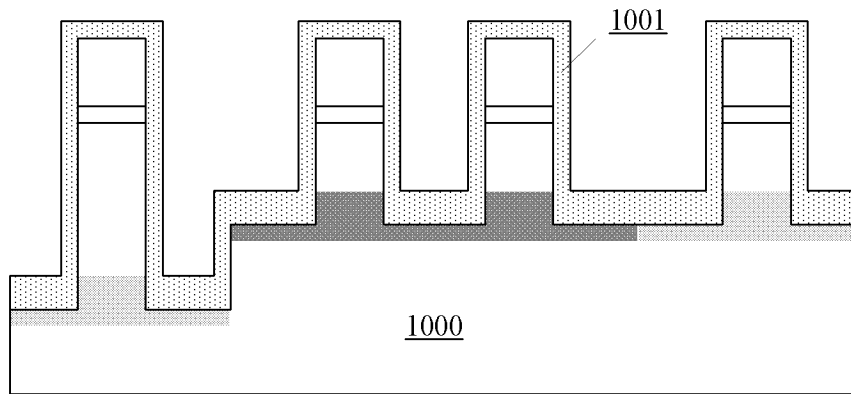


(C)

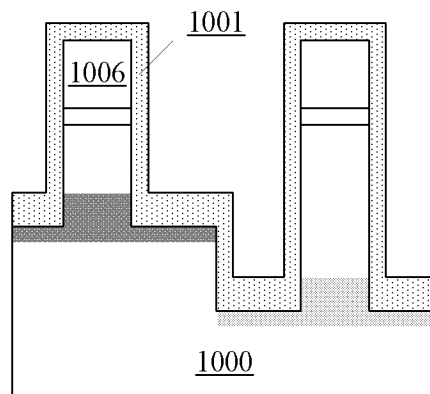
图 11



(A)

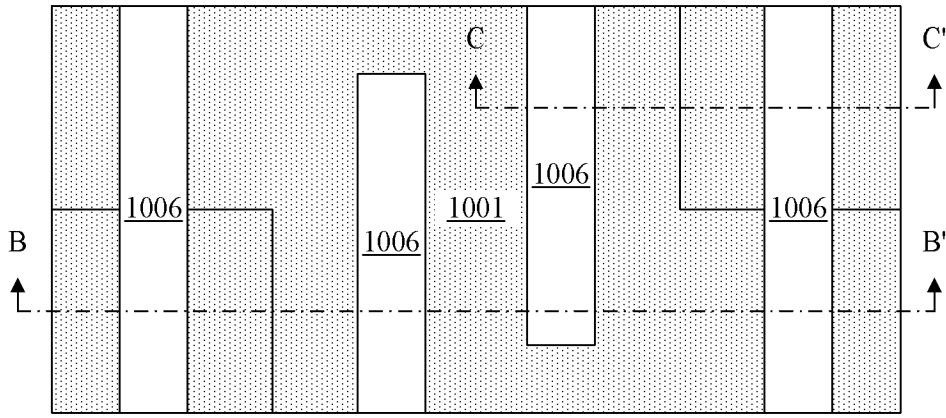


(B)

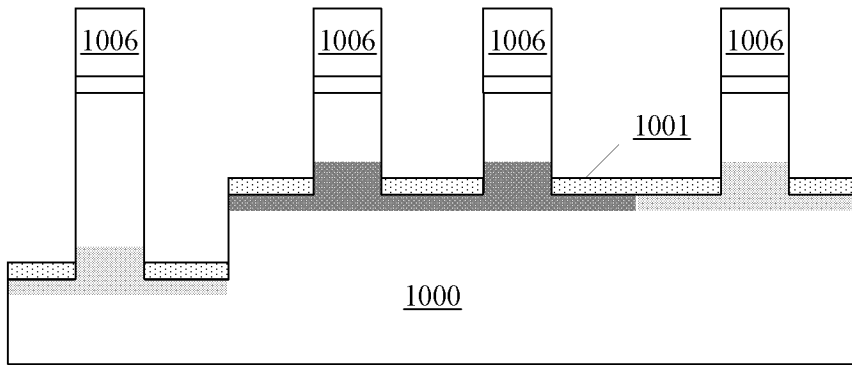


(C)

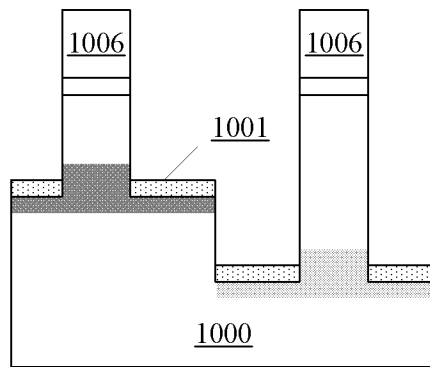
图 12



(A)



(B)



(C)

图 13

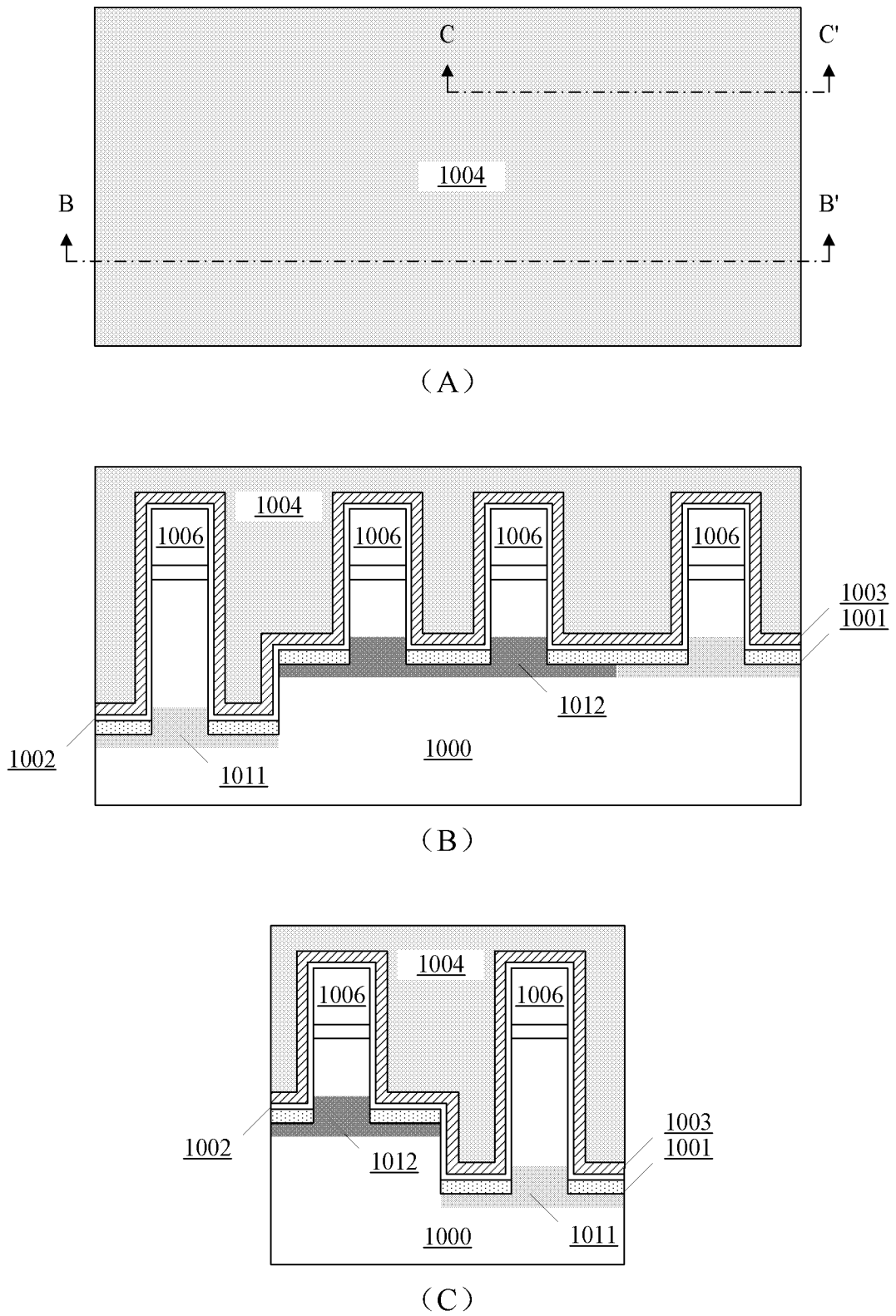


图 14

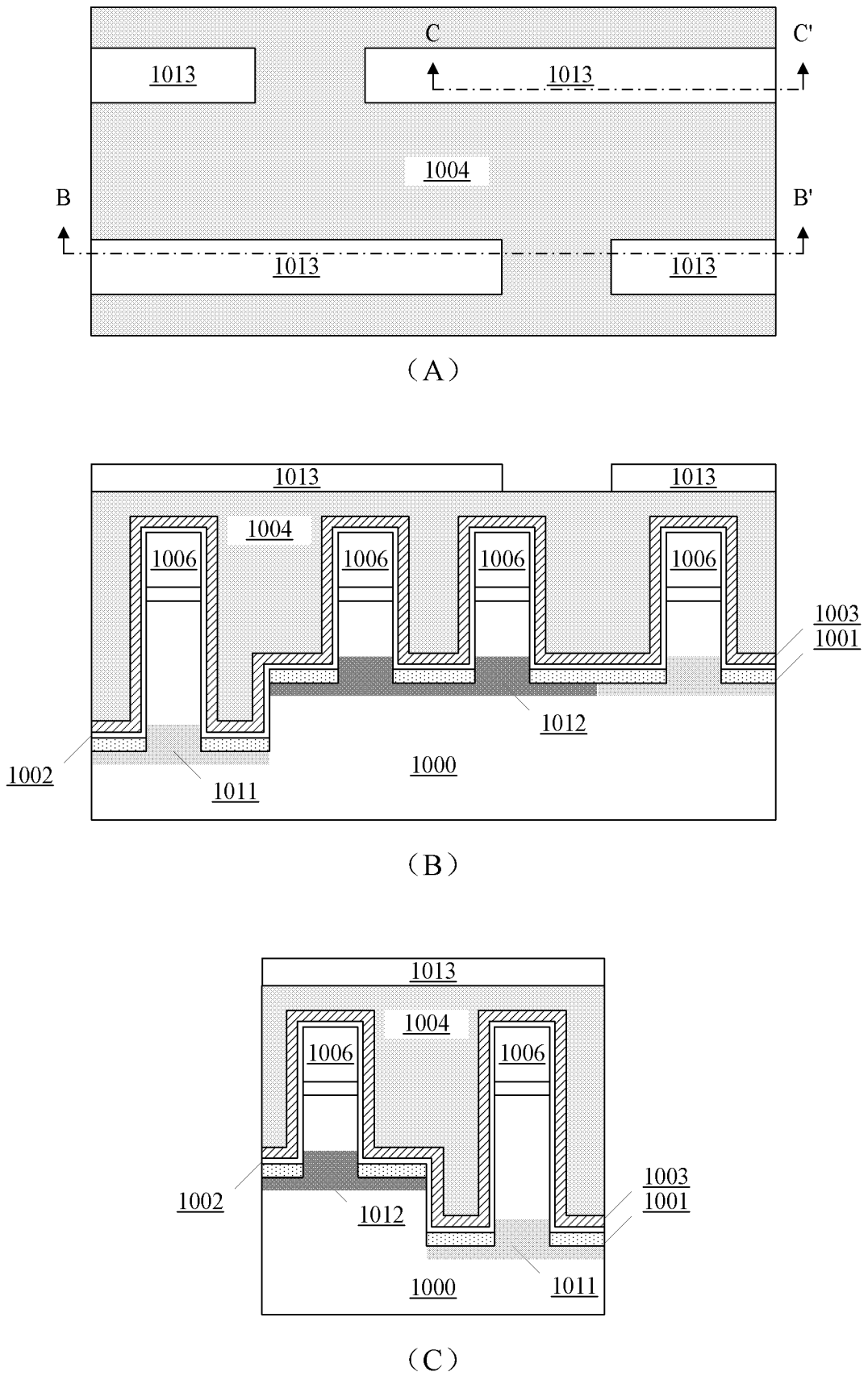


图 15

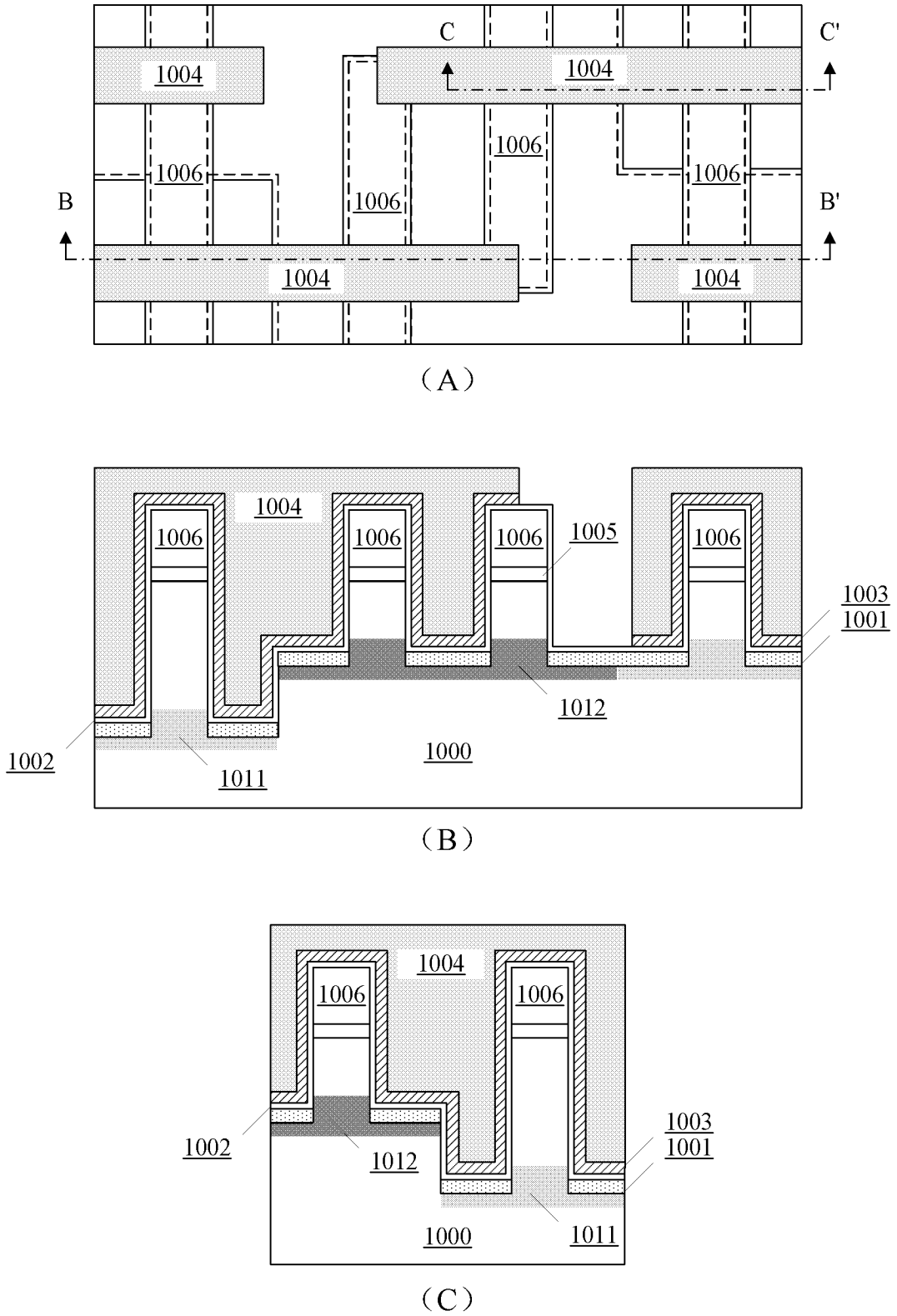
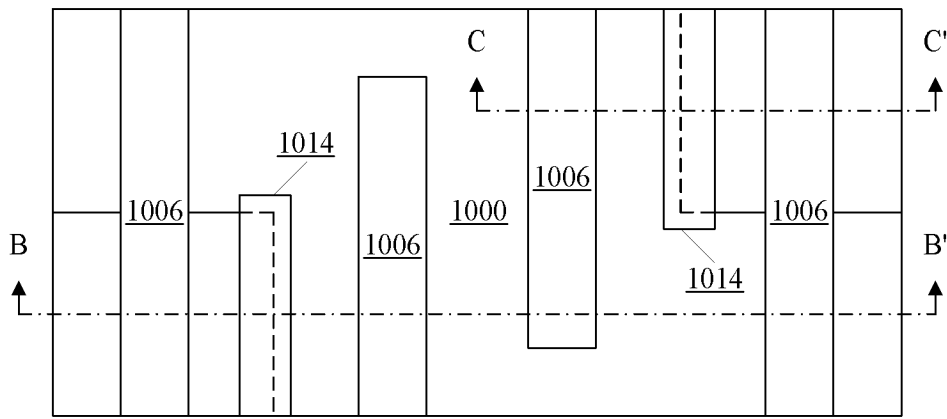
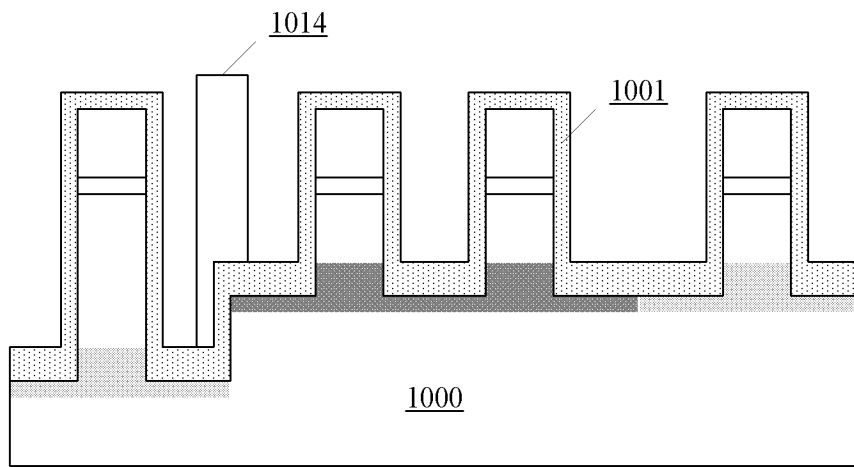


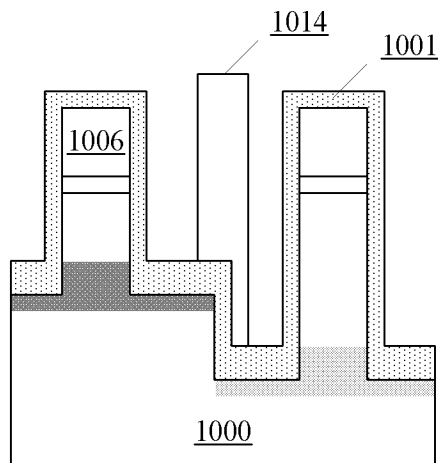
图 16



(A)

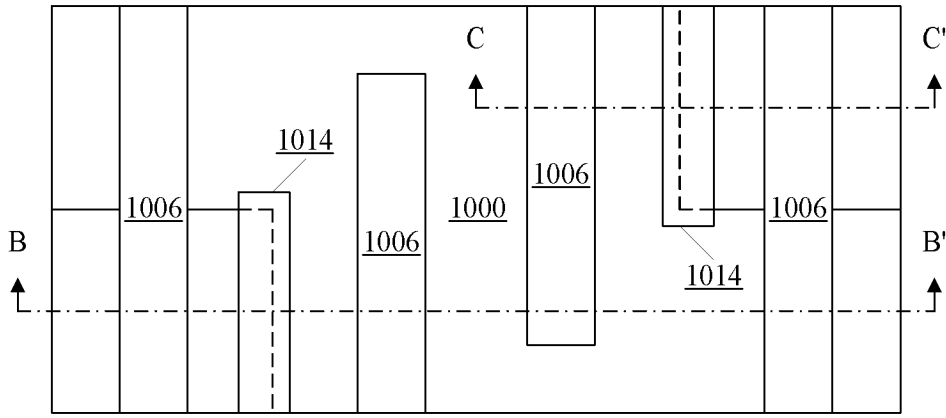


(B)

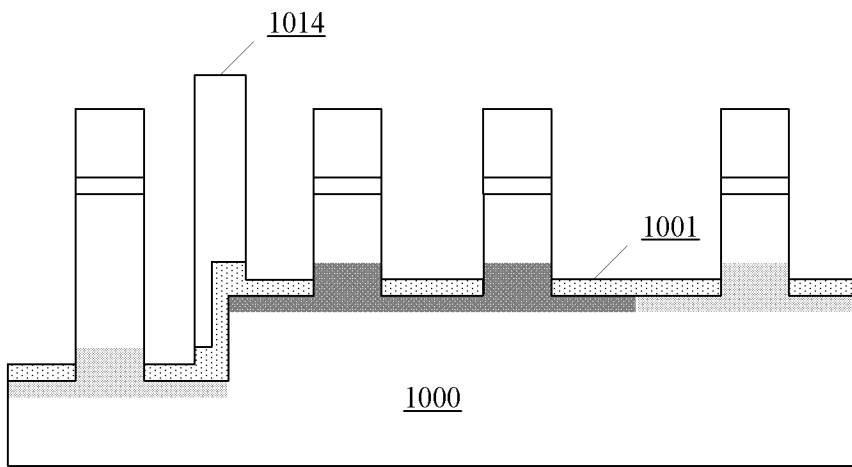


(C)

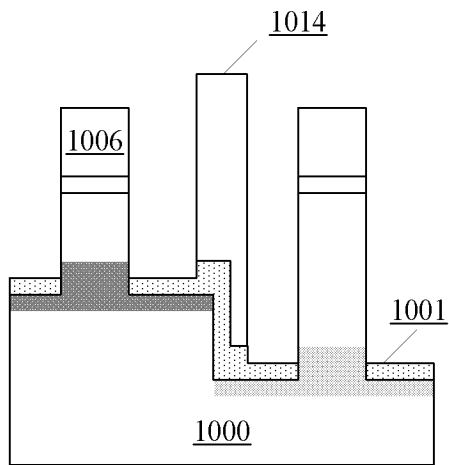
图 17



(A)



(B)



(C)

图 18

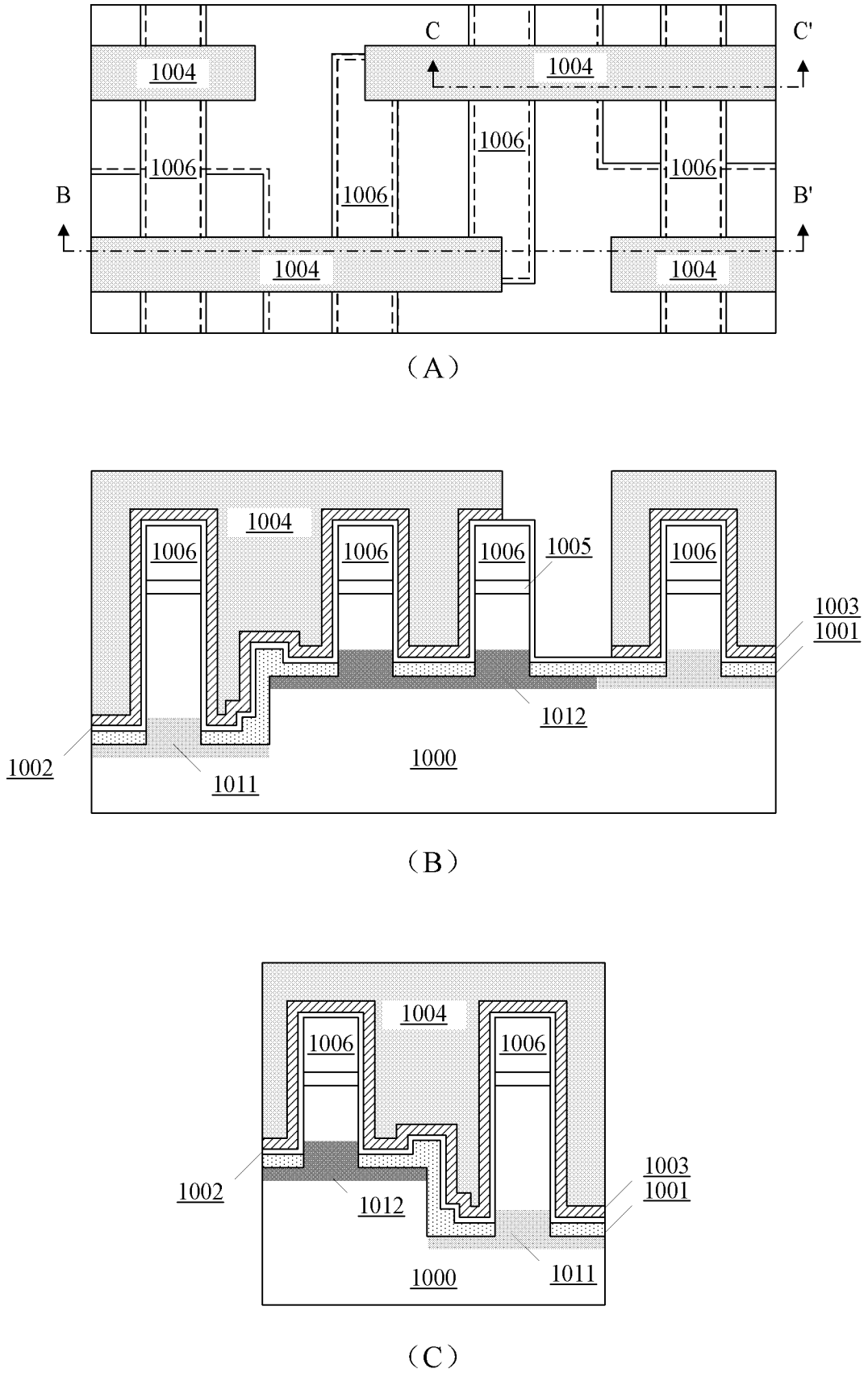


图 19