

특허청구의 범위

청구항 1

두 입력신호를 비교하고, 그 차만큼의 신호를 출력하는 비교수단;
 상기 비교수단의 출력만큼 턴-온되어 외부 공급전원을 인가하여 기준전압을 생성하는 드라이버수단;
 상기 드라이버수단의 출력전압을 분배하고, 상기 분배된 전압을 상기 비교수단의 입력으로 제공하는 디바이더수단; 및
 외부제어신호에 의해 상기 디바이더수단의 전압 분배저항을 조절하기 위한 조절수단을 포함하는 것을 특징으로 하는 기준전압 발생회로.

청구항 2

제 1 항에 있어서,
 상기 조절수단은, 상기 제 1 외부제어신호에 의해서 턴-온/오프 되는 제1 스위치;
 제 2 외부제어신호에 의해서 턴-온/오프 되는 제 2 스위치;
 상기 제 1,2스위치의 양단에 연결되어 스위치의 동작에 연동되는 저항으로 구성되는 것을 특징으로 하는 기준전압 발생회로.

청구항 3

제 2 항에 있어서,
 상기 제1,2 스위치는, NMOS 트랜지스터로 구성되는 것을 특징으로 하는 기준전압 발생회로.

청구항 4

제 1 항에 있어서,
 상기 비교수단의 동작을 제어하기 위한 인에이블신호를 발생하는 초기화수단을 더 포함하는 것을 특징으로 하는 기준전압 발생회로.

청구항 5

제 1 항에 있어서,
 상기 디바이더수단은, 드라이버수단의 출력노드와 접지전원 사이에 저항과 트랜지스터를 직렬 연결한 제1 전압 발생부와;
 상기 드라이버수단의 출력노드와 접지전원 사이에 다수개의 저항과 트랜지스터를 직렬 연결한 제 2 전압 발생부로 구성된 것을 특징으로 하는 기준전압 발생회로.

청구항 6

제 5 항에 있어서,
 상기 조절수단은, 상기 제 2 전압 발생부의 제 1 저항 양단에 연결되고, 제 1 외부제어신호에 의해 동작하는 제 1 트랜지스터;
 상기 제 2 전압 발생부의 제 2 저항 양단에 연결되고, 제 2 외부제어신호에 의해 동작하는 제 2 트랜지스터;
 그리고 제 1 외부제어신호를 반전시킨 신호를 상기 제 1 트랜지스터에 제공하는 인버터를 포함하는 것을 특징으로 하는 기준전압 발생회로.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 메모리장치의 기준전압 발생회로에 관한 것으로, 더욱 상세하게는 메모리장치 내부에서 사용되는 각종 전압 발생에 이용되어지는 기준전압을 발생하는 기준전압 발생회로에 관한 것이다.

배경 기술

<2> 반도체장치는, 다양한 분야에서 이용되어지지만 그 중의 하나가 각종 다양한 데이터를 저장하는데 이용되고 있다. 이러한 반도체 메모리장치는, 데스크탑 컴퓨터와 노트북 컴퓨터를 비롯하여 각종 휴대용 기기들에 이용되고 있기 때문에 대용량화, 고속화, 소형화 그리고 저전력화가 요구되어진다.

<3> 상기 저전력화에 따른 반도체 메모리장치를 설계하기 위한 하나의 방법으로서 메모리의 코어 영역(Core area)에서 전류소비를 최소한으로 하는 기술이 제시되고 있다. 상기 코어 영역은, 메모리 셀(memory cell)과 비트라인(Bit line) 그리고 워드 라인(word line)들로 구성되고, 극미세화된 디자인룰(design rule)에 따라 설계된다. 따라서 극미세화되고 고주파수 동작이 이루어지는 반도체 메모리장치를 설계하기 위해서는 기본적으로 전원전압이 매우 낮아질 수 밖에 없고, 현재는 1.5볼트 이하의 전원전압이 요구되고 있다.

<4> 그리고 반도체장치는 외부에서 공급되는 전원전압을 이용하여 여러 종류 레벨의 내부전압을 만들어서 사용하고 있다. 특히, 반도체 메모리장치(DRAM)의 경우는, 메모리장치의 코어(core) 지역에서 사용하는 전압인 V_{CORE}, 셀 트랜지스터 게이트(워드라인)에 인가되는 외부전위(V_{DD})보다 높은 전압인 V_{PP}전압, 셀 트랜지스터의 벌크에 사용되는 접지전압(V_{SS})보다 낮은 전압인 음전압(V_{BB}) 등을 만들어 사용하고 있다.

<5> 이러한 내부전압들을 만들기 위해서는 차지펌핑(charge pumping) 방식(V_{BB}, V_{PP}의 경우)과 컨버팅(down converting)방식(V_{CORE}의 경우) 등을 사용하고 있는데, 일반적으로 어떠한 방법을 사용하든지 1차적으로는 기준이 되는 내부전압(내부 기준전압 : V_{REF})을 만든 후, 이를 이용하여 다시 2차적으로 새로운 내부전압(V_{BB}, V_{PP}, V_{CORE})을 만드는 방법을 사용하고 있다.

<6> 도 1은 종래의 메모리장치에서 이용되어지는 전원 블록도를 도시하고 있다.

<7> 도시하고 있는 바와 같이 종래 메모리장치에서는 외부 V_{DD} 전원과 외부 접지 전원을 공급받아 기준전압(V_{REF})을 발생하는 기준전압발생기회로(10)와, 상기 기준전압을 입력받은 각각의 내부 전압발생기회로(12)에서 내부 회로에서 필요로 하는 V_{PP} 전압, 코어전압 등의 내부전압을 생성하며, 상기 생성된 내부전압이 메모리장치 내부회로(14)에 제공되어져서 메모리장치의 동작을 수행가능토록 한다.

<8> 도 2는 종래 메모리장치에서 이용되어지는 기준전압발생기회로의 상세 회로도이다.

<9> 도시하고 있는 바와 같이 종래 기준전압발생기회로는, 제 1,2 입력전압을 차동 비교하는 비교부(20), 상기 비교부(20)의 출력신호에 응답하여 증폭된 내부 기준전압을 출력하는 드라이버부(25), 상기 비교부(20)를 동작시키기 위한 인에이블신호를 제공하는 초기화부(30)를 포함하여 구성되어진다. 그리고 상기 드라이버부(25)의 출력저항값을 조정하는 디바이더부(35)가 포함된다.

<10> 상기 비교부(20)는, 외부 V_{DD} 전원과 외부 접지전원을 공급받아 입력신호를 비교하는 OP앰프(OP1)로 구성되어, 초기화부(30)에서 제공되는 인에이블신호에 의해 구동되어 V_{BG}신호를 출력한다. 상기 비교부(20)의 V_{BG} 출력은 외부 V_{DD} 전원이 0볼트에서 목적 전압까지 상승함에 따라서 로우레벨로 천이되어진다.

<11> 상기 드라이버부(25)는, 상기 OP앰프(OP1)의 출력에 턴온/오프되는 PMOS 트랜지스터(P3)로 구성되고, 상기 비교부(20)의 출력이 로우레벨로 천이함에 따라서 상기 PMOS 트랜지스터(P3)는 턴 온되어진다. 상기 PMOS 트랜지스터(P3)가 턴 온되면, 출력되는 기준전압(V_{REF})에 외부 전원 V_{DD}가 인가되어 기준전압은 상승하게 된다.

<12> 상기 초기화부(30)는, 외부 V_{DD} 전원과 외부 접지전원 사이에 PMOS 트랜지스터(P4)와 NMOS 트랜지스터(N4)가 직렬 연결되고, 상기 PMOS 트랜지스터(P4)는 외부 접지전원을 게이트단자로 제공받아 턴-온 동작되고, 상기 NMOS 트랜지스터(N4)는 출력되는 인에이블신호를 게이트단자로 제공받도록 구성되며, 상기 두 트랜지스터(P4, N4) 사이의 접속점에 출력 인에이블신호가 발생되도록 구성되고 있다.

<13> 그리고 디바이더부(35)는, 상기 드라이버부(25)의 출력노드(C)와 접지 전원 사이에 저항(R1)과 바이폴라 트랜지스터(BJT1)가 차례로 연결되어, 상기 저항(R1)과 트랜지스터(BJT1) 사이의 접속점(A)에 인가되는 전압이 비교부

(20)의 입력으로 피드백되도록 구성되고 있다. 또한 상기 드라이버부(25)의 출력노드(C)와 접지 전원 사이에 저항(R3,R3)과 바이폴라 트랜지스터(BJT2)가 차례로 연결되어, 상기 저항(R2,R3) 사이의 접속점(B)에 인가되는 전압이 비교부(20)의 입력으로 피드백되도록 구성되고 있다. 즉, 기준전압(VREF)이 상승함에 따라서 저항(R1,R2,R3)값과 트랜지스터(BJT1,BJT2)의 저항비에 의한 A 노드, B 노드의 전압값이 상승한다. 따라서 상기 저항값과 트랜지스터의 크기를 적절히 조절하여 기준전압(VREF)이 목표 전압치를 갖고 안정적인 동작을 하도록 제어하는 것이 가능하다.

- <14> 도 3은 종래 기준전압발생회로의 비교부의 상세 회로도이다.
- <15> 도시되고 있는 비교부(20)는 초기화부(30)의 출력 인에이블에 의해 동작되어진다. 먼저 B 노드의 전압이 A 노드보다 낮을 때를 살펴보자. A 노드의 전압이 상승하면 NMOS 트랜지스터(N2)의 턴온 능력이 NMOS 트랜지스터(N1)보다 강해져서 VBG 노드의 전압을 하강시킨다. 상기 VBG 노드의 전압이 하강하면 드라이버부(25)의 PMOS 트랜지스터(P3)는 턴 온되어 기준전압(VREF)은 상승한다.
- <16> 반대로 B노드의 전압이 A노드보다 높을 때를 살펴보자. B 노드의 전압이 상승하면 NMOS 트랜지스터(N1)의 턴온 능력이 NMOS 트랜지스터(N2)보다 강해져서 Z 노드의 전압을 하강시킨다. 상기 Z 노드의 전압이 하강하면 PMOS 트랜지스터(P2)가 턴온되어 VBG 노드의 전압을 상승시킨다. 상기 VBG 노드의 전압이 상승하면 드라이버부(25)의 PMOS 트랜지스터(P3)는 턴 오프되고, 기준전압은 더 이상 상승하지 아니한다.
- <17> 이와 같은 일련의 동작을 통해 비교부(20)는 A 노드와 B 노드의 전압값을 같게 만든다. 이때 적용되는 수학적 식이 다음과 같다.
- <18>
$$VREF = Veb1 + R1 * \ln(N * Vt) / R3$$
- <19> 여기서 Veb1 은 트랜지스터(BJT1)의 Veb 전압이고, N은 트랜지스터(BJT1)와 트트랜지스터(BJT2)의 면적비, Vt는 바이폴라 트랜지스터의 문턱전압을 나타낸다.
- <20> 상기 Veb1은 CTAT(Complementary to absolute temperature), 즉 온도가 증가함에 따라 감소하는 전압값을 가지고, $R1 * \ln(N * Vt) / R3$ 은 PTAT(proportional to absolute temperature), 즉 온도가 증가함에 따라 증가하는 전압값을 가진다.
- <21> 따라서 상기와 같은 특성을 적절히 이용하여 설계하므로써, 저온, 고온에 항상 일정한 기준전압을 발생시키는 것이 가능하게 된다.
- <22> 그러나 상기와 같이 어떠한 조건에서도 항상 일정한 기준전압을 발생시키기 위해서는 공정이 항상 일정하게 유지된다는 것으로 출발한다. 그러나 메모리장치의 제조 공정이 항상 일정하게 유지되지가 않는다. 즉 상기 CTAT 성분이 증가하거나 PTAT 성분이 증가하는 여러가지 경우의 수를 가지게 된다.
- <23> 예를 들어서 도 4는 R1/R3가 커졌을 때 발생하는 기준전압(VREF) 그래프이다. 여기서는 PTAT 성분만을 가지고 예시한다. 즉 상기 PTAT 성분이 커졌을 경우, 앞서 언급하고 있는 수학적식에서 VREF는 고온에서 높은 값을 가지고 저온에서 낮은 값을 가지게 된다.
- <24> 반대로 도 5는 R1/R3이 작아졌을 때 발생하는 기준전압 그래프이다. 즉 PTAT 성분이 작아졌을 경우, 앞서 언급하고 있는 수학적식에서 VREF는 고온에서 낮은 값을 가지고, 저온에서 높은 값을 가지게 된다.
- <25> 이와 같이 종래 기준전압 발생회로는, 온도에 따라서 기준전압값이 달라지는 현상이 발생하는 문제점이 있다. 만약 기준전압이 달라지면, 이를 이용하여 VPP 전압, Vcore 전압 등을 발생하는 내부 전압발생회로에서도 온도에 따라 다른 내부전압을 생성하게 되면서 메모리장치의 불량률 유발하는 문제점을 발생시킨다.

발명의 내용

해결 하고자하는 과제

- <26> 따라서 본 발명은 상기와 같은 문제점을 해결하기 위하여 온도에 변화없는 기준전압을 발생하는 기준전압 발생 회로를 제공함에 그 목적이 있다.

과제 해결수단

- <27> 상기 목적을 달성하기 위한 본 발명에 따른 기준전압 발생회로는, 공정의 진행과정에서 PTAT 성분의 증감에 따른 생성되는 기준전압의 변화를 방지하기 위하여, 기준전압 생성시에 적용되는 PTAT 성분을 강제적으

로 증감시켜서 온도 변화에도 불구하고 항상 일정한 기준전압을 생성할 수 있도록 하는 것을 특징으로 한다.

- <28> 따라서 본 발명은 두 입력신호를 비교하고, 그 차만큼의 신호를 출력하는 비교수단; 상기 비교수단의 출력만큼 턴-온되어 외부 공급전원을 인가하여 기준전압을 생성하는 드라이버수단; 상기 드라이버수단의 출력 전압을 분배하고, 상기 분배된 전압을 상기 비교수단의 입력으로 제공하는 디바이더수단; 및 외부제어신호에 의해 상기 디바이더수단의 전압 분배저항을 조절하기 위한 조절수단을 포함하는 것을 특징으로 한다.
- <29> 본 발명의 상기 조절수단은, 상기 제 1 외부제어신호에 의해서 턴-온/오프 되는 제1 스위치; 제 2 외부제어신호에 의해서 턴-온/오프 되는 제 2 스위치; 상기 제 1,2스위치의 양단에 연결되어 스위치의 동작에 연동되는 저항으로 구성되는 것을 특징으로 한다.
- <30> 본 발명의 상기 제1,2 스위치는, NMOS 트랜지스터로 구성되는 것을 특징으로 한다.
- <31> 본 발명은 상기 비교수단의 동작을 제어하기 위한 인에이블신호를 발생하는 초기화수단을 더 포함하는 것을 특징으로 한다.
- <32> 본 발명의 상기 디바이더수단은, 드라이버수단의 출력노드와 접지전원 사이에 저항과 트랜지스터를 직렬 연결한 제1 전압 발생부와; 상기 드라이버수단의 출력노드와 접지전원 사이에 다수개의 저항과 트랜지스터를 직렬 연결한 제 2 전압 발생부로 구성된 것을 특징으로 한다.
- <33> 본 발명의 상기 조절수단은, 상기 제 2 전압 발생부의 제 1 저항 양단에 연결되고, 제 1 외부제어신호에 의해 동작하는 제 1 트랜지스터; 상기 제 2 전압 발생부의 제 2 저항 양단에 연결되고, 제 2 외부제어신호에 의해 동작하는 제 2 트랜지스터; 그리고 제 1 외부제어신호를 반전시킨 신호를 상기 제 1 트랜지스터에 제공하는 인버터를 포함하는 것을 특징으로 한다.

효과

- <34> 본 발명은 공정의 진행과정에서 PTAT 성분의 증감에 따른 생성되는 기준전압의 변화를 방지하기 위하여, 기준전압 생성시에 적용되는 PTAT 성분을 강제적으로 증감시켜서 온도 변화에도 불구하고 항상 일정한 기준전압을 생성할 수 있도록 한다. 따라서 본 발명은 항상 안정된 기준전압을 생성하도록 하고, 이렇게 발생된 기준전압이 메모리장치 내부 전압 발생을 위한 기준전압으로 적용되어, 기준전압의 변화에 따른 메모리장치의 불량 발생을 방지하는 효과를 얻는다.

발명의 실시를 위한 구체적인 내용

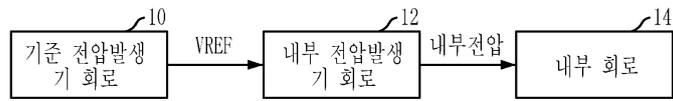
- <35> 이하 첨부한 도면을 참조하여 본 발명에 따른 기준전압 발생회로에 대해서 자세하게 살펴보기로 한다.
- <36> 도 6은 본 발명에 따른 메모리장치의 전원 블록도를 도시하고 있다.
- <37> 도시하고 있는 바와 같이 본 발명은 외부 VDD 전원과 외부 접지 전원을 공급받아 기준전압(VREF)을 발생하는 기준전압발생기회로(110)와, 상기 기준전압을 입력받은 각각의 내부 전압발생기회로(112)에서 내부 회로에서 필요로 하는 VPP 전압, 코아전압 등의 내부전압을 생성하며, 상기 생성된 내부전압이 메모리장치 내부회로(114)에 제공되어서 메모리장치의 동작을 수행가능토록 한다. 그리고 본 발명은 테스트회로(116)에서 PTAT 성분의 증감 조절을 위해 테스트신호(T1,T2)를 생성토록 하고, 상기 생성된 테스트신호는 기준전압발생기회로(110)로 제공되도록 구성되어진다.
- <38> 도 7은 본 발명에 따른 메모리장치에서 기준전압 발생기회로의 상세 회로도를 도시하고 있다.
- <39> 도시하고 있는 바와 같이 본 발명의 기준전압발생기회로는, 제 1,2 입력전압을 차동 비교하는 비교부(120), 상기 비교부(120)의 출력신호에 응답하여 증폭된 내부 기준전압을 출력하는 드라이버부(125), 상기 비교부(120)를 동작시키기 위한 인에이블신호를 제공하는 초기화부(130)를 포함하여 구성되어진다. 그리고 상기 드라이버부(125)의 출력 저항값을 조정하는 디바이더부(135)와, 상기 디바이더부(135)의 저항값 조절을 위한 조절부(140)가 포함되어진다.
- <40> 상기 비교부(120)는, 외부 VDD 전원과 외부 접지전원을 공급받아 입력신호를 비교하는 OP앰프(OP11)로 구성되어, 초기화부(130)에서 제공되는 인에이블신호에 의해 구동되어 VBG신호를 출력한다. 상기 비교부(120)의 VBG 출력은 외부 VDD 전원이 0볼트에서 목적 전압까지 상승함에 따라서 로우레벨로 천이되어진다.
- <41> 상기 드라이버부(125)는, 상기 OP앰프(OP11)의 출력에 턴온/오프되는 PMOS 트랜지스터(P13)로 구성되고, 상기

비교부(120)의 출력이 로우레벨로 천이함에 따라서 상기 PMOS 트랜지스터(P13)는 턴 온되어진다. 상기 PMOS 트랜지스터(P13)가 턴 온되면, 출력되는 기준전압(VREF)에 외부 전원 VDD가 인가되어 기준전압은 상승하게 된다.

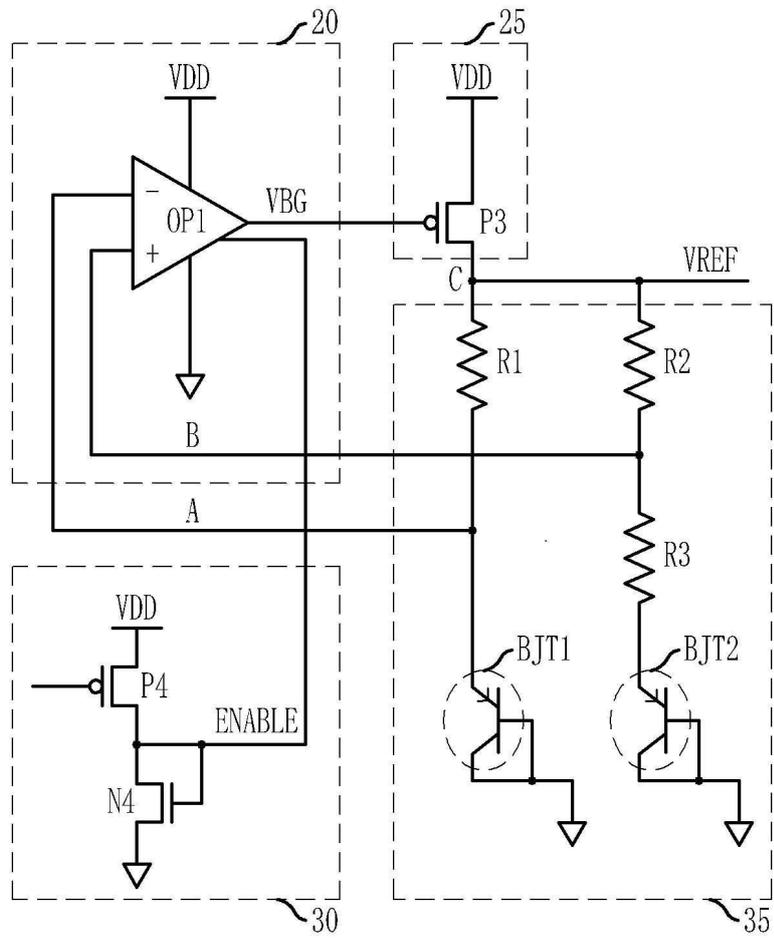
- <42> 상기 초기화부(130)는, 외부 VDD 전원과 외부 접지전원 사이에 PMOS 트랜지스터(P14)와 NMOS 트랜지스터(N14)가 직렬 연결되고, 상기 PMOS 트랜지스터(P14)는 외부 접지전원을 게이트단자로 제공받아 턴-온 동작되고, 상기 NMOS 트랜지스터(N14)는 출력되는 인에이블신호를 게이트단자로 제공받도록 구성되며, 상기 두 트랜지스터(P14,N14) 사이의 접속점에 출력 인에이블신호가 발생되도록 구성되고 있다.
- <43> 그리고 디바이더부(135)는, 상기 드라이버부(125)의 출력노드(C1)와 접지 전원 사이에 저항(R10)과 바이폴라 트랜지스터(BJT11)가 차례로 연결되어, 상기 저항(R10)과 트랜지스터(BJT11) 사이의 접속점(A1)에 인가되는 전압이 비교부(120)의 입력으로 피드백되도록 구성되고 있다. 또한 상기 드라이버부(125)의 출력노드(C1)와 접지 전원 사이에 저항(R11-R14)과 바이폴라 트랜지스터(BJT12)가 차례로 연결되어, 상기 저항(R11,R12) 사이의 접속점(B1)에 인가되는 전압이 비교부(120)의 입력으로 피드백되도록 구성되고 있다.
- <44> 상기 디바이더부(135)의 저항값은 상기 테스트회로(116)에서 제공되는 테스트신호(T1,T2)에 의해 조절되는 조절부(140)에 의해 결정되어진다. 상기 조절부(140)는, 상기 저항(R13)의 양단에 NMOS 트랜지스터(N15)를 연결하고, 상기 트랜지스터(N15)의 게이트단자에 인버터(IV1)가 연결된다. 그리고 테스트신호(T1)가 상기 인버터(IV1)에 의해 인버팅되어 상기 트랜지스터(N15)에 제공되어진다. 또한 저항(R14)의 양단에 NMOS 트랜지스터(N16)가 연결되고, 상기 트랜지스터(N16)의 게이트단자에 테스트신호(T2)가 제공되어진다.
- <45> 상기와 같이 구성되어지는 본 발명에 따른 기준전압 발생회로의 동작과정은 다음과 같이 이루어진다.
- <46> 비교부(120)는, 초기화부(130)에서 출력되는 인에이블신호에 의해서 구동되어, A1 노드와 B1 노드의 전압을 비교하여 VBG1 신호를 출력한다. 상기 비교부(120)의 출력 VBG1신호는 드라이버부(125)의 PMOS 트랜지스터(P13)의 게이트단자에 입력되어진다. 드라이버부(125)는 외부 전원 VDD를 공급전원으로 하여 기준전압인 VREF를 생성한다.
- <47> 한편, 테스트회로(116)에서 출력되는 테스트신호(T1,T2)는 정상동작인 상황에서는 로우레벨을 출력한다.
- <48> 따라서 테스트신호(T1)가 로우레벨일 때, 인버터(IV1)에서 인버팅된 신호는 하이신호이고, 이때의 하이신호가 NMOS 트랜지스터(N15)를 턴 온 시킨다. 상기 트랜지스터(N15)가 턴 온 되면, 상기 트랜지스터(N15)의 소스, 드레인단이 저항(R13)의 양단에 연결되고 있으므로, 상기 트랜지스터(N15)를 통한 전류통로가 형성되면서 저항(R13)은 없는 상태가 된다. 그리고 테스트신호(T2)가 로우신호이므로, NMOS 트랜지스터(N16)는 턴 오프되어, 저항(R14)는 보이는 저항이 된다.
- <49> 따라서 기준전압 $VREF = V_{eb11} + R_{11} * \ln(N * V_t) / (R_{12} + R_{14})$ 가 된다.
- <50> 그러나 공정진행 중에 PTAT 성분이 커져서 VREF가 고온에서 높아진 경우를 살펴보자.
- <51> 이때 테스트회로(116)는 테스트신호(T1)은 하이레벨을 출력하고, 테스트신호(T2)는 로우레벨을 출력한다.
- <52> 상기 테스트신호(T1)가 하이레벨이므로 인버터(IV1)의 출력은 로우레벨이 되면서 트랜지스터(N15)의 게이트단자에 로우신호가 인가된다. 따라서 트랜지스터(N15)는 턴 오프상태가 된다. 이때 저항(R13)은 보이는 저항이 된다.
- <53> 또한 테스트신호(T2)가 로우레벨이므로 트랜지스터(N16)도 턴 오프상태가 된다. 따라서 저항(R14)도 보이는 저항이 된다.
- <54> 이와 같은 경우, 디바이더부(135)는 저항(R12,R13,R14)의 영향을 받게 되어, 기준전압 $VREF = V_{eb11} + R_{11} * \ln(N * V_t) / (R_{12} + R_{13} + R_{14})$ 이 된다. 따라서 PTAT 성분은 작아지게 된다.
- <55> 따라서 공정 진행 중에 PTAT 성분이 커졌다고 하더라도 상기와 같은 제어를 통하여 기준전압을 생성할 때의 PTAT 성분을 강제적으로 작게 조절함으로써, 생성되는 VREF 출력은 온도변화에 대해 일정한 전압값을 출력하게 된다. 이에 대한 시뮬레이션 그래프를 도 8에 도시하고 있다.
- <56> 다음은 공정진행 중에 PTAT 성분이 작아져서 VREF가 고온에서 낮아진 경우를 살펴보자.
- <57> 이때 테스트회로(116)는 테스트신호(T1)은 로우레벨을 출력하고, 테스트신호(T2)는 하이레벨을 출력한다.
- <58> 상기 테스트신호(T1)가 로우레벨이므로 인버터(IV1)의 출력은 하이레벨이 되면서 트랜지스터(N15)의 게이트단자에 하이신호가 인가된다. 따라서 트랜지스터(N15)는 턴 온상태가 된다. 이때 저항(R13)은 보이지 않는 저항이

도면

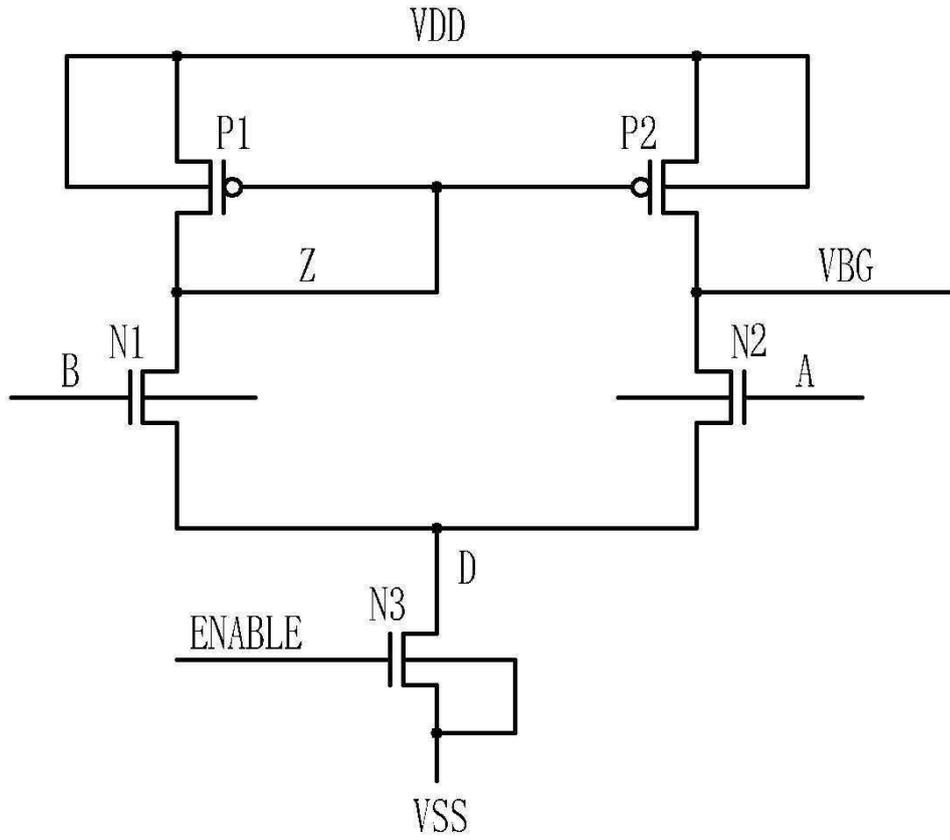
도면1



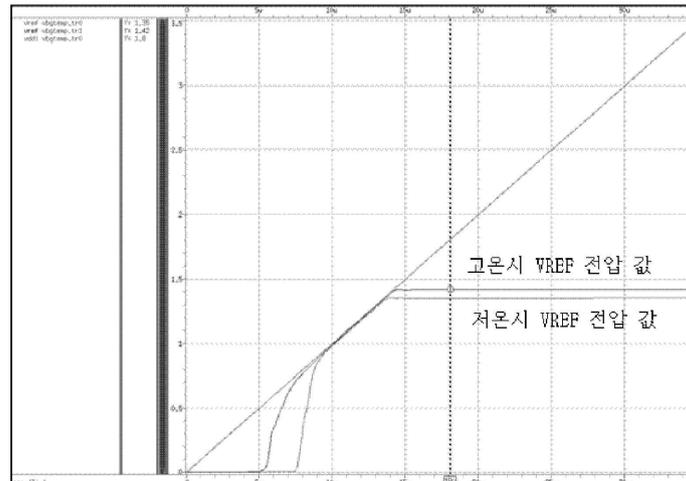
도면2



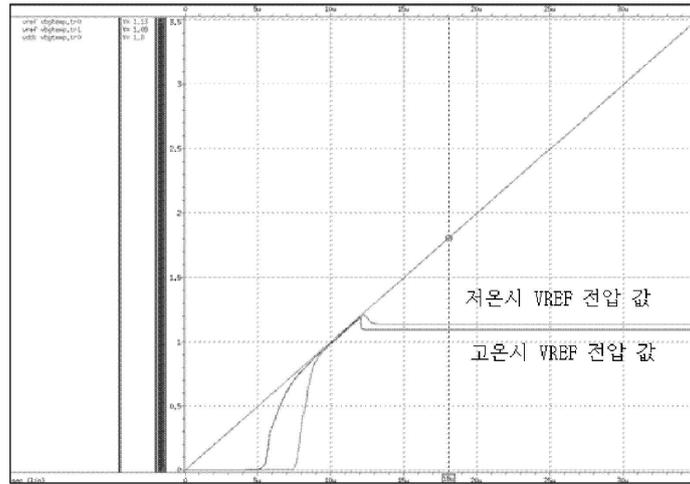
도면3



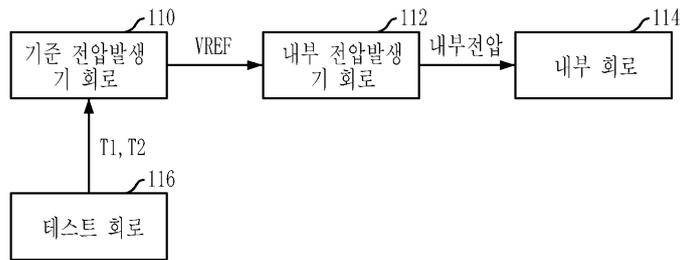
도면4



도면5



도면6



도면7

