



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월12일  
(11) 등록번호 10-1027688  
(24) 등록일자 2011년03월31일

(51) Int. Cl.

H03L 7/081 (2006.01) H03K 5/13 (2006.01)

(21) 출원번호 10-2009-0093578

(22) 출원일자 2009년09월30일

심사청구일자 2009년09월30일

(65) 공개번호 10-2011-0035746

(43) 공개일자 2011년04월06일

(56) 선행기술조사문헌

KR1020050070132 A

KR1020000061197 A

KR1019950024436 A

JP2000339959 A

전체 청구항 수 : 총 10 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

최훈

경기도 이천시 증일동 현대홈타운 103동 1203호

(74) 대리인

김성남

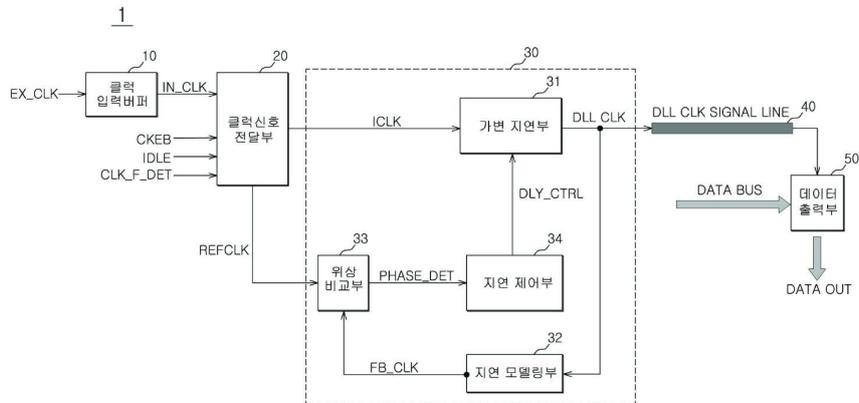
심사관 : 김기완

(54) 반도체 장치

(57) 요약

불필요한 전류소모를 감소시킨 반도체 장치가 개시된다. 이를 위한 반도체 장치는, 동작 대기모드(Operation Standby Mode)에서 클럭신호의 주파수에 따라 클럭신호를 선택적으로 전달하는 클럭신호 전달부와, 클럭신호 전달부를 통해서 전달되는 클럭신호를 입력으로 하여 DLL 클럭신호를 생성하는 지연고정루프를 구비한다. 지연고정루프는 클럭신호가 전달되는 구간동안 DLL 클럭신호를 생성한다.

대표도



## 특허청구의 범위

### 청구항 1

동작 대기모드(Operation Standby Mode)에서 클럭신호의 주파수에 따라 상기 클럭신호를 선택적으로 전달하는 클럭신호 전달부; 및

상기 클럭신호 전달부를 통해서 전달되는 상기 클럭신호를 입력으로 하여 DLL 클럭신호를 생성하는 지연고정루프;를 구비하며,

상기 지연고정루프는 상기 클럭신호가 전달되는 구간동안 상기 DLL 클럭신호를 생성하는 것을 특징으로 하는 반도체 장치.

### 청구항 2

제1항에 있어서,

상기 클럭신호 전달부는,

파워절약모드(Power Save Mode)에서 상기 클럭신호를 전달하지 않는 것을 특징으로 하는 반도체 장치.

### 청구항 3

제1항 또는 제2항에 있어서,

상기 지연고정루프는,

상기 클럭신호가 전달되지 않는 구간동안 상기 DLL 클럭신호의 위상 업데이트 값을 저장하고 있는 것을 특징으로 하는 반도체 장치.

### 청구항 4

제1항에 있어서,

상기 클럭신호 전달부는,

동작대기신호 및 클럭 주파수 검출신호에 응답하여 선택적으로 활성화 되는 출력제어신호를 생성하는 출력제어신호 생성부; 및

상기 출력제어신호에 응답하여 상기 클럭신호를 선택적으로 출력하는 스위칭부;를 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 5

제4항에 있어서,

상기 클럭 주파수 검출신호는 상기 클럭신호의 주파수에 대응하여 활성화 되는 신호인 것을 특징으로 하는 반도체 장치.

### 청구항 6

제2항에 있어서,

상기 클럭신호 전달부는,

동작대기신호, 클럭 주파수 검출신호 및 파워다운신호에 응답하여 선택적으로 활성화 되는 출력제어신호를 생성하는 출력제어신호 생성부; 및

상기 출력제어신호에 응답하여 상기 클럭신호를 선택적으로 출력하는 스위칭부;를 포함하는 것을 특징으로 하는 반도체 장치.

#### 청구항 7

제6항에 있어서,

상기 클럭 주파수 검출신호는 상기 클럭신호의 주파수에 대응하여 활성화 되는 신호인 것을 특징으로 하는 반도체 장치.

#### 청구항 8

데이터 출력모드에서 클럭신호를 전달하고, 동작 대기모드(Operation Standby Mode)에서 상기 클럭신호를 전달하지 않는 클럭신호 전달부; 및

상기 클럭신호 전달부를 통해서 전달되는 상기 클럭신호를 입력으로 하여 DLL 클럭신호를 생성하는 지연고정루프;를 구비하며,

상기 지연고정루프는 상기 클럭신호가 전달되는 구간동안 상기 DLL 클럭신호를 생성하는 것을 특징으로 하는 반도체 장치.

#### 청구항 9

제8항에 있어서,

상기 클럭신호 전달부는,

파워절약모드(Power Save Mode)에서 상기 클럭신호를 전달하지 않는 것을 특징으로 하는 반도체 장치.

#### 청구항 10

제8항 또는 제9항에 있어서,

상기 지연고정루프는,

상기 클럭신호가 전달되지 않는 구간동안 상기 DLL 클럭신호의 위상 업데이트 값을 저장하고 있는 것을 특징으로 하는 반도체 장치.

### 명세서

#### 발명의 상세한 설명

##### 기술분야

[0001] 본 발명은 반도체 장치에 관한 것으로서, DLL 클럭신호를 생성하는 기술에 관한 것이다.

##### 배경기술

[0002] 반도체 장치는 동작속도를 향상시키고 효율적인 내부동작을 위하여 클럭(Clock)과 같은 기준 주기펄스신호

(Periodic pulse signal)에 동기되어 동작한다. 따라서 대부분의 반도체 장치는 외부에서 공급되는 클럭 또는 필요에 따라 내부에서 생성된 내부 클럭을 이용하여 동작하게 된다.

[0003] 한편, 반도체 장치로 입력되는 외부 클럭신호는 반도체 장치 내부에서 지연되므로 지연된 클럭신호를 이용하여 데이터를 출력할 경우, 출력되는 데이터가 외부 클럭신호에 동기되지 않는 문제점이 발생한다. 따라서 반도체 장치는 지연고정루프(Delay Locked Loop, DLL), 위상고정루프(Phase Locked Loop, PLL) 등을 이용하여 외부 클럭신호와 내부 클럭신호 사이의 스큐(SKEW)를 보상한다.

[0004] 도 1은 지연고정루프(Delay Locked Loop, DLL)에서 생성된 DLL 클럭신호를 이용하여 데이터를 출력하는 동작을 나타낸 타이밍 다이어그램이다.

[0005] 도 1을 참조하면, DLL 클럭신호(DLL CLOCK)는 외부 클럭신호(INPUT CLOCK)를 반도체 장치의 내부에서 지연되는 양만큼 보상하여 생성된 신호이다. 즉, DLL 클럭신호(DLL CLOCK)는 내부 지연량을 반영하여 위상이 앞당겨져 있다. 따라서 내부의 클럭 전달경로를 통해서 데이터 출력회로에 전달된 클럭신호(OUTPUT CLOCK)에 동기되어 출력되는 데이터(OUTPUT DATA)는 외부 클럭신호(INPUT CLOCK)에 정확하게 동기된다.

[0006] 이와 같이, DLL 클럭신호는 데이터를 출력하기 위한 데이터 출력모드에서 사용되는데, 종래기술의 반도체 장치는 데이터 출력모드가 아닌 모드에서도 계속해서 DLL 클럭신호를 생성한다. 따라서 불필요한 전류가 소모되므로 이를 개선하기 위한 기술이 요구되고 있다.

## 발명의 내용

### 해결 하고자하는 과제

[0007] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 제안된 것으로, 불필요한 전류소모를 감소시킨 반도체 장치를 제공하는 것을 그 목적으로 한다.

### 과제 해결수단

[0008] 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 동작 대기모드(Operation Standby Mode)에서 클럭신호의 주파수에 따라 상기 클럭신호를 선택적으로 전달하는 클럭신호 전달부; 및 상기 클럭신호 전달부를 통해서 전달되는 상기 클럭신호를 입력으로 하여 DLL 클럭신호를 생성하는 지연고정루프;를 구비하며, 상기 지연고정루프는 상기 클럭신호가 전달되는 구간동안 상기 DLL 클럭신호를 생성하는 것을 특징으로 하는 반도체 장치가 제공된다.

[0009] 또한, 본 발명의 다른 측면에 따르면, 데이터 출력모드에서 클럭신호를 전달하고, 동작 대기모드(Operation Standby Mode)에서 상기 클럭신호를 전달하지 않는 클럭신호 전달부; 및 상기 클럭신호 전달부를 통해서 전달되는 상기 클럭신호를 입력으로 하여 DLL 클럭신호를 생성하는 지연고정루프를 구비하며, 상기 지연고정루프는 상기 클럭신호가 전달되는 구간동안 상기 DLL 클럭신호를 생성하는 것을 특징으로 하는 반도체 장치가 제공된다.

### 효과

[0010] 본 발명을 적용한 반도체 장치는 동작 대기모드(Operation Standby Mode)에서 클럭신호의 주파수를 고려하여, 클럭신호의 주파수가 낮을 때 DLL 클럭신호 생성을 중지한다. 이때, DLL 클럭신호의 위상 업데이트 값은 저장되어 있고 낮은 주파수로 인해 타이밍 마진이 충분하므로, 동작 대기모드(Operation Standby Mode)에서 데이터 출력모드로 전환될 때 동작 안정성을 확보할 수 있다. 또한, DLL 클럭신호가 사용되지 않는 구간에서의 불필요한 전류소모를 감소시킬 수 있다.

[0011] 또한, 본 발명을 적용한 반도체 장치는, 파워절약모드(Power Save Mode) 뿐만 아니라 동작 대기모드(Operation Standby Mode)에서도, DLL 클럭신호의 생성을 중지하므로 DLL 클럭신호가 사용되지 않는 구간에서의 불필요한 전류소모를 감소시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0012] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예를 첨부한 도면을 참조하여 설명하기로 한다.
- [0013] 도 2는 본 발명의 실시예에 따른 반도체 장치의 구성도이다.
- [0014] 본 실시예에 따른 반도체 장치는 제안하고자 하는 기술적인 사상을 명확하게 설명하기 위한 간략한 구성만을 포함하고 있다.
- [0015] 도 2를 참조하면 반도체 장치(1)는, 클럭신호 전달부(20)와, 지연고정루프(30)를 구비한다.
- [0016] 상기와 같이 구성되는 반도체 장치(1)의 세부구성과 주요동작을 살펴보면 다음과 같다.
- [0017] 클럭신호 전달부(20)는 동작 대기모드(Operation Standby Mode)에서 외부 클럭신호(EX\_CLK)를 버퍼링한 내부 클럭신호(IN\_CLK)를 외부 클럭신호(EX\_CLK)의 주파수에 따라 선택적으로 전달한다.
- [0018] 지연고정루프(Delay Locked Loop, 30)는 클럭신호 전달부(20)를 통해서 전달되는 클럭신호(REFCLK, ICLK)를 입력으로 하여 DLL 클럭신호(DLL CLK)를 생성한다. 여기에서 지연고정루프(30)는 클럭신호(REFCLK, ICLK)가 전달되는 구간동안 DLL 클럭신호(DLL CLK)를 생성하고, 클럭신호(REFCLK, ICLK)가 전달되지 않는 구간동안 DLL 클럭신호(DLL CLK)를 생성하지 않고 DLL 클럭신호(DLL CLK)의 위상 업데이트 값을 저장하고 있다. 참고적으로 클럭신호가 전달되지 않는다는 것은 토글링(Toggling) 하는 클럭신호가 전달되지 않는다는 의미로 해석하는 것이 바람직할 것이다.
- [0019] 본 실시예의 클럭신호 전달부(20)는 동작 대기모드(Operation Standby Mode) 및 파워절약모드(Power Save Mode)에서 클럭신호(REFCLK, ICLK)를 전달하지 않는다. 동작 대기모드(Operation Standby Mode)는 DLL 클럭신호(DLL CLK)를 이용하지 않는 상태에서의 대기모드를 의미한다. 예를 들어 반도체 메모리 장치의 경우, 액티브 모드 이전의 대기모드, 액티브 모드 이후의 대기모드 등을 포함한다.
- [0020] 또한, 파워절약모드(Power Save Mode)는 파워다운모드(Power Down Mode), 셀프 리프레시 모드(Self Refresh mode) 등과 같이 내부 및 외부 사이에 신호교환이 없으며 전류소모를 감소시키기 위해 내부전원회로 등과 같은 특정부분을 비활성화 시키는 모드를 의미한다.
- [0021] 한편, 클럭입력버퍼(10) 및 지연고정루프(Delay Locked Loop, 30)의 내부구조 및 주요동작은 제안하고자 하는 기술적인 사상과는 직접적인 관련이 없으므로 간략히 설명한다.
- [0022] 클럭입력버퍼(10)는 외부 클럭신호(EX\_CLK)를 반도체 장치의 내부동작전압에 적합하도록 버퍼링하여 출력한다.
- [0023] 클럭신호 전달부(20)에서 클럭신호(REFCLK, ICLK)가 전달되고 있다고 가정한다면, 위상 비교부(33)는 피드백 클럭(FB\_CLK) 및 클럭신호 전달부(20)에서 전달되는 클럭신호(REFCLK)의 위상을 비교하여, 그 위상 차이에 대응하는 위상검출신호(PHASE\_DET)를 출력한다.
- [0024] 지연 제어부(34)는 위상검출신호(PHASE\_DET)에 따라 가변 지연부(31)의 지연량을 조절하기 위한 지연제어신호(DLY\_CTRL)를 생성한다.
- [0025] 가변 지연부(31)는 복수의 단위 지연셀로 구성되며 클럭신호 전달부(20)에서 전달되는 클럭신호(ICLK)의 지연량을 조절하여 DLL 클럭신호(DLL CLK)를 출력한다.
- [0026] 지연 모델링부(32)는 DLL 클럭신호(DLL CLK)에 모델링된 지연값을 반영하여 피드백 클럭(FB\_CLK)으로서 출력한다. 지연 모델링부(32)의 지연값은 클럭입력버퍼(10)의 지연값, 클럭 전달라인(40)의 지연값, 데이터 출력부(50)의 지연값 등이 반영되어 있다.
- [0027] 만약, 클럭신호 전달부(20)에서 클럭신호(REFCLK, ICLK)가 전달되지 않는다면 지연 제어부(34)는 지연제어신호(DLY\_CTRL)를 저장하고 있다가, 클럭신호 전달부(20)에서 클럭신호(REFCLK, ICLK)가 다시 전달될 때 초기값으로 출력한다. 이때 출력되는 DLL 클럭신호(DLL CLK)는 가장 마지막에 업데이트된 위상 값이 반영되어 있다.
- [0028] 참고적으로 본 실시예와는 달리 클럭신호 전달부(20)가 데이터 출력모드에서 클럭신호(REFCLK, ICLK)를

전달하고, 동작 대기모드(Operation Standby Mode)에서 클럭신호(REFCLK, ICLK)를 전달하지 않도록 구성될 수도 있을 것이다. 이와 같이 구성될 경우 외부 클럭신호(EX\_CLK)의 주파수에 관계없이 동작 대기모드(Operation Standby Mode)에서 DLL 클럭신호(DLL CLK)가 생성되지 않는다. 이와 같은 방식은 다시 데이터 출력모드로 전환 되었을 때 안정적인 동작상태를 확보하기 위해 타이밍 마진이 충분할 때 사용하는 것이 바람직할 것이다.

[0029] 도 3은 도 2의 반도체 장치의 클럭신호 전달부에 대한 회로도이다.

[0030] 도 3을 참조하면 클럭신호 전달부(20)는, 출력제어신호 생성부(310)와, 스위칭부(320)로 구성된다.

[0031] 출력제어신호 생성부(310)는 동작대기신호(IDLE), 클럭 주파수 검출신호(CLK\_F\_DET) 및 파워다운신호(CKE)에 응답하여 선택적으로 활성화 되는 출력제어신호(OUT\_CTRL)를 생성한다. 출력제어신호 생성부(310)는 동작대기신호(IDLE) 및 클럭 주파수 검출신호(CLK\_F\_DET)를 부정 논리곱하여 내부제어신호(Y)를 출력하는 제1 로직부(NAND 1)와, 내부제어신호(Y) 및 파워다운신호(CKEB)를 부정 논리곱하여 출력제어신호(OUT\_CTRL)를 출력하는 제2 로직부(NAND2)로 구성된다. 참고적으로 실시예에 따라, 출력제어신호 생성부(310)는 동작대기신호(IDLE) 및 파워다운신호(CKE)에 응답하여 선택적으로 활성화 되는 출력제어신호(OUT\_CTRL)를 생성하도록 구성될 수도 있을 것이다.

[0032] 스위칭부(320)는 출력제어신호(OUT\_CTRL)에 응답하여 클럭신호(REFCLK, ICLK)를 선택적으로 출력한다. 스위칭부(320)는 출력제어신호(OUT\_CTRL)의 제어를 받는 트랜스미션 게이트(TRANSMISSION GATE, TG1·TG2)로 구성된다.

[0033] 여기에서 클럭 주파수 검출신호(CLK\_F\_DET)는 외부 클럭신호(EX\_CLK)의 주파수 또는 외부 클럭신호(EX\_CLK)를 버퍼링한 내부 클럭신호(IN\_CLK)의 주파수에 대응하여 활성화 되는 신호이다. 본 실시예에서는 주파수가 목표된 값보다 낮을 때 클럭 주파수 검출신호(CLK\_F\_DET)가 하이레벨이 되도록 구성되었다. 또한, 동작대기신호(IDLE)는 동작 대기모드(Operation Standby Mode)일 때 하이레벨로 활성화 되는 신호이고, 파워다운신호(CKEB)는 파워 절약모드(Power Save Mode)일 때 로우레벨로 활성화 되는 신호이다.

표 1

[0034]

CLK_F_DET	IDLE	Y	CKEB	OUT_CTRL
H	H	L	H	L
H	L	H	H	H
L	H	H	L	L
L	L	H	L	L

[0035] 표 1은 출력제어신호 생성부(310)의 내부동작을 나타낸 진리표(Truth Table)이다.

[0036] 표 1을 참조하면, 동작대기신호(IDLE) 및 클럭 주파수 검출신호(CLK\_F\_DET)가 모두 하이레벨일 때, 내부제어신호(Y)는 로우레벨이 되어, 파워다운신호(CKEB)에 관계없이 출력제어신호(OUT\_CTRL)는 로우레벨로 출력된다. 출력제어신호(OUT\_CTRL)가 로우레벨일 경우 스위칭부(320)는 클럭신호(REFCLK, ICLK)를 전달하지 않는다. 즉, 외부 클럭신호(EX\_CLK)의 주파수가 목표된 값보다 낮고, 동작 대기모드(Operation Standby Mode)로 진입했을 때 클럭신호(REFCLK, ICLK)가 전달되지 않는다.

[0037] 또한, 파워다운신호(CKEB)가 로우레벨로 활성화 되었을 때, 출력제어신호(OUT\_CTRL)는 로우레벨로 출력되므로 스위칭부(320)는 클럭신호(REFCLK, ICLK)를 전달하지 않는다. 즉, 파워다운모드(Power Down Mode), 셀프 리프레시 모드(Self Refresh mode) 등과 같은 파워절약모드(Power Save Mode)로 진입했을 때, 클럭신호(REFCLK, ICLK)가 전달되지 않는다.

[0038] 한편, 출력제어신호 생성부(310)가 동작대기신호(IDLE) 및 파워다운신호(CKE)에 응답하여 선택적으로 활성화 되는 출력제어신호(OUT\_CTRL)를 생성하도록 구성되는 경우, 동작 대기모드(Operation Standby Mode)로 진입했을 때 외부 클럭신호(EX\_CLK) 주파수에 관계없이 클럭신호(REFCLK, ICLK)가 전달되지 않는다. 이러한 구성에서는 동작대기신호(IDLE)는 동작 대기모드(Operation Standby Mode) 또는 데이터 출력모드를 나타내는 신호로서 정의된

다.

[0039] 요약하면, 클럭신호(REFCLK, ICLK)가 전달되지 않는다는 것은 그 구간에서 DLL 클럭신호(DLL CLK)가 생성되지 않는다는 의미이므로, 동작 대기모드(Operation Standby Mode)에서 불필요한 전류소모를 감소시킬 수 있다.

[0040] 이상, 본 발명의 실시예에 따라 구체적인 설명을 하였다. 참고적으로 본 발명의 기술적 사상과는 직접 관련이 없는 부분이지만, 본 발명을 보다 자세히 설명하기 위하여 추가적인 구성을 포함한 실시예를 예시할 수 있다. 또한, 신호 및 회로의 활성화 상태를 나타내기 위한 액티브 하이(Active High) 또는 액티브 로우(Active Low)의 구성은 실시예에 따라 달라질 수 있다. 이러한 회로의 변경은 너무 경우의 수가 많고, 이에 대한 변경은 통상의 전문가라면 누구나 쉽게 유추할 수 있기에 그에 대한 열거는 생략하기로 한다.

[0041] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**도면의 간단한 설명**

[0042] 도 1은 지연고정루프(Delay Locked Loop, DLL)에서 생성된 DLL 클럭신호를 이용하여 데이터를 출력하는 동작을 나타낸 타이밍 다이어그램이다.

[0043] 도 2는 본 발명의 실시예에 따른 반도체 장치의 구성도이다.

[0044] 도 3은 도 2의 반도체 장치의 클럭신호 전달부에 대한 회로도이다.

[0045] \*도면의 주요 부분에 대한 부호의 설명

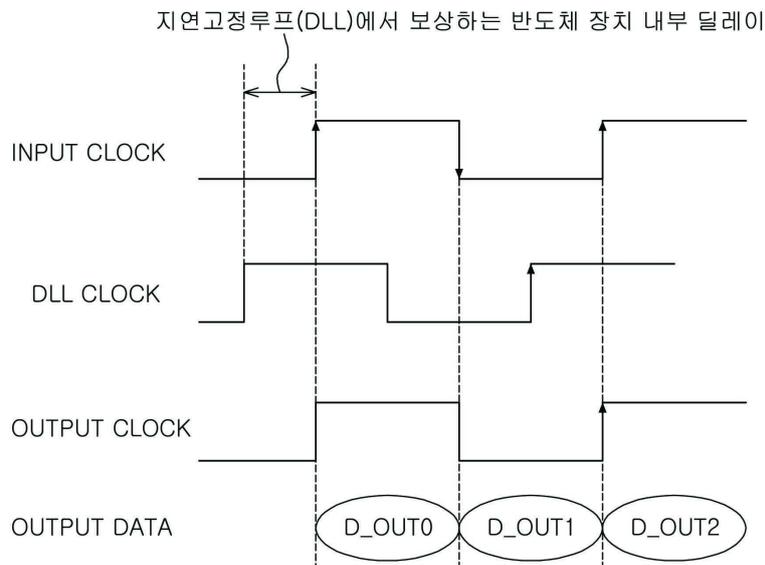
[0046] 20 : 클럭신호 전달부

[0047] 310 : 출력제어신호 생성부

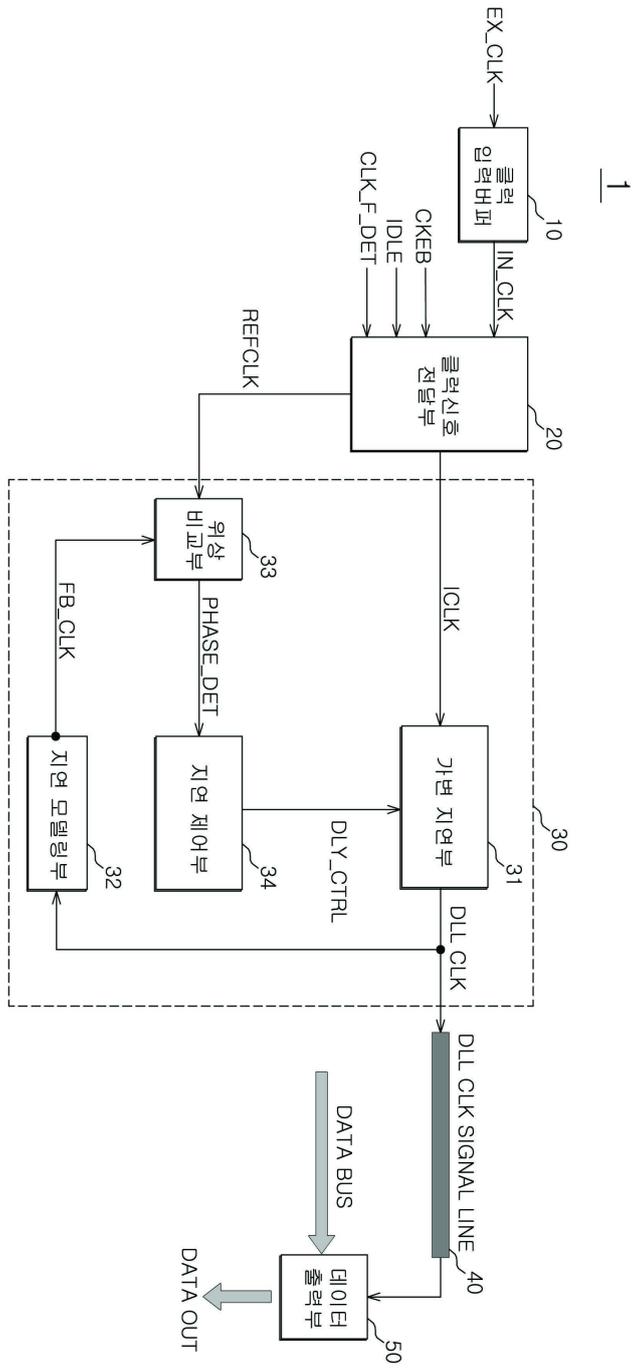
[0048] 320 : 스위칭부

**도면**

**도면1**



도면2



도면3

20

