

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3911268号

(P3911268)

(45) 発行日 平成19年5月9日(2007.5.9)

(24) 登録日 平成19年2月2日(2007.2.2)

(51) Int. Cl.		F I		
H03K	19/0175	(2006.01)	H03K	19/00 101A
H03K	19/00	(2006.01)	H03K	19/00 B
H03F	3/217	(2006.01)	H03F	3/217

請求項の数 2 (全 8 頁)

<p>(21) 出願番号 特願2003-425177 (P2003-425177)</p> <p>(22) 出願日 平成15年12月22日 (2003.12.22)</p> <p>(65) 公開番号 特開2005-184656 (P2005-184656A)</p> <p>(43) 公開日 平成17年7月7日 (2005.7.7)</p> <p>審査請求日 平成16年10月28日 (2004.10.28)</p>	<p>(73) 特許権者 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地</p> <p>(74) 代理人 100112128 弁理士 村山 光威</p> <p>(72) 発明者 山本 睦 大阪府門真市大字門真1006番地 松下電器産業株式会社内</p> <p>(72) 発明者 樋口 泰生 大阪府門真市大字門真1006番地 松下電器産業株式会社内</p> <p>審査官 宮島 郁美</p>
------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 レベルシフト回路

(57) 【特許請求の範囲】

【請求項1】

入力端子の信号を受けて下側出力トランジスタを駆動する下側回路と、前記入力端子の信号を受けて上側出力トランジスタを駆動する上側回路とを備えた増幅回路のレベルシフト回路であって、

前記上側回路に電源を供給するブートストラップと、

前記上側回路の異常を検出する検出回路と、

前記下側回路の接地に一端が接続された第1の抵抗の他端に前記検出回路の出力端の信号を電流に変換して与えて生成した信号を出力する第1の検出手段と、

前記下側回路の接地に一端が接続された第2の抵抗の他端に前記増幅回路の出力端子の信号を電流に変換して与えて生成した信号を出力する第2の検出手段と、

前記第1および第2の検出手段の出力信号の論理積信号を出力する論理回路とを備え、

前記第1、第2の抵抗の抵抗値差により設定される前記第1、第2の検出手段の出力差を用いて前記検出回路の誤検出を防ぐことを特徴とするレベルシフト回路。

【請求項2】

入力端子の信号を受けて下側出力トランジスタを駆動する下側回路と、前記入力端子の信号を受けて上側出力トランジスタを駆動する上側回路とを備えた増幅回路のレベルシフト回路であって、

前記上側回路に電源を供給するブートストラップと、

前記上側回路の異常を検出する検出回路と、

10

20

前記検出回路の出力端に入力端を接続した第1のインバータと、
 前記第1のインバータの出力端とベース若しくはゲートを接続し、前記ブートストラップの出力部とエミッタ若しくはソースを接続し、コレクタ若しくはドレインと第1の抵抗を介し接地に接続した第1のトランジスタと、
 前記第1のトランジスタのコレクタ若しくはドレインとベース若しくはゲートとを接続し、エミッタ若しくはソースを前記接地に接続した第2のトランジスタと、
 前記第2のトランジスタのコレクタ若しくはドレインと入力端を接続した第2のインバータと、
 前記増幅回路の出力端子と入力端を接続した第3のインバータと、
 前記第3のインバータの出力端とベース若しくはゲートを接続し、前記ブートストラップの出力部とエミッタ若しくはソースを接続し、コレクタ若しくはドレインと第1の抵抗を介し接地に接続した第3のトランジスタと、
 前記第3のトランジスタのコレクタ若しくはドレインとベース若しくはゲートとを接続し、エミッタ若しくはソースを前記接地に接続した第4のトランジスタと、
 前記第4のトランジスタのコレクタ若しくはドレインと第1入力端、前記第2のインバータの出力端と第2入力端とを接続し、前記上側および下側回路の駆動を遮断する遮断回路と出力端を接続したNANDゲートとを備え、
 前記第1、第2の抵抗により設定した抵抗値の差により生じる前記第2、第4のトランジスタの導通時間差を用いて前記検出回路の誤検出を防ぐことを特徴とするレベルシフト回路。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、D級増幅器等に用いられるレベルシフト回路に関するものである。

【背景技術】

【0002】

近年、D級増幅器においては、これまで多く使用されていたAB級増幅器に代わり、さらに高精度な保護回路を内蔵したものが開発されている。この高精度な保護回路の実現手段として、誤動作、誤検出防止を目的としたレベルシフト回路が必要である。

【0003】

以下に、従来のレベルシフト回路について、その動作を説明する。図3は従来のレベルシフト回路の構成を示す回路図であり、図4は従来のレベルシフト回路の各電圧波形を示すタイミングチャートである。

30

【0004】

図3において、1は検出回路、2はインバータ、3はトランジスタ、4はトランジスタ、5は抵抗、6はインバータ、13は抵抗、15は異常動作検出端子の信号により駆動回路を遮断する遮断回路、16は異常動作検出端子(V_{det})、17はD級増幅器の入力端子(V_{in})、18はブートストラップ、19は下側回路の電源、20は電源電圧端子(V_{cc})、21はD級増幅器の出力端子(V_{out})、22は負側電源電圧端子(V_L)、23は上側出力トランジスタ、24は下側出力トランジスタ、25は上側出力トランジスタ23を駆動する駆動回路、26は下側出力トランジスタ24を駆動する駆動回路、27は下側回路の信号を上側回路に伝える信号レベルシフト回路、51はブートストラップ18を電源とする上側回路、52は電源19を電源とする下側回路である。

40

【0005】

図4において、101はブートストラップ18の電圧波形、102は駆動回路25の出力電圧波形、103は出力端子21の電圧波形、104は検出回路1の出力電圧波形、105はトランジスタ4のベース(ゲート)の電圧波形、106は異常動作検出端子16の電圧波形である。

【0006】

従来のレベルシフト回路は、図3に示すように、検出回路1、インバータ2、6、トラ

50

ンジスタ3, 4、抵抗5, 13、ブートストラップ18、電源19より、構成されている。以上のように構成されたレベルシフト回路について、以下に、その動作について説明する。

【0007】

まず、上側回路51において異常動作が検出回路1で検出されると、そのハイ(H)信号をインバータ2が受けてトランジスタ3が導通状態となり、抵抗5で発生する電圧がトランジスタ4の閾値電圧を超えると信号を伝え、インバータ6により異常動作が起きた場合にハイ(H)信号を異常動作検出端子(Vdet)16に出力する(レベルシフト動作)。この検出信号を受けて遮断回路15を動作させることにより、D級増幅器の破壊および劣化が防止を行うことができる。

10

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、このような構成のレベルシフト回路を用いるD級増幅器の出力信号はVL、Vcc間を繰り返す波形103のような信号であり、上側出力トランジスタ23を駆動する駆動回路25の出力は波形102のようになる。この波形の実現手段としては、VccよりもVdd分高い電圧をブートストラップ18を用いて上側回路51に電源供給する。このため、ブートストラップ18の出力波形は波形101のようになる。

【0009】

図3の検出回路1の出力電圧が図4に示す波形104のようになったとすると、トランジスタ3のベース(ゲート)とコレクタ(ドレイン)間にできる寄生容量28によりトランジスタ3のベース電圧が固定され、電源であるブートストラップ18が急変することで、ベース・エミッタ間電圧が開き、トランジスタ3のスレッシュホールド電圧を超えて、トランジスタ3が導通する。このトランジスタ3の導通により、抵抗5に電流を流し込み、波形105(C)のようにトランジスタ4が導通して、異常動作検出端子16の出力が波形106(D)のように出力され、異常検出の状態が存在してしまうという問題があった。

20

【0010】

本発明は、前記従来技術の問題を解決することに指向するものであり、寄生容量の影響により検出信号が発生することなく、上側回路の異常検出信号を下側回路に伝えて、誤検出を改善したレベルシフト回路を提供することを目的とする。

30

【課題を解決するための手段】

【0011】

この目的を達成するために、本発明に係るレベルシフト回路は、入力端子の信号を受けて下側出力トランジスタを駆動する下側回路と、前記入力端子の信号を受けて上側出力トランジスタを駆動する上側回路とを備えた増幅回路のレベルシフト回路であって、前記上側回路に電源を供給するブートストラップと、前記上側回路の異常を検出する検出回路と、前記下側回路の接地に一端が接続された第1の抵抗の他端に前記検出回路の出力端の信号を電流に変換して与えて生成した信号を出力する第1の検出手段と、前記下側回路の接地に一端が接続された第2の抵抗の他端に前記増幅回路の出力端子の信号を電流に変換して与えて生成した信号を出力する第2の検出手段と、前記第1および第2の検出手段の出力信号の論理積信号を出力する論理回路とを備え、前記第1, 第2の抵抗の抵抗値差により設定される前記第1, 第2の検出手段の出力差を用いて前記検出回路の誤検出を防ぐことを特徴とする。

40

また、入力端子の信号を受けて下側出力トランジスタを駆動する下側回路と、前記入力端子の信号を受けて上側出力トランジスタを駆動する上側回路とを備えた増幅回路のレベルシフト回路であって、前記上側回路に電源を供給するブートストラップと、前記上側回路の異常を検出する検出回路と、前記検出回路の出力端に入力端を接続した第1のインバータと、前記第1のインバータの出力端とベース若しくはゲートを接続し、前記ブートストラップの出力部とエミッタ若しくはソースを接続し、コレクタ若しくはドレインと第1の抵抗を介し接地に接続した第1のトランジスタと、前記第1のトランジスタのコレクタ

50

若しくはドレインとベース若しくはゲートとを接続し、エミッタ若しくはソースを前記接地に接続した第2のトランジスタと、前記第2のトランジスタのコレクタ若しくはドレインと入力端を接続した第2のインバータと、前記増幅回路の出力端子と入力端を接続した第3のインバータと、前記第3のインバータの出力端とベース若しくはゲートを接続し、前記ブートストラップの出力部とエミッタ若しくはソースを接続し、コレクタ若しくはドレインと第1の抵抗を介し接地に接続した第3のトランジスタと、前記第3のトランジスタのコレクタ若しくはドレインとベース若しくはゲートとを接続し、エミッタ若しくはソースを前記接地に接続した第4のトランジスタと、前記第4のトランジスタのコレクタ若しくはドレインと第1入力端、前記第2のインバータの出力端と第2入力端とを接続し、前記上側および下側回路の駆動を遮断する遮断回路と出力端を接続したNANDゲートとを備え、前記第1、第2の抵抗により設定した抵抗値の差により生じる前記第2、第4のトランジスタの導通時間差を用いて前記検出回路の誤検出を防ぐ構成としたことを特徴とする。

10

【0012】

前記構成によれば、寄生容量の影響により発生した誤検出の信号を打ち消して、検出回路を動作させることによって、レベルシフト動作時の誤検出を改善できる。

【発明の効果】

【0013】

以上説明したように、本発明によれば、上側回路の異常検出の信号を下側回路に伝える際、寄生容量によって発生する誤検出を改善して、誤動作、誤検出のないレベルシフト回路を実現できるという効果を奏する。

20

【発明を実施するための最良の形態】

【0014】

以下、図面を参照して本発明における実施の形態を詳細に説明する。

【0015】

図1は本発明の実施の形態におけるレベルシフト回路の構成を示す回路図であり、図2は本実施の形態におけるレベルシフト回路の各電圧波形を示すタイミングチャートである。ここで、前記従来例を示す図3において説明した構成部材に対応し実質的に同等の機能を有するものには同一の符号を付してこれを示す。

【0016】

図1において、1は上側出力トランジスタ23およびブートストラップ18から電源供給される上側回路53の異常を検出する検出回路、2、6、10、12は第1、第2、第3、第4のインバータ、3は検出回路1の信号を受けて制御される第1のトランジスタ、4はトランジスタ3の信号をレベルシフト動作する第2のトランジスタ、5、8は第1、第2の抵抗、7はD級増幅器の出力端子21の信号を受けて制御される第4のトランジスタ9の信号をレベルシフト動作する第3のトランジスタ、11はNANDゲート、13、14は抵抗である。

30

【0017】

また、15は異常動作検出端子(V_{det})16の信号により駆動回路を遮断する遮断回路、17はD級増幅器の入力端子(V_{in})、19は下側回路54の電源、20は電源電圧端子(V_{cc})、22は負側電源電圧端子(V_L)、24は下側出力トランジスタ、25は上側出力トランジスタ23の駆動回路、26は下側出力トランジスタ24の駆動回路、27は入力信号を上側の駆動回路25の信号に変換する信号レベルシフト回路、28はトランジスタ3のベース(ゲート)とコレクタ(ドレイン)間にできる寄生容量、29はトランジスタ9のベース(ゲート)とコレクタ(ドレイン)間にできる寄生容量、30、31はインバータである。

40

【0018】

また、図2において、101はブートストラップ18の電圧波形、102は駆動回路25の出力電圧波形、103は出力端子21の電圧波形、104は検出回路1の出力電圧波形、105はトランジスタ4のベース(ゲート)の電圧波形、106は図1のA点の電

50

圧波形、201はトランジスタ7のベース(ゲート)の電圧波形、202は図1のB点の電圧波形、203は異常動作検出端子16の電圧波形である。

【0019】

本実施の形態のレベルシフト回路は、検出回路1と、抵抗5, 8, 13, 14と、インバータ2, 6, 10, 12, 30, 31と、トランジスタ3, 4, 7, 9と、NANDゲート11と、ブートストラップ18と、電源19より構成されている。

【0020】

以上のように構成された本実施の形態のレベルシフト回路について、図1, 図2を参照しながら、以下にその動作を説明する。

【0021】

D級増幅器の出力信号はVL, Vcc間を繰り返す、図2に示す波形103のような信号であり、上側出力トランジスタ23を駆動する駆動回路25の出力は波形102のようになる。この波形の実現手段としては、VccよりもVdd分高い電圧をブートストラップ18を用いて上側回路53に電源供給する。このため、ブートストラップ18の電圧波形は波形101のようになる。

【0022】

また、検出回路1の出力電圧が波形104のようになったとすると、トランジスタ3のベース(ゲート)とコレクタ(ドレイン)間にできる寄生容量28によりベース電圧が固定され、電源であるブートストラップ18が急変することで、ベース・エミッタ(ゲート・ソース)間電圧が開き、トランジスタ3のスレッシュホールド電圧を超えて、トランジスタ3が導通する。このトランジスタ3の導通により、抵抗5に電流を流し込み、波形105(E)のようにトランジスタ4が導通し、異常動作検出端子16の出力が波形106'(F)のように出力される。

【0023】

上側回路53での異常動作が検出回路1で検出されると、波形104(G)の検出信号をインバータ2が受けて、トランジスタ3が導通状態となり、抵抗5で発生する電圧がトランジスタ4の閾値電圧を超えると信号を伝えて、インバータ6により異常動作が起きた場合には、ハイ(H)信号を波形106'(J)のように出力する。

【0024】

次に、D級増幅器の出力端子21から信号を受けたインバータ10およびトランジスタ9は、トランジスタ9のベース(ゲート)とコレクタ(ドレイン)間にできる寄生容量29によりベース電圧が固定され、電源であるブートストラップ18が急変することで、ベース・エミッタ(ゲート・ソース)間電圧が開き、トランジスタ9のスレッシュホールド電圧を超えて、トランジスタ9が導通する。このトランジスタ9の導通により、抵抗8に電流を流し込み、トランジスタ7のスレッシュホールド電圧を超えて、トランジスタ7が導通する。

【0025】

この時、抵抗5の抵抗値R1と抵抗8の対向値R2の値は $R1 < R2$ で設定されており、トランジスタ7のベース電圧の波形201はトランジスタ4のベース電圧に対して長い時間スレッシュホールド電圧を超えることとなる。すなわち、トランジスタ7の導通時間がトランジスタ4の導通時間より長くなる。

【0026】

トランジスタ7の導通信号は、反転信号を取り波形202となる。誤検出信号は波形106'(F)であるから、波形106'(図1のA点)と波形202(図1のB点)の論理積を取ることによって波形203のように、誤検出信号の波形106'(F)を削除できる。

【0027】

これにより、上側回路53の異常検出信号を下側回路54に伝え、誤検出を改善したレベルシフト回路を実現できる。

【産業上の利用可能性】

【0028】

10

20

30

40

50

本発明に係るレベルシフト回路は、上側回路の異常検出の信号を下側回路に伝える際、寄生容量によって発生する誤検出を改善して、誤動作、誤検出をなくすことができ、D級増幅器のレベルシフト回路等に用いて有用である。

【図面の簡単な説明】

【0029】

【図1】本発明の実施の形態におけるレベルシフト回路の構成を示す回路図

【図2】本発明の実施の形態におけるレベルシフト回路の各電圧波形を示すタイミングチャート

【図3】従来のレベルシフト回路の構成を示す回路図

【図4】従来のレベルシフト回路の各電圧波形を示すタイミングチャート

10

【符号の説明】

【0030】

1 検出回路

2, 6, 10, 12, 30, 31 インバータ

3, 4, 7, 9 トランジスタ

5, 8, 13, 14 抵抗

11 NANDゲート

15 遮断回路

16 異常動作検出端子

17 入力端子

20

18 ブートストラップ

19 電源

20 電源電圧端子

21 出力端子

22 負側電源電圧端子

23 上側出力トランジスタ

24 下側出力トランジスタ

25, 26 駆動回路

27 信号レベルシフト回路

28, 29 寄生容量

30

51, 53 上側回路

52, 54 下側回路

101 ブートストラップ18の電圧波形

102 駆動回路25の出力電圧波形

103 出力端子21の電圧波形

104 検出回路1の出力電圧波形

105 トランジスタ4のベース(ゲート)の電圧波形

106, 203 異常動作検出端子16の電圧波形

106' 図1のA点の電圧波形

201 トランジスタ7のベース(ゲート)の電圧波形

40

202 図1のB点の電圧波形

203 インバータ12の出力電圧波形

フロントページの続き

- (56)参考文献 特開2003-287554(JP,A)
特開2000-278112(JP,A)
特開2003-304151(JP,A)
特開2005-176174(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01 - 19/082, 19/092 - 19/096

H03F1/00 - 3/45, 3/50 - 3/52, 3/62 - 3/64, 3/68 - 3/72