

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월01일 10-0606772 2006년07월24일
---	-------------------------------------	--

(21) 출원번호	10-2004-0100360	(65) 공개번호	10-2006-0061573
(22) 출원일자	2004년12월02일	(43) 공개일자	2006년06월08일

(73) 특허권자                   엘지전자 주식회사  
                                  서울특별시 영등포구 여의도동 20번지

(72) 발명자                     김창남  
                                  서울특별시 중랑구 중화동 299-24

(74) 대리인                    김용인  
                                  심창섭

(56) 선행기술조사문헌  
KR1020040010878 A  
\* 심사관에 의하여 인용된 문헌

심사관 : 이창용

(54) 유기 E L 소자의 제조방법

요약

본 발명은 스페이서를 형성하지 않으면서도 TFT 기관의 S/D 전극과 접촉하여 구동할 수 있는 상하판 합착 유기 EL 소자의 제조방법을 제공하기 위한 것으로서, 기관 위에 소정 거리를 가지며 이후 격벽이 형성될 다수의 영역에 보조전극을 형성하는 단계와, 상기 기관 전면에 상기 보조전극의 상부 또는 하부 중 어느 하나에 애노드 전극을 형성하는 단계와, 상기 보조전극이 위치하는 상부에 일정 너비를 가지며 일정 거리를 두고 적어도 2개 이상의 격벽을 형성하는 단계와, 상기 각 격벽 좌측 또는 우측 중 적어도 어느 하나의 방향으로 격벽이 일부 덮어지도록 절연막을 오버레이(overlay)하는 단계와, 전면에 유기 EL층과 캐소드 전극을 순차적으로 증착하여 유기 EL 소자의 상판을 제조하는 단계와, 상기 제조된 상판과 S/D 전극이 형성된 TFT 하판을 얼라인한 후 합착하여 상기 캐소드 전극과 S/D 전극이 접촉되도록 형성하는 단계를 포함하여 구성되는데 있다.

대표도

도 8a

색인어

유기 EL, 합착소자, 평판 디스플레이, 스페이서

명세서

**도면의 간단한 설명**

도 1 은 종래 기술에 따른 폴리 실리콘(P-Si) TFT를 이용한 보텀 방식의 액티브 매트릭스 유기 EL 소자의 구조를 나타낸 도면

도 2a 내지 도 2f는 종래 기술에 따른 탑 이미션(top emission) 방식의 액티브 매트릭스 유기 EL 소자의 제조방법을 나타낸 도면

도 3a 내지 도 3c는 종래 기술에 따른 a-Si TFT 하판과 유기 EL 상판을 이용한 합착소자

도 4a,b 내지 도 5a,b,c는 종래 기술에 따른 p-Si TFT 하판과 유기 EL 상판을 이용한 합착소자를 나타낸 도면

도 6a,b는 종래 기술에 따른 합착소자의 구조에서 유기 EL 성막 발생되는 문제점을 나타낸 도면

도 7은 a-Si TFT 하판과 유기 EL 상판을 이용한 합착소자를 나타낸 도면

도 8a는 싱크 타입 p-Si TFT 합착소자의 제조방법을 나타낸 도면

도 8b는 소스 타입 p-Si TFT 합착소자의 제조방법을 나타낸 도면

도 9a 내지 도 9d는 도 7 내지 도 8a와 같이 구성되는 상판 제조 공정을 나타낸 도면

도 10a 내지 도 10c는 도 8d와 같이 구성되는 상판 제조 공정을 나타낸 도면

도 11 은 본 발명에 따른 격벽의 형태를 나타낸 도면

도 12a 내지 도 12d는 도 7 내지 도 8a와 같이 구성되는 상판을 이용하여 합착소자를 완성한 도면

도 13a 내지 도 13c는 도 8d와 같이 구성되는 상판을 이용하여 합착소자를 완성한 도면

\*도면의 주요부분에 대한 부호의 설명

10 : 기판 20 : 애노드

30 : 절연막 40 : 유기 EL층

50 : 캐소드 60 : TFT

62 : P-Si층 64 : 게이트 절연막/패시베이션

66 : 이온 도핑된 P-Si층 68 : 소스/드레인 전극

78 : 격벽 80 : 평탄화막

82 : 비아 홀 90 : 스페이서

120 : 새도우 마스크 130 : 보조전극

140 : 절연막

**발명의 상세한 설명**

**발명의 목적**

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL 소자의 제조방법에 관한 것으로, 보다 상세하게는 AMEL(Active Matrix Electroluminescence)를 이용한 평판 디스플레이 패널의 제작방법에 관한 것이다.

공액고분자(conjugate polymer)의 하나인 폴리(p-페닐렌비닐렌)(PPV)를 이용한 유기전계발광(유기 EL)소자가 개발된 이래 전도성을 지닌 공액고분자와 같은 유기물에 대한 연구가 활발하게 진행되고 있다. 이러한 유기물을 박막트랜지스터(Thin Film Transistor : TFT), 센서, 레이저, 광전소자 등에 응용하기 위한 연구도 계속 진행되고 있으며, 그 중에서도 유기전계발광(유기 EL)소자에 대한 연구가 가장 활발하게 진행되고 있다.

인광물질(phosphors) 계통의 무기물로 이루어진 전계발광소자의 경우 작동전압이 교류 200V 이상 필요하고 소자의 제작공정이 진공증착으로 이루어지기 때문에 대형화가 어렵고 특히 청색발광이 어려울 뿐만 아니라 제조가격이 높다는 단점이 있다. 그러나, 유기물로 이루어진 전계발광소자는 뛰어난 발광효율, 대면적화의 용이화, 공정의 간편성, 특히 청색발광을 용이하게 얻을 수 있다는 장점과 함께 휘 수 있는 전계발광소자의 개발이 가능하다는 점등으로 인해 차세대 표시장치로서 각광받고 있다.

특히, 현재에는 액정표시장치와 마찬가지로 각 화소(pixel)에 능동형 구동소자를 구비한 액티브 매트릭스(active matrix) 유기 EL 소자(AMOLED)가 평판표시장치(flat panel display)로서 활발히 연구되고 있다.

도 1 은 종래 기술에 따른 폴리 실리콘(P-Si) TFT를 이용한 액티브 매트릭스 유기 EL 소자의 구조를 나타낸 도면으로, 빛이 기판으로 발광되는 보텀 이미션(bottom emission) 방식을 나타내고 있다.

도 1과 같이, 투명 글라스로 구성되는 기판(10) 위에 TFT(60)를 형성하고, 상기 TFT(60)의 소스/드레인(source/drain) 전극에 오버랩(overlap)되어 접촉(contact)되도록 애노드(20)를 형성한다. 이어, 상기 TFT(60) 위에 절연막(30)을 형성하고, 전면에 유기 EL층(40) 및 캐소드(50)를 순차적으로 형성한다.

이와 같이 구성되는 보텀 이미션(bottom emission) 방식을 갖는 액티브 매트릭스 유기 EL 디스플레이 패널은 유기 EL층(40)에서 발광되는 빛이 기판(10)면을 통과해서 방사될 때, 상기 기판(10)과 유기 EL층(40) 사이에 형성되어 있는 TFT(60)에 의해 발광면이 가려지게 된다.

이에 따라, 상기 TFT(60)의 크기나 그 수가 많아질수록 액티브 매트릭스 유기 EL 디스플레이 패널의 개구율은 기하급수적으로 줄어들게 되어 디스플레이 소자로서의 사용이 어렵게 된다.

이러한 문제점을 극복하기 위하여 기판에 형성되어지는 TFT(60)와 상관없이 기판(10) 반대면으로 발광시키는 탑 이미션(top emission) 방식이 대두되었다.

도 2a 내지 도 2f는 종래 기술에 따른 탑 이미션(top emission) 방식의 액티브 매트릭스 유기 EL 소자의 제조방법을 나타낸 도면으로, 도 2a 내지 도 2f를 참조하여 설명하면 다음과 같다.

도 2a와 같이, 먼저 기판(10) 위에 TFT(60)를 형성한다. 그리고 도 2b와 같이, 상기 TFT(60)의 소스/드레인 전극(68)이 노출되도록 하는 비아 홀(82)이 형성된 평탄화막(80)을 전면에 형성한다.

이어 도 2c와 같이, 전면에 애노드(20)를 형성하여 비아 홀(82)에 의해 노출된 TFT의 소스/드레인 전극(68)과 형성된 애노드(20)가 접촉(contact)되도록 한다.

그리고 도 2d와 같이, 상기 소스/드레인 전극(68)과 애노드(20)가 접촉된 영역이 덮이도록 절연막(30)을 형성하고, 다시 도 2e, 2f와 같이 전면에 유기 EL층(40) 및 캐소드(50)를 순차적으로 형성한다.

이와 같이 구성되는 탑 이미션(top emission) 방식을 갖는 액티브 매트릭스 유기 EL 디스플레이 패널은 TFT(60) 위에 형성하는 애노드(20)가 반사면이 되고, 여기에 유기물을 증착한 후 형성하는 캐소드(50)가 투명전극으로 빛이 나오는 방향이 된다.

이러한 탑 이미션 방식의 소자에서 빛이 나오는 경로는 크게 보았을 때 캐소드(50)를 통해 직접 나오는 것과, 애노드(20)를 통해 반사되어 투명전극인 캐소드(50)를 통해 나오는 것이 있다.

따라서, 이러한 소자의 경우 마이크로캐비티(microcavity) 효과, 반사면의 반사율, 투명전극의 투과율 등의 복합적인 인자로부터 광효율이 결정된다.

그러나, 탑 이미션 방식의 액티브 매트릭스(active matrix) 유기 EL 소자(AMOLED)는 공정이 까다롭고, 유기 EL 애노드에 적합한 일 함수(work function)와 반사율이 좋아야 하는 두 가지 전제조건을 모두 충족하는 금속이 현재로서는 거의 없어서, 발광효율을 좋게 하는데 어려움이 발생된다.

또한, 위로 빛이 출사되기 때문에 기존에 사용하던 실 캡(seal cap)인 금속 캡(cap)을 사용할 수 없고, 빛이 투과하는 투명한 실 캡(seal cap)을 사용해야 하며, 유기 EL 소자에 꼭 필요한 게터(getter)도 반드시 투명한 것만을 사용해야 하는 단점이 있다.

따라서, 탑 이미션 기술은 이러한 어려운 문제점들을 가지고 있어서 아직도 개발단계에 머물고 있는 실정이다.

상기 두 가지 소자 제작 방식의 단점을 보완하기 위한 방법으로 TFT가 어레이된 하판과 유기 EL이 성막된 상판을 물리적으로 합착하는 제작 방식이 있다. 이와 같이 상하판 합착 AMOLED를 이하에서 합착소자라 칭한다.

도 3 내지 도 5 는 종래 기술에 따른 합착소자의 제조방법을 나타낸 도면으로, 도 3a 내지 도 3c는 a-Si TFT 하판과 유기 EL 상판을 이용한 합착소자이고, 도 4a,b 내지 도 5a,b,c는 p-Si TFT 하판과 유기 EL 상판을 이용한 합착소자를 나타낸 도면이다.

도 3a와 같이, a-Si TFT 합착소자의 경우는 유기 EL 구동 TFT의 소스/드레인 전극과 유기 EL 소자의 전극 중 하나(여기서는 캐소드(50))와 물리적으로 접촉을 시키는 방법으로 S/D 전극과 접촉되는 전극(50)은 각 픽셀 별로 격벽(78)을 형성시키고, 각 픽셀 내부에 격벽(78)보다 높은 돌출부인 스페이서(spacer)(90)를 형성한 다음 유기 EL층과 캐소드를 진공성막 후 스페이서(90) 윗부분까지 형성된 캐소드(50)와 구동 TFT(60)의 S/D 전극과 물리적으로 합착하고 있다.

이때, a-Si TFT 합착소자의 다른 실시예로 도 3b와 같이, TFT 기판 제작시 S/D 전극 밑에 스페이서를 형성할 수도 있다.

이와 같이 p-Si TFT 합착소자의 경우는 싱크타입과 소스타입 TFT에 따라 도 4 내지 도 5와 같이 유기 EL 전극의 접촉부가 달라지며, 이에 따라 격벽 및 스페이서도 달라진다.

도 4a,b는 싱크 타입 p-Si TFT 합착소자의 제조방법을 나타낸 도면이고, 도 5a 내지 도 5c는 소스 타입 p-Si TFT 합착소자의 제조방법을 나타낸 도면이다.

이 중, 소스 타입의 경우 S/D 전극과 유기 EL 애노드와 접촉해야 하므로 도 5b와 같이 먼저 픽셀 내부 중 일부분에 우물형태의 격벽(78)을 형성한다. 그리고 그 안에 스페이서(90)를 형성한다. 이어 유기 EL 층은 이 부분에 증착이 안되도록 마스크(masking)를 하고 성막한 후, 그 위에 캐소드(50)를 형성한 다음 S/D 전극과 애노드와 물리적 접촉(100)되도록 형성한다.

이 경우에도 도 5a와 같이 TFT 기판 제작시 S/D 전극 밑에 스페이서(90)를 형성할 수도 있다. 단, 유기 EL 상판의 우물형태의 격벽(78) 내부에는 유기 EL 층이 형성되면 안되는 것은 도 5b와 동일하다.

이와 같이 제작되는 합착소자의 경우 다음과 같은 문제점들이 발생된다.

첫째, 상판에 스페이서를 형성하기 어렵다.

즉, 격벽보다 높고, 애노드 또는 캐소드가 끊기지 않게 잘 형성되게 하려면, 패턴의 테이퍼(taper) 각도가 어느 정도 완만해야 하기 때문이다.

둘째, 하판에 스페이서를 형성하기가 어렵다.

즉, 스페이서가 격벽보다 두꺼워야 하는데, TFT 공정에 이렇게 두꺼운 돌출부를 형성하기 어렵다. 따라서 적층 레이어가 많은데 이런 돌출부는 단점의 원인이 된다.

셋째, 상판에 스페이서(90)를 형성시 도 6a,b와 같이 유기 EL 성막시 RGB용 새도우 마스크(120)로 얼라인(align) 실시하는 중에 마스크를 이리저리 움직여 얼라인을 하기 때문에 기관상의 돌출부(122)인 스페이서(90)가 새도우 마스크(120)에 걸려서 스페이서를 무너뜨리거나 스크래치(scratch)를 내어 손상을 입을 가능성이 많아 불량률의 원인이 된다.

넷째, 픽셀 내부에 스페이서(90)가 들어가게 되므로 발광면적이 줄어들어 개구율이 작아지는 단점이 있다.

다섯째, 스페이서의 두께로 인해 상하판 합착시 갭(gap)이 커서 유기 EL 전극과 S/D 전극과의 물리적 접촉이 불안해 진다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 스페이서를 형성하지 않으면서도 TFT 기관의 S/D 전극과 접촉하여 구동할 수 있는 상하판 합착 유기 EL 소자의 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 스페이서의 형성으로 발생하는 상하판 합착 갭을 줄여 소자 신뢰성이 높은 유기 EL 소자의 제조방법을 제공하는 것이다.

본 발명의 또 다른 목적은 공정상 까다로운 스페이서의 공정을 줄여 제조 공정을 단순화시킬 수 있는 상하판 합착 유기 EL 소자의 제조방법을 제공하는 것이다.

본 발명의 또 다른 목적은 스페이서에 의해 개구율이 작아지는 문제를 해결하여 픽셀 내부에 발광면적을 늘려 높은 광효율을 나타내는 유기 EL 소자의 제조방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 기관 위에 소정 거리를 가지며 이후 격벽이 형성될 다수의 영역에 보조전극을 형성하는 단계와, 상기 기관 전면에 상기 보조전극의 상부 또는 하부 중 어느 하나에 애노드 전극을 형성하는 단계와, 상기 보조전극이 위치하는 상부에 일정 너비를 가지며 일정 거리를 두고 적어도 2개 이상의 격벽을 형성하는 단계와, 상기 각 격벽 좌측 또는 우측 중 적어도 어느 하나의 방향으로 격벽이 일부 덮어지도록 절연막을 오버레이(overlay)하는 단계와, 전면에 유기 EL층과 캐소드 전극을 순차적으로 증착하여 유기 EL 소자의 상판을 제조하는 단계와, 상기 제조된 상판과 S/D 전극이 형성된 TFT 하판을 얼라인한 후 합착하여 상기 캐소드 전극과 S/D 전극이 접촉되도록 형성하는 단계를 포함하여 구성되는 유기 EL 소자의 제조방법을 제공한다.

이때, 상기 유기 EL 소자는 a-Si/p-Si TFT 합착소자, 싱크 타입 TFT 합착소자 및 소스 타입 TFT 합착소자 중 어느 하나인 것이 바람직하다.

그리고 상기 유기 EL 소자가 소스 타입 TFT 합착소자이면 하나의 격벽과 이웃하는 다른 격벽 사이의 영역에는 유기 EL 층이 적층되지 않도록 하는 것이 바람직하다.

이하 상기의 목적을 구체적으로 실현할 수 있는 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.

종래와 동일한 구성 요소는 설명의 편의상 동일 명칭 및 동일 부호를 부여하며 이에 대한 상세한 설명은 생략한다.

도 7 내지 도 8 은 본 발명에 따른 유기 EL 소자의 제조 방법에 관한 것으로, 도 7은 a-Si TFT 하판과 유기 EL 상판을 이용한 합착소자를 나타낸 도면이고, 도 8a는 싱크 타입 p-Si TFT 합착소자의 제조방법을 나타낸 도면이고, 도 8b는 소스 타입 p-Si TFT 합착소자의 제조방법을 나타낸 도면이다.

이와 같이 구성되는 유기 EL소자의 제조방법을 도면을 참조하여 상세히 설명하면 다음과 같다.

먼저, 도 7 내지 도 8a와 같이 a-Si TFT 합착소자와 싱크 타입 p-Si TFT 합착소자에서 구성되는 상판 제조방법을 설명하면 다음과 같다.

도 9a와 같이, 먼저 기판 위에 이후 소정 거리를 가지며 격벽이 형성될 다수의 영역에 보조전극(130)을 형성한다.

이때, 상기 보조전극(130)의 재료로는 도전성 물질로 구성되며, 바람직하게는 Al, Mo, AnNd 합금, Cr, Cu 등으로 구성된다.

이어, 도 9b와 같이 상기 형성된 보조전극(130)이 형성된 기판 위에 애노드 전극(20)을 상기 보조전극(130)이 덮이도록 전면에 형성한다.

이때, 상기 애노드 전극(20)의 재료로는 ITO, IZO로 구성되는 것이 바람직하다.

여기서 상기 애노드 전극(20)을 먼저 형성하고 그 위에 보조전극(130)을 형성하여도 무방하다.

다음으로 도 9c와 같이 상기 보조전극(130)이 위치하는 상기 애노드 전극(20) 위에 A의 너비를 가지며 일정 거리를 두고 한 쌍으로 형성되는 적어도 2개 이상의 격벽(78)을 형성한다.

이때, 상기 격벽(78)의 구조는 도 11(a)에서 나타내고 있는 것과 같이, S/D 전극과의 접촉면이 넓고 애노드 전극과 접촉되는 면은 좁은 형태의 삼각형 형태를 갖거나, 또는 도 11(b)에서 나타내고 있는 것과 같이 S/D 전극과의 접촉면이 좁고 애노드 전극과 접촉되는 면은 넓은 형태의 삼각형 형태에 상기 좁게 형성된 접촉면 위에 너비가 더 넓고 편평한 구조물을 위치시킨 형태로 구성되는 것이 바람직하다.

그리고 도 9d와 같이 상기 한 쌍을 이루는 각 격벽(78) 외부 쪽으로 B의 너비만큼 덮이도록 애노드 전극(20)과 각각의 격벽 위에 절연막(140)을 오버레이(overlay)하여 형성한다.

이때, 상기 절연막(140)은 격벽(78)의 오버 행(over-hang)을 가려줄 수 있도록 형성되며, 상기 A 너비가 B 너비보다 더 크게 정의하는 것이 바람직하다.

또한, 상기 절연막의 재료로는 유기물이나 무기물로 이루어질 수 있으며, 바람직하게는 폴리머로 이루어진다. 특히 감광성 폴리이미드(photosensitive Polyimide), 폴리아크릴(Polyacryl), 노볼락(novolac)계 유기 절연막 등이 좋다.

그리고 이와 같이 구성되는 상판 전면에 유기 EL층과 캐소드 전극을 순차적으로 증착하여 유기 EL 소자의 상판을 제조한다.

이어 상기 제조된 상판과 S/D 전극이 형성된 TFT 하판은 도 12와 같이 얼라인한 후 합착하여 상기 캐소드 전극과 S/D 전극이 접촉(150)되도록 형성함으로써, 유기 EL 소자를 제조한다.

이때, 상기 상하판 합착시 밀폐제(sealant)를 사용하여 합착하며, 특히 상기 상하판 합착시에 합착되는 상하판 내부는 진공이 되어야 상하판이 잘 붙게 되므로 진공을 유지하는 것이 바람직하다.

아울러 상기 상하판 합착 내부에 수분 및 산소를 흡착하여 유기 EL층에 수명을 늘리게 하기 위해 게터(getter)를 넣을 수도 있다. 이때, 상기 게터 재료로는 산화성이 매우 강한 바륨을 이용한다.

다음으로 도 8b와 같이 소스 타입 p-Si TFT 합착소자의 제조방법을 설명하면 다음과 같다.

도 10a와 같이, 먼저 기판 위에 애노드 전극(20)을 형성하고, 이후 소정 거리를 가지며 격벽이 형성될 다수의 영역에 도전성 물질로 보조전극(130)을 형성한다.

이때, 상기 애노드 전극(20)의 재료로는 ITO, IZO로 구성되는 것이 바람직하며, 상기 보조전극(130)의 재료로는 Al, Mo, AnNd 합금, Cr, Cu 등으로 구성되는 것이 바람직하다.

여기서 상기 애노드 전극(20)을 먼저 형성하고 그 위에 보조전극(130)을 형성하여도 무방하다.

이어, 도 10b와 같이 상기 보조전극(130) 위에 A의 너비를 가지며 일정 거리를 두고 한 쌍으로 형성되는 적어도 2개 이상의 격벽(78)을 형성한다.

이때, 상기 격벽(78)의 구조는 도 11(a)에서 나타내고 있는 것과 같이, S/D 전극과의 접촉면이 넓고 애노드 전극과 접촉되는 면은 좁은 형태의 삼각형 형태를 갖거나, 또는 도 11(b)에서 나타내고 있는 것과 같이 S/D 전극과의 접촉면이 좁고 애노드 전극과 접촉되는 면은 넓은 형태의 삼각형 형태에 상기 좁게 형성된 접촉면 위에 너비가 더 넓고 편평한 구조물을 위치시킨 형태로 구성되는 것이 바람직하다.

그리고 도 10c와 같이 상기 한 쌍을 이루는 각 격벽(78) 내부 쪽으로 B의 너비만큼 덮어지도록 애노드 전극(20)과 각각의 격벽 위에 절연막(140)을 오버레이(overlay)하여 형성한다.

이때, 상기 절연막(140)은 격벽(140)의 오버-행(over-hang)을 가려줄 수 있도록 형성되며, 상기 A 너비가 B 너비보다 더 크게 정의하는 것이 바람직하다.

또한, 상기 절연막의 재료로는 유기물이나 무기물로 이루어질 수 있으며, 바람직하게는 폴리머로 이루어진다. 특히 감광성 폴리이미드(photosensitive Polyimide), 폴리아크릴(Polyacryl), 노볼락(novolac)계 유기 절연막 등이 좋다.

그리고 이와 같이 구성되는 상판 전면에 유기 EL층과 캐소드 전극을 순차적으로 증착하여 유기 EL 소자의 상판을 제조한다. 이때, 도 10c에서 도시하고 있는 참조기호 C의 영역은 다음 공정에서 S/D 전극이 형성된 TFT 하판을 합착시 상기 S/D 전극과 캐소드 전극이 접촉되는 영역이므로 유기 EL 층이 적층되지 않도록 구성한다.

그 후 상기 제조된 상판과 S/D 전극이 형성된 TFT 하판을 얼라인한 후 합착하여 상기 캐소드 전극과 S/D 전극이 접촉(150)되도록 도 13과 같이 형성하여 유기 EL 소자를 제조한다.

이때, 상기 상하판 합착시 밀폐제(sealant)를 사용하여 합착하며, 특히 상기 상하판 합착시에 합착되는 상하판 내부는 진공이 되어야 상하판이 잘 붙게 되므로 진공을 유지하는 것이 바람직하다.

아울러 상기 상하판 합착 내부에 수분 및 산소를 흡착하여 유기 EL층에 수명을 늘리게 하기 위해 게터(getter)를 넣을 수도 있다. 이때, 상기 게터 재료로는 산화성이 매우 강한 바륨을 이용한다.

이와 같은 제조방법을 통해 AMOLED용 TFT의 수와 사이즈에 상관없으면서도 개구율을 확보할 수 있는 AMOLED 소자를 개발할 수 있다.

본 발명을 상술한 실시예에 한정되지 않으며, 첨부된 청구범위에서 알 수 있는 바와 같이 본 발명이 속한 분야의 통상의 지식을 가진 자에 의해 변형이 가능하고 이러한 변형은 본 발명의 범위에 속한다.

### 발명의 효과

상기에서 설명한 본 발명에 따른 유기 EL 소자의 제조방법은 이는 공정상 까다로운 평탄화막을 사용하는 탑-이미션(top-emission) 방식을 사용하지 않고 합착소자를 만들어 손쉬운 공정으로 유기 EL 소자를 제조할 수 있을 뿐만 아니라, 더욱이 합착소자의 제조시에 형성하기 어렵고 개구율을 줄이는 가장 큰 요인인 스페이서(spacer) 까지도 제거함으로써 공정수를 획기적으로 줄일 수 있게 된다.

아울러 높은 구조물인 스페이서가 없으므로 상하판 합착 갭(gap)이 작아져 상하판 합착에 따른 소자의 신뢰성이 높은 상하판 합착 AMOLED를 만드는데 탁월한 효과가 있다.

### (57) 청구의 범위

#### 청구항 1.

기판 위에 소정 거리를 가지며 이후 격벽이 형성될 다수의 영역에 보조전극을 형성하는 단계와,

상기 기판 전면에 상기 보조전극의 상부 또는 하부 중 어느 하나에 애노드 전극을 형성하는 단계와,

상기 보조전극이 위치하는 상부에 일정 너비를 가지며 일정 거리를 두고 적어도 2개 이상의 격벽을 형성하는 단계와,  
상기 각 격벽 좌측 또는 우측 중 적어도 어느 하나의 방향으로 격벽이 일부 덮어지도록 절연막을 오버레이(overlay)하는 단계와,  
전면에 유기 EL층과 캐소드 전극을 순차적으로 증착하여 유기 EL 소자의 상판을 제조하는 단계와,  
상기 제조된 상판과 S/D 전극이 형성된 TFT 하판을 일라인한 후 합착하여 상기 캐소드 전극과 S/D 전극이 접촉되도록 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 유기 EL 소자의 제조방법.

## 청구항 2.

제 1 항에 있어서,

상기 유기 EL 소자는 a-Si/p-Si TFT 합착소자, 싱크 타입 TFT 합착소자 및 소스 타입 TFT 합착소자 중 어느 하나인 것을 특징으로 하는 유기 EL 소자의 제조방법.

## 청구항 3.

제 2 항에 있어서,

상기 유기 EL 소자가 소스 타입 TFT 합착소자이면 하나의 격벽과 이웃하는 다른 격벽 사이의 영역에는 유기 EL 층이 적층되지 않도록 하는 것을 특징으로 하는 유기 EL 소자의 제조방법.

## 청구항 4.

제 1 항에 있어서,

상기 보조전극의 재료는 도전성 물질이며, Al, Mo, AnNd 합금, Cr, Cu 중 적어도 하나 이상으로 이루어지는 것을 특징으로 하는 유기 EL 소자의 제조방법.

## 청구항 5.

제 1 항에 있어서,

상기 애노드 전극의 재료는 ITO, IZO 중 적어도 하나 이상으로 이루어지는 것을 특징으로 하는 유기 EL 소자의 제조방법.

## 청구항 6.

제 1 항에 있어서,

상기 절연막의 재료는 유기물이나 무기물로 이루어지며, 폴리머로 이루어지는 것을 특징으로 하는 유기 EL 소자의 제조방법.

## 청구항 7.



제 6 항에 있어서,

상기 절연막은 감광성 폴리이미드(photosensitive Polyimide), 폴리아크릴(Polyacryl), 노볼락(novolac)계 유기 절연막 중 적어도 하나 이상으로 이루어지는 것을 특징으로 하는 유기 EL 소자의 제조방법.

**청구항 8.**

제 1 항에 있어서,

상기 상하판 합착시 밀폐제(sealant)를 사용하여 합착하는 것을 특징으로 하는 유기 EL 소자의 제조방법.

**청구항 9.**

제 1 항에 있어서,

상기 상하판 합착시 합착되는 상하판 내부는 진공상태인 것을 특징으로 유기 EL 소자의 제조방법.

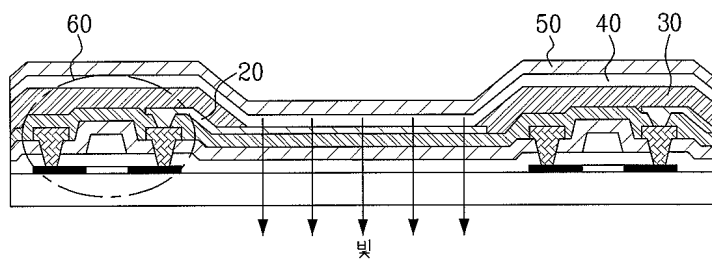
**청구항 10.**

제 1 항에 있어서,

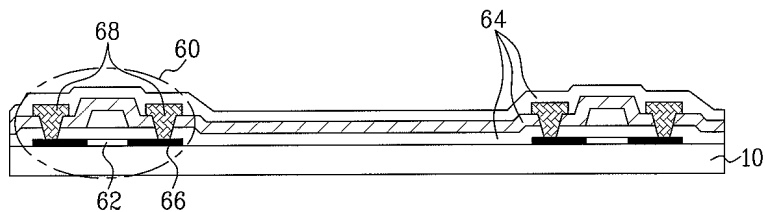
상기 상하판 합착 내부에 게터(getter)를 주입하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 유기 EL 소자의 제조방법.

**도면**

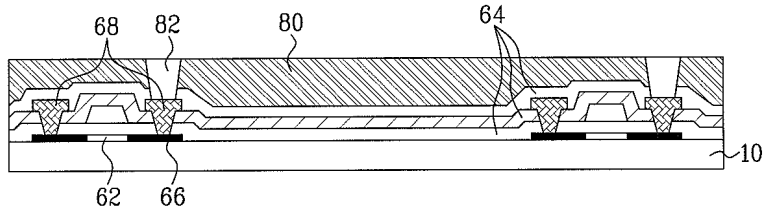
도면1



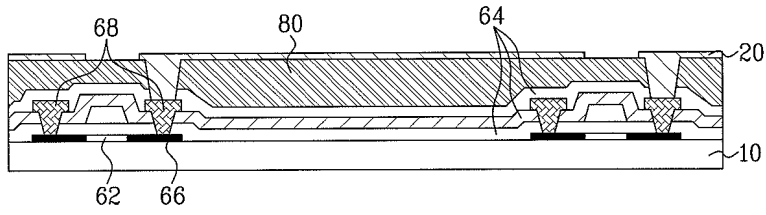
도면2a



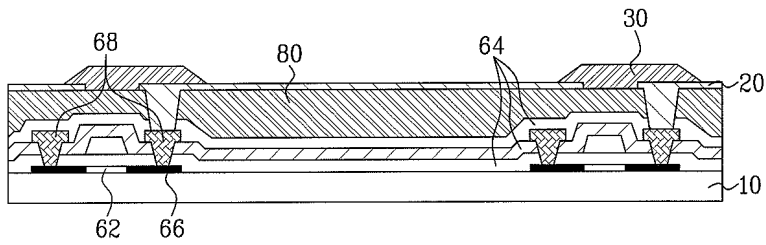
도면2b



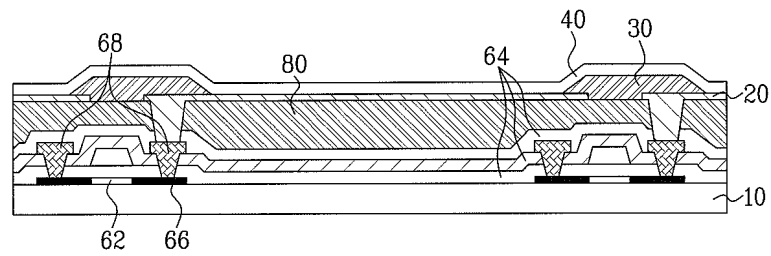
도면2c



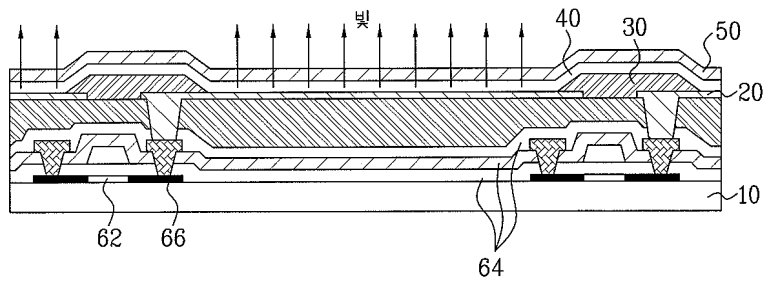
도면2d



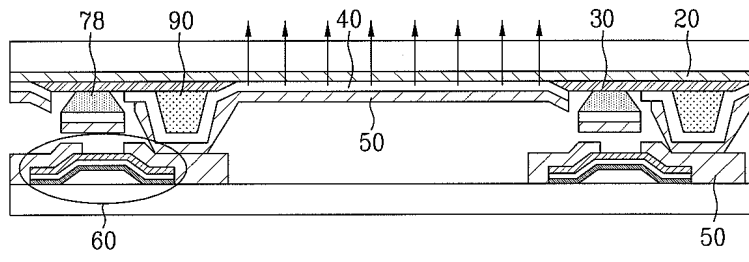
도면2e



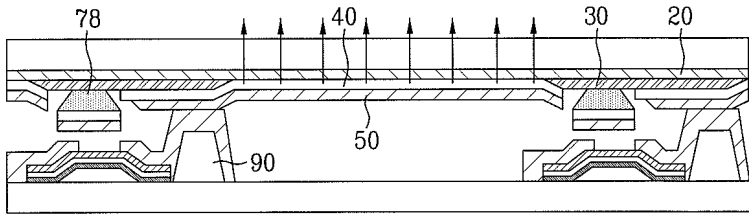
도면2f



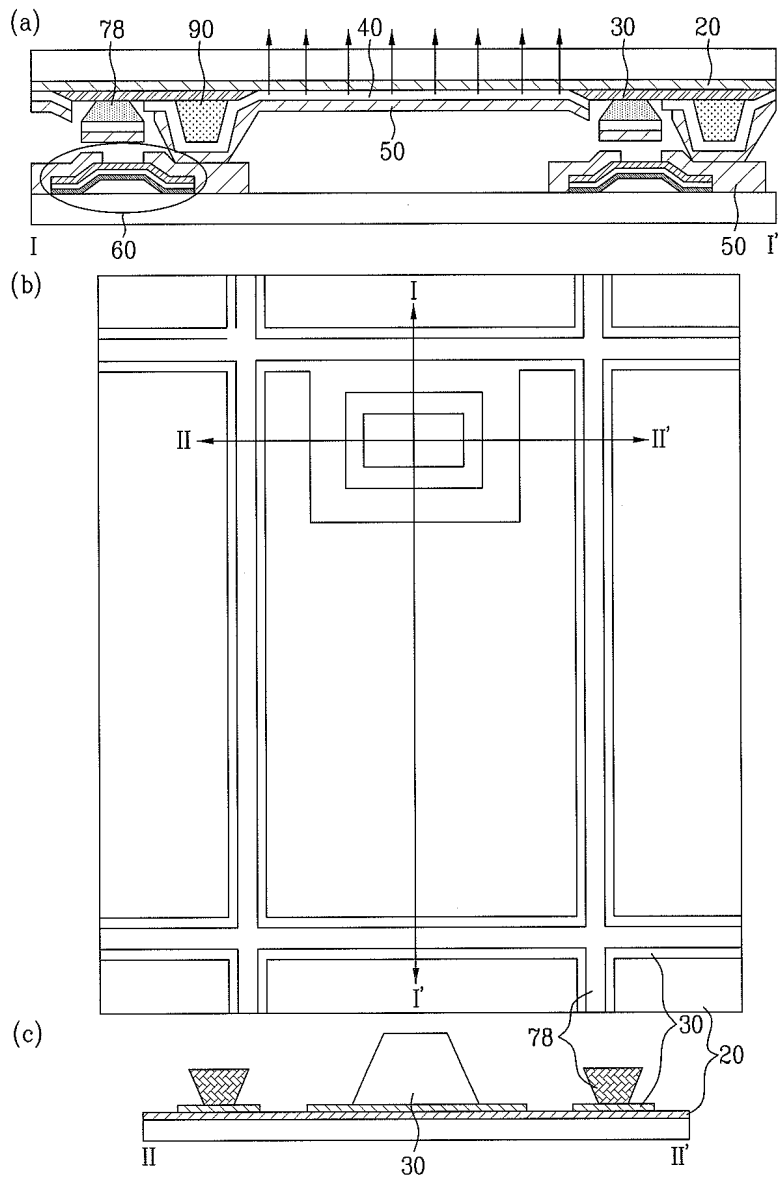
도면3a



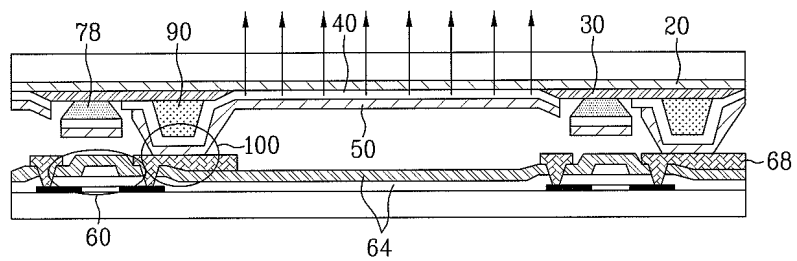
도면3b



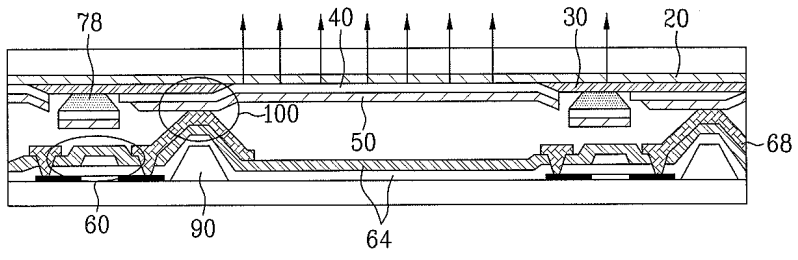
도면3c



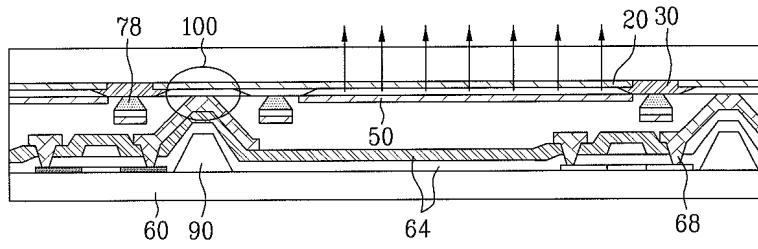
도면4a



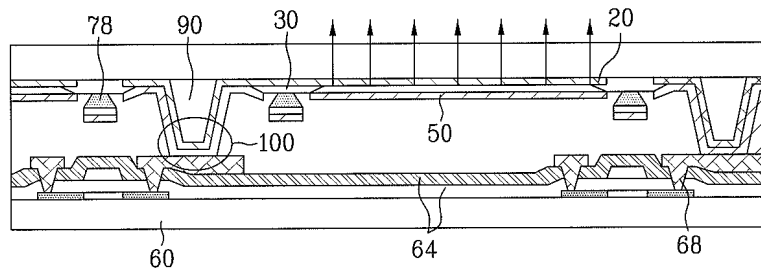
도면4b



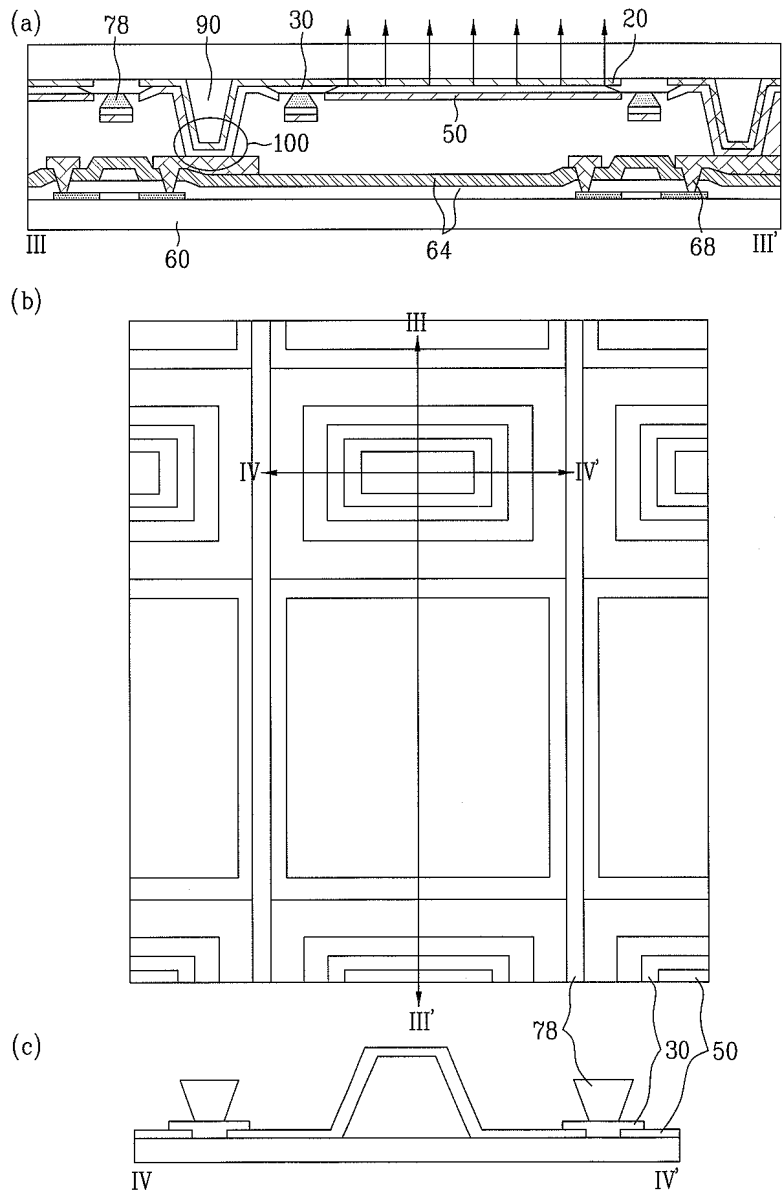
도면5a



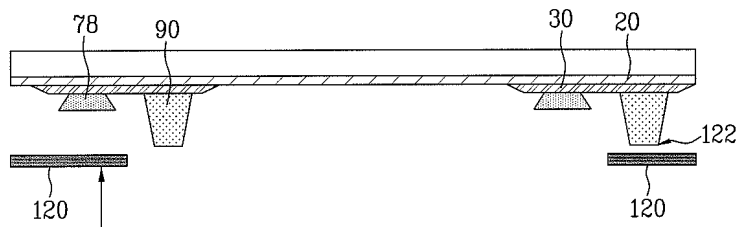
도면5b



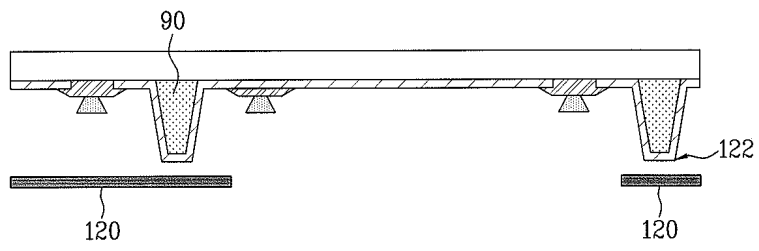
도면5c



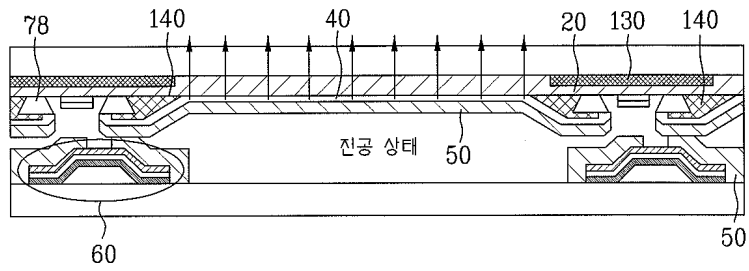
도면6a



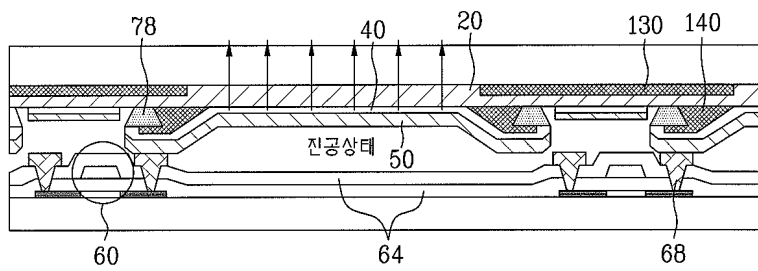
도면6b



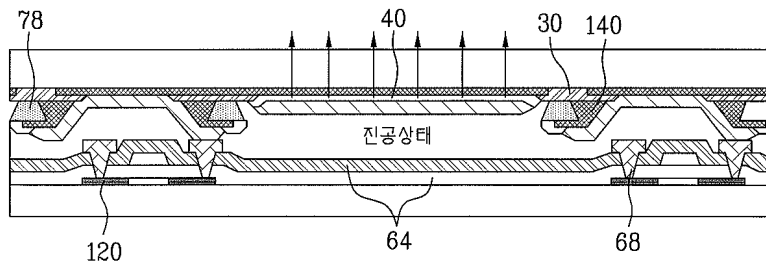
도면7



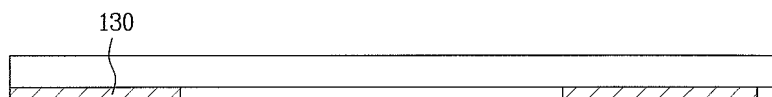
도면8a



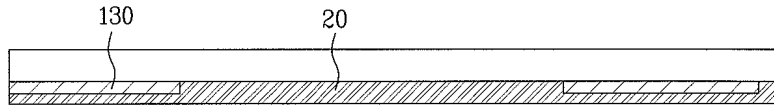
도면8b



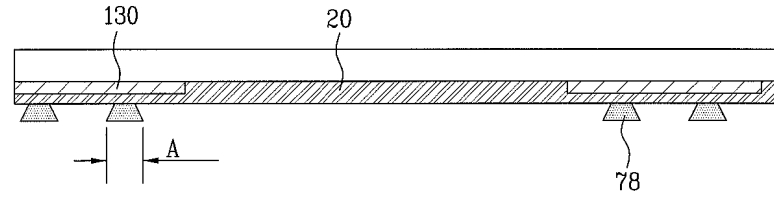
도면9a



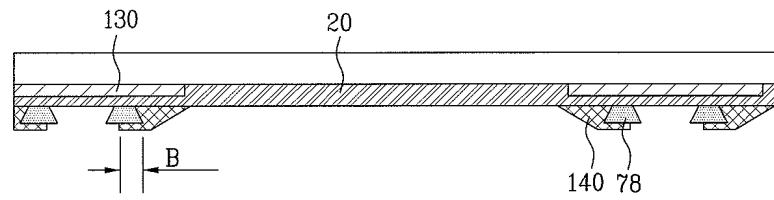
도면9b



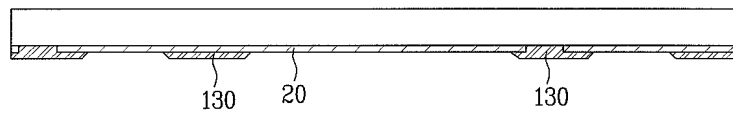
도면9c



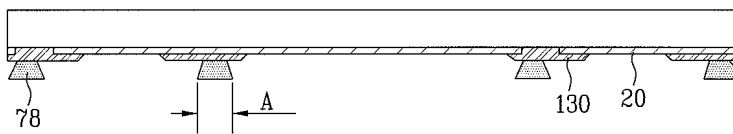
도면9d



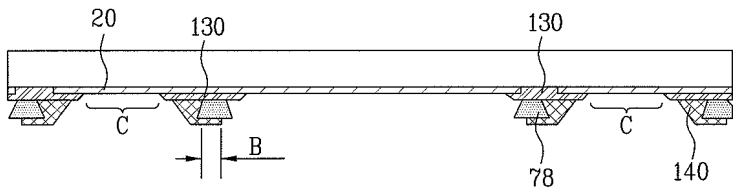
도면10a



도면10b

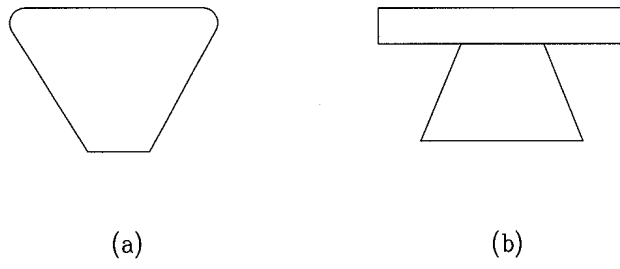


도면10c

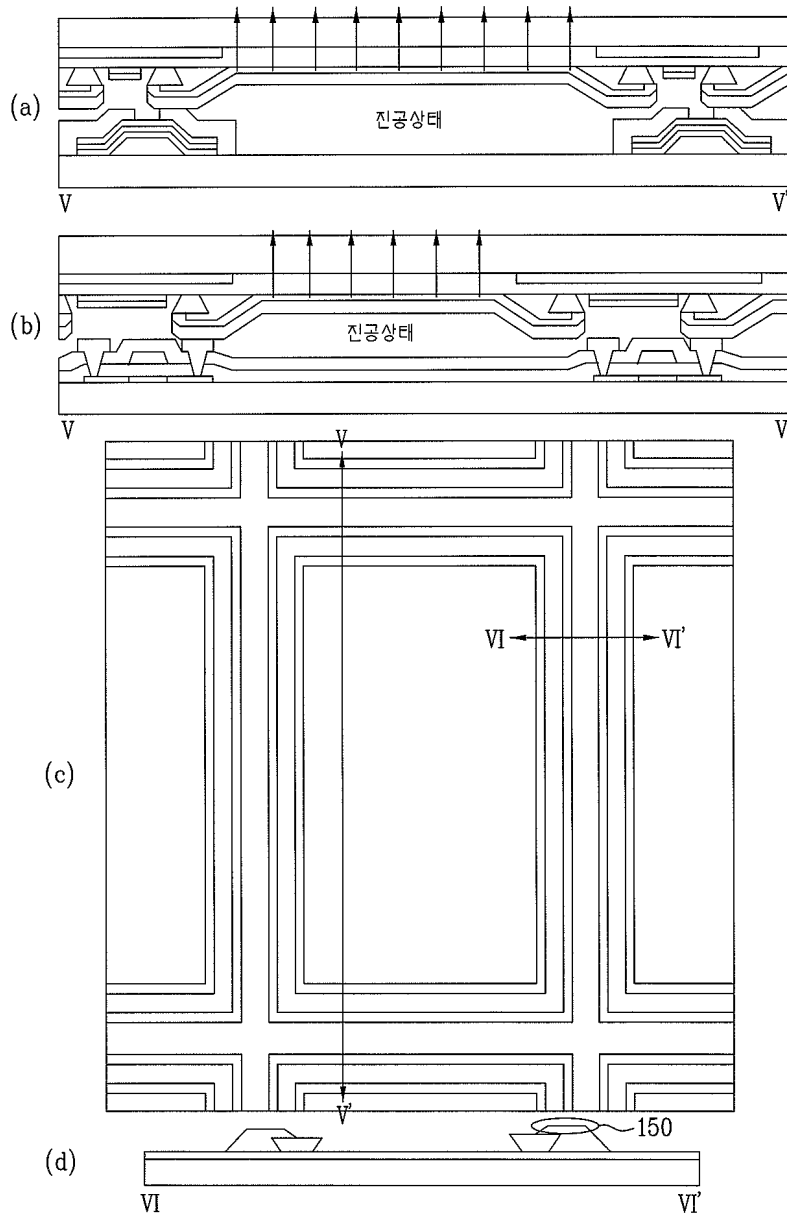




도면11



도면12



도면13

