



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월02일
(11) 등록번호 10-1140051
(24) 등록일자 2012년04월18일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2010-0063424
(22) 출원일자 2010년07월01일
심사청구일자 2010년07월01일
(65) 공개번호 10-2012-0002753
(43) 공개일자 2012년01월09일
(56) 선행기술조사문헌
KR1020090068761 A
전체 청구항 수 : 총 24 항

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
박진원
경기도 성남시 분당구 미금로 177, 307동 1104호
(구미동, 까치마을)
(74) 대리인
특허법인태평양

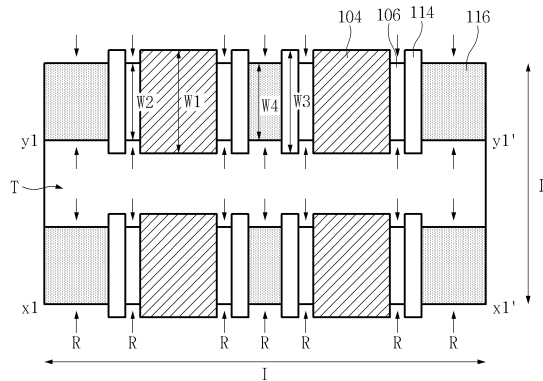
심사관 : 최정민

(54) 발명의 명칭 반도체 소자 및 그 형성 방법

(57) 요약

본 발명의 반도체 소자는 반도체 기판에서 돌출되고, 수직채널을 가지며, 제 1 폭을 갖는 수직 필라와, 상기 제 1 폭보다 작은 제 2 폭을 가지며, 제 1 방향으로 서로 인접한 상기 수직 필라의 양측에 구비된 산화막과, 상기 제 1 폭과 동일한 폭을 가지며, 상기 산화막의 측벽에 구비되는 질화막을 포함하여, 게이트 산화막 형성 시 수직 필라의 모서리가 뾰족해져 접점을 이루는 문제를 해결하여 반도체 소자의 특성이 열화되는 문제를 해결할 수 있는 효과를 제공한다.

대표도 - 도5



특허청구의 범위

청구항 1

반도체 기판에서 돌출되고 수직채널을 가지며, 제 1 폭을 갖는 수직 필라;

상기 제 1 폭보다 작은 제 2 폭을 가지며, 제 1 방향으로 서로 인접한 상기 수직 필라의 양측에 구비된 절연막;

상기 절연막의 측벽에 구비되는 질화막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

청구항 1에 있어서,

상기 절연막은 산화막인 것을 특징으로 하는 반도체 소자.

청구항 3

청구항 1에 있어서,

상기 질화막은 상기 제 1 폭과 동일한 폭을 갖는 것을 특징으로 하는 반도체 소자.

청구항 4

청구항 1에 있어서,

상기 질화막은 상기 절연막과 상이한 식각선택비를 갖는 것을 특징으로 하는 반도체 소자.

청구항 5

청구항 1에 있어서,

상기 반도체 기판에 매립되고, 상기 제 1 방향과 수직인 제 2 방향으로 연장된 비트라인을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 6

청구항 1에 있어서,

상기 제 1 방향으로 서로 인접한 수직 필라 사이를 매립하는 층간절연막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7

청구항 6에 있어서,

상기 층간절연막은 산화막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 8

청구항 6에 있어서,

상기 층간절연막은

상기 절연막과 동일한 폭을 갖는 것을 특징으로 하는 반도체 소자.

청구항 9

청구항 1에 있어서,

상기 제 2 폭을 갖는 상기 절연막에 의해 상기 수직 필라의 네 모서리가 노출되는 것을 특징으로 하는 반도체 소자.

청구항 10

청구항 1에 있어서,

상기 절연막에 의해 노출된 수직 필라에 형성된 게이트 산화막을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 11

청구항 10에 있어서,

상기 게이트 산화막이 형성된 상기 수직 필라의 네 모서리는 수직한 것을 특징으로 하는 반도체 소자.

청구항 12

반도체 기판에서 돌출되고 수직채널을 가지며, 제 1 폭을 갖는 수직 필라; 및

상기 제 1 폭보다 작은 제 2 폭을 가지며, 제 1 방향으로 서로 인접한 상기 수직 필라의 양측에 구비된 절연막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 13

청구항 12에 있어서,

상기 절연막은 산화막인 것을 특징으로 하는 반도체 소자.

청구항 14

청구항 12에 있어서,

상기 제 2 폭을 갖는 상기 절연막에 의해 상기 수직 필라의 네 모서리가 노출되는 것을 특징으로 하는 반도체 소자.

청구항 15

제 2 방향으로 반도체 기판을 식각하여 실리콘 라인패턴을 형성하는 단계;

상기 실리콘 라인패턴의 측벽에 절연막을 형성하는 단계;

상기 절연막을 포함하는 상기 실리콘 라인패턴의 표면에 질화막을 형성하는 단계;

상기 제 2 방향과 수직하는 제 1 방향으로 상기 실리콘 라인패턴을 식각하여 수직 필라를 형성하는 단계; 및

상기 제 1 방향으로 노출된 상기 절연막을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 16

청구항 15에 있어서,

상기 절연막은 산화막인 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 17

청구항 15에 있어서,

상기 실리콘 라인패턴을 형성하는 단계 이후,

상기 실리콘 라인패턴 사이에 비트라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 18

청구항 15에 있어서,

상기 질화막을 형성하는 단계 이후

상기 제 1 방향으로 서로 인접한 상기 실리콘 라인패턴 사이를 매립하는 층간절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 19

청구항 15에 있어서,

상기 절연막을 식각하는 단계는

상기 수직 필라보다 작은 폭을 갖도록 식각하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 20

청구항 18에 있어서,

상기 절연막을 식각하는 단계는

상기 층간절연막이 함께 식각되는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 21

청구항 15에 있어서,

상기 절연막을 식각하는 단계는

습식식각을 수행하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 22

청구항 15에 있어서,

상기 절연막을 식각하는 단계는

HF 계열의 습식용액을 이용하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 23

청구항 15에 있어서,

상기 절연막을 식각하는 단계는

상기 수직 필라의 네 모서리를 노출시키는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 24

청구항 15에 있어서,

상기 절연막을 식각하는 단계 이후

상기 절연막에 의해 노출된 상기 수직 필라에 게이트 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

명세서

기술분야

[0001] 본 발명은 반도체 소자 및 그의 형성 방법에 관한 것으로, 보다 자세하게는 수직형 게이트를 포함하는 반도체 소자 및 그의 형성 방법에 관한 것이다.

배경기술

[0002] 최근에 집적도 향상을 위해 40nm 이하급 메모리 소자가 요구되고 있는데, 8F2(F:minimum feature size) 또는 6F2 형태에서 사용하는 플래너(Planar) 또는 리세스드 게이트 트랜지스터(Recessed Gate Taransistor)의 경우에는 40nm 이하로 스케일링(scaling) 하기가 매우 어려운 문제가 있다. 따라서 동일 스케일링에서 집적도를 1.5 ~ 2배 향상시킬 수 있는 4F2 셀 구조를 갖는 DRAM 소자가 요구되고 있으며, 그에 따라 수직채널 트랜지스터

(Vertical channel transistor)가 제안되었다.

- [0003] 수직 채널 트랜지스터는 반도체 기판 상에서 수직으로 연장된 필라(Active pillar)의 주위를 감싸는 환형(Surround type) 게이트 전극을 형성하고, 게이트 전극을 중심으로 하여 필라의 상부와 하부에 각각 소스 영역과 드레인 영역을 형성함으로써 채널이 수직으로 형성되는 트랜지스터이다. 그러므로, 트랜지스터의 면적을 감소시키더라도 채널 길이에 구애받지 않는다.
- [0004] 수직 채널 트랜지스터는 반도체 기판의 표면(surface)에 대하여 수직으로 연장되는 활성 필라의 주위에 게이트 전극을 형성하고, 상기 게이트 전극을 중심으로 하여 상기 활성 필라의 상하에 소스/드레인 영역을 형성함으로써 반도체 기판의 표면(surface)에 대하여 수직으로 채널이 형성된다. 그러므로, 트랜지스터의 면적을 감소시키더라도 채널 길이에 구애받지 않게 되었다.
- [0005] 도 1은 종래기술에 따른 수직 필라를 산화시키기 이전의 반도체 소자의 사시도이고, 도 2는 종래기술에 따른 수직 필라를 산화시키기 이전 도 1의 x-x' 및 y-y'를 자른 반도체 소자의 평면도이고, 도 3은 종래기술에 따른 수직 필라를 산화시킨 후 도 1의 x-x' 및 y-y'를 자른 반도체 소자의 평면도이다.
- [0006] 도 2에 도시된 바와 같이, 종래기술에 따른 수직 필라를 산화시키기 이전의 반도체 소자는 반도체 기판(10)이 식각되어 형성된 수직 필라(14)의 측벽에 형성된 산화막(16) 및 질화막(24)을 포함한다. 그리고, 수직 필라(14)의 사이에 구비된 층간절연막(26)을 더 포함한다. 이때, 층간절연막(26)은 수직 필라(14) 형성 시 함께 식각되어 수직 필라(14)와 가로방향으로 일직선상에 놓이게 된다.
- [0007] 도 3에 도시된 바와 같이, 종래기술에 따른 수직 필라를 산화시킨 후 반도체 소자는 산화막(16)이 형성되지 않은 측면의 수직 필라(14)만이 산화하고, 산화막(16)에 의해 노출되지 않은 수직 필라(14)는 산화되지 않게 된다. 이 과정에서 수직 필라(14)의 모서리 부분에서 산화막(16)은 정확하게 형성되지 못하여 수직 필라(14)의 중앙부에 형성된 산화막(16)에 비하여 수직 필라(14)의 모서리는 상대적으로 얇은 두께를 갖는 게이트 산화막(16a)이 형성된다.
- [0008] 이와 같은 게이트 산화막(16a)에 의해 수직 필라(14)의 모서리는 첨점(尖端, sharp point)의 형태(P)가 되는데, 이는 전기장(electric field)을 집중시켜 누설전류를 유발함으로써 반도체 소자의 특성을 저하시키는 문제가 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 수직형 게이트를 포함하는 반도체 소자의 게이트 산화막의 형성 시 수직 필라의 모서리가 뾰족해져서 첨점을 이루는 경우 반도체 소자의 특성을 열화시키는 문제를 해결하고자 한다.

과제의 해결 수단

- [0010] 본 발명의 반도체 소자는 반도체 기판에서 돌출되고 수직채널을 가지며, 제 1 폭을 갖는 수직 필라와, 상기 제 1 폭보다 작은 제 2 폭을 가지며, 제 1 방향으로 서로 인접한 상기 수직 필라의 양측에 구비된 절연막과, 상기 절연막의 측벽에 구비되는 질화막을 포함하는 것을 특징으로 한다.
- [0011] 그리고, 상기 절연막은 산화막인 것을 특징으로 한다.
- [0012] 그리고, 상기 질화막은 상기 제 1 폭과 동일한 폭을 갖는 것을 특징으로 한다.
- [0013] 그리고, 상기 질화막은 상기 절연막과 상이한 식각선택비를 갖는 것을 특징으로 한다.
- [0014] 그리고, 상기 반도체 기판에 매립되고, 상기 제 1 방향과 수직한 제 2 방향으로 연장된 비트라인을 더 포함하는 것을 특징으로 한다.
- [0015] 그리고, 상기 제 1 방향으로 서로 인접한 수직 필라 사이를 매립하는 층간절연막을 포함하는 것을 특징으로 한다.
- [0016] 그리고, 상기 층간절연막은 산화막을 포함하는 것을 특징으로 한다.
- [0017] 그리고, 상기 층간절연막은 상기 절연막과 동일한 폭을 갖는 것을 특징으로 한다.

- [0018] 그리고, 상기 제 2 폭을 갖는 상기 절연막에 의해 상기 수직 필라의 네 모서리가 노출되는 것을 특징으로 한다.
- [0019] 그리고, 상기 절연막에 의해 노출된 수직 필라에 형성된 게이트 산화막을 더 포함하는 것을 특징으로 한다.
- [0020] 그리고, 상기 게이트 산화막이 형성된 상기 수직 필라의 네 모서리는 수직한 것을 특징으로 한다.
- [0021] 본 발명의 또 다른 실시예에 따른 반도체 소자는 반도체 기판에서 돌출되고 수직채널을 가지며, 제 1 폭을 갖는 수직 필라와, 상기 제 1 폭보다 작은 제 2 폭을 가지며, 제 1 방향으로 서로 인접한 상기 수직 필라의 양측에 구비된 절연막을 포함하는 것을 특징으로 한다.
- [0022] 그리고, 상기 절연막은 산화막인 것을 특징으로 한다.
- [0023] 그리고, 상기 제 2 폭을 갖는 상기 절연막에 의해 상기 수직 필라의 네 모서리가 노출되는 것을 특징으로 한다.
- [0024] 본 발명에 따른 반도체 소자의 형성 방법은 제 2 방향으로 반도체 기판을 식각하여 실리콘 라인패턴을 형성하는 단계와, 상기 실리콘 라인패턴의 측벽에 절연막을 형성하는 단계와, 상기 절연막을 포함하는 상기 실리콘 라인패턴의 표면에 질화막을 형성하는 단계와, 상기 제 2 방향과 수직하는 제 1 방향으로 상기 실리콘 라인패턴을 식각하여 수직 필라를 형성하는 단계와, 상기 제 1 방향으로 노출된 상기 절연막을 식각하는 단계를 포함하는 것을 특징으로 한다.
- [0025] 그리고, 상기 절연막은 산화막인 것을 특징으로 한다.
- [0026] 그리고, 상기 실리콘 라인패턴을 형성하는 단계 이후, 상기 실리콘 라인패턴 사이에 비트라인을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0027] 그리고, 상기 질화막을 형성하는 단계 이후 상기 제 1 방향으로 서로 인접한 상기 실리콘 라인패턴 사이를 매립하는 충전절연막을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0028] 그리고, 상기 절연막을 식각하는 단계는 상기 수직 필라보다 작은 폭을 갖도록 식각하는 것을 특징으로 한다.
- [0029] 그리고, 상기 절연막을 식각하는 단계는 상기 충전절연막이 함께 식각되는 것을 특징으로 한다.
- [0030] 그리고, 상기 절연막을 식각하는 단계는 습식식각을 수행하는 것을 특징으로 한다.
- [0031] 그리고, 상기 절연막을 식각하는 단계는 HF 계열의 습식용액을 이용하는 것을 특징으로 한다.
- [0032] 그리고, 상기 절연막을 식각하는 단계는 상기 수직 필라의 네 모서리를 노출시키는 것을 특징으로 한다.
- [0033] 그리고, 상기 산화막을 식각하는 단계 이후 상기 절연막에 의해 노출된 상기 수직 필라에 게이트 산화막을 형성하는 단계를 포함하는 것을 특징으로 한다.

발명의 효과

- [0034] 본 발명은 수직형 게이트를 포함하는 반도체 소자의 게이트 산화막 형성 시 수직 필라의 모서리가 뽀족해져 침점을 이루는 문제를 해결하여 반도체 소자의 특성이 열화되는 문제를 해결할 수 있는 효과를 제공한다.

도면의 간단한 설명

- [0035] 도 1은 종래기술에 따른 수직 필라를 산화시키기 이전의 반도체 소자의 사시도.
- 도 2는 종래기술에 따른 수직 필라를 산화시키기 이전 도 1의 A-A'를 자른 반도체 소자의 평면도.
- 도 3은 종래기술에 따른 수직 필라를 산화시킨 후 도 1의 A-A'를 자른 반도체 소자의 평면도.
- 도 4는 본 발명의 일 실시예에 따른 수직 필라를 산화시키기 이전의 반도체 소자의 사시도.
- 도 5는 본 발명의 일 실시예에 따른 수직 필라를 산화시키기 이전 도 4의 x1-x1' 및 y1-y1'를 자른 반도체 소자의 평면도.
- 도 6은 본 발명의 일 실시예에 따른 수직 필라를 산화시킨 후 도 4의 x1-x1' 및 y1-y1'를 자른 반도체 소자의 평면도.
- 도 7은 본 발명의 또 다른 실시예에 따른 수직 필라를 산화시키기 이전의 도 4의 x1-x1' 및 y1-y1'를 자른 반도체 소자의 평면도.

도 8은 본 발명의 또 다른 실시예에 따른 수직 필라를 산화시킨 후 도 4의 x_1-x_1' 및 y_1-y_1' 를 자른 반도체 소자의 평면도.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하에서는 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- [0037] 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 반도체 소자는 반도체 기판(100)이 식각되어 반도체 기판(100)으로부터 돌출되도록 형성된 수직 필라(104)와, 제 1 방향(I)으로 서로 인접한 수직 필라(104) 사이 저부에 매립되고 제 1 방향(I)과 수직하는 제 2 방향(II)으로 연장된 비트라인(112)과, 제 2 방향(II)으로 서로 인접한 수직 필라(104) 사이에 구비된 트렌치(T), 제 1 방향(I)으로 서로 인접한 수직 필라(104)의 양측에 구비되며 제 2 방향(II)으로 리세스(R)된 산화막(106)과, 산화막(106)의 측벽에 구비된 질화막(108)을 포함한다. 그리고, 제 1 방향(I)으로 서로 인접한 수직 필라(104) 사이를 매립하며 제 2 방향(II)으로 연장된 층간절연막(116)을 더 포함한다. 여기서, 층간절연막(116)은 산화막인 것이 바람직하다. 여기서, 수직 필라(104)는 제 1 방향(I)으로 연장되도록 수직 필라의 양측에 구비되는 게이트(미도시)에 의해 수직 채널을 갖는 것이 바람직하다.
- [0038] 상술한 사시도를 x_1-x_1' 및 y_1-y_1' 을 자른 평면도를 살펴보면 다음과 같다.
- [0039] 도 5에 도시된 바와 같이, 반도체 기판(100) 상에 제 2 방향(II)으로 연장된 하드마스크 패턴(102)을 형성하고, 하드마스크 패턴(102, 도 4 참조)을 식각마스크로 반도체 기판(100)을 식각하여 실리콘 라인패턴을 형성한다. 실리콘 라인패턴의 상부는 후속 공정에서 형성되는 트렌치(T)에 의해 수직 필라(104)를 정의한다.
- [0040] 이어서, 실리콘 라인패턴의 측벽에 산화막(106)을 형성하고, 실리콘 라인패턴 사이의 저부에 라이너 산화막(108)을 형성한다. 이어서, 제 1 방향(I)으로 서로 인접한 실리콘 라인패턴 사이의 표면에 배리어 금속층(110)을 형성하고, 실리콘 라인패턴 사이를 도전물질로 매립하며 배리어 금속층(110) 상부에 형성되는 비트라인(112)을 형성한다. 그 다음, 실리콘 라인패턴 상부에 질화막(114)을 형성한 후, 제 1 방향(I)으로 서로 인접한 실리콘 라인패턴의 사이를 매립하는 층간절연막(116)을 형성하고, 실리콘 라인패턴을 식각하여 제 1 방향(I)으로 연장된 트렌치(T)를 형성한다.
- [0041] 이어서, 산화막(106)에 습식 식각을 수행하여 리세스(R)를 형성한다. 여기서, 습식 식각은 HF가 함유된 식각용액(etchant)를 사용하여 수행하는 것이 바람직하다. HF가 함유된 식각용액을 사용하는 것은 산화막(106)을 선택적으로 식각하기 위함이다. 이 과정에서 층간절연막(116)이 산화막인 경우에는 층간절연막(116)도 함께 식각될 수 있다.
- [0042] 산화막(106)이 선택적으로 식각되어 형성된 리세스(R)는 수직 필라(104)의 네개의 모서리를 노출시킨다. 이와 같이 수직 필라(104)의 모서리를 노출시키는 것은, 수직 필라(104)의 모서리 부분과 중앙부가 산화되는 정도가 상이하여 수직 필라(104)의 모서리 부분이 침점형태와 같이 형성되는 불량을 방지하도록 한다. 따라서, 산화막(106)에 의해 노출된 수직 필라(104)의 표면에 균일한 두께를 갖는 산화막을 형성할 수 있다.
- [0043] 따라서, 수직 필라(104)의 폭(W1)이라 할 때, 수직 필라(104)의 폭(W1)은 질화막(108)의 폭(W3)과 동일한 것이 바람직하고, 산화막(106)의 폭(W2)은 리세스(R)로 인해 수직 필라(104)와 질화막(108)의 폭(W1,W3)보다 작은 것이 바람직하다. 이때, 층간절연막(116)의 폭(W4) 또한 리세스(R)로 인해 산화막(W2)의 폭과 동일한 것이 바람직하다.
- [0044] 도 6에 도시된 바와 같이, 산화막(106)에 의해 노출된 수직 필라(104)를 산화(oxidation)시켜 게이트 산화막(106a)을 형성한다. 이때, 게이트 산화막(106a)은 산화막(106)에 의해 노출된 수직 필라(104)에만 형성되지만, 수직 필라(104)의 측벽에 형성된 산화막과 동일한 물질이므로 통일하여 도시한다. 게이트 산화막(106a)산화막(106)에 의해 노출된 수직 필라(104)의 표면으로부터 균일한 두께로 형성되는 것이 바람직하다. 따라서, 수직 필라(104)의 모서리는 침점형태가 아닌 직각을 이루게되어 반도체 소자의 특성이 저하되는 것을 방지할 수 있다.
- [0045] 본 발명은 상술한 일 실시예에 한정되는 것은 아니고 다음의 설명과 같이 또 다른 실시예로 변경 가능하다. 본 발명의 또 다른 실시예의 반도체 소자는 비트라인과 후속 공정에서 형성되는 게이트의 전기적인 절연을 위해 수직 필라의 측벽에 구비된 질화막이 제거된 상태의 반도체 소자를 의미한다. 질화막이 제거된 상태의 반도체 소자는 도 7 및 도 8을 참조한다.

[0046] 도 7에 도시된 바와 같이, 수직 필라(204)의 제 1 방향(I) 측벽에 구비된 산화막(206)과, 산화막(206) 측벽에 구비된 층간절연막(208)을 포함한다. 여기서, 수직 필라(204)의 폭이 'W5'라 할 때, 산화막(206)의 폭(W6)은 리세스(R1)에 의해 수직 필라(204)의 폭(W5) 보다 작아 산화막(206)에 의해 수직 필라(204)의 네 모서리가 노출되고, 층간절연막(208)은 산화막이므로 산화막(206)의 폭(W6)과 층간절연막(208)의 폭(W7)은 산화막(206)의 폭(W6)과 동일한 것이 바람직하다.

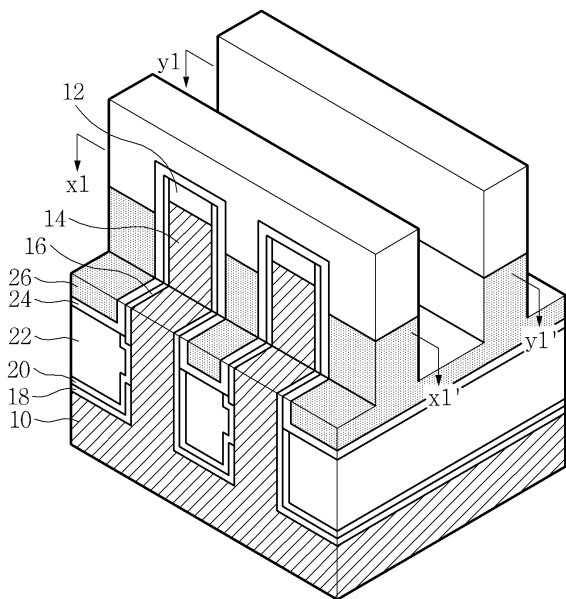
[0047] 도 8에 도시된 바와 같이, 산화막(206)에 의해 노출된 수직 필라(204)에 게이트 산화막(206a)을 형성한다. 이때, 게이트 산화막(206a)은 산화막(206)에 의해 노출된 수직 필라(204)에만 형성되지만, 수직 필라(204)의 측벽에 형성된 산화막과 동일한 물질이므로 통일하여 도시한다. 여기서 게이트 산화막(206a)은 산화막(106)에 의해 네 모서리가 노출된 수직 필라(204)에 균일한 두께로 형성되므로 수직 필라(204)의 모서리는 점점 형태가 아닌 직각을 이루게되어 반도체 소자의 특성이 저하되는 것을 방지할 수 있다.

[0048] 상술한 바와 같이, 본 발명은 수직 필라에 게이트 산화막을 형성하는 경우 수직 필라의 네 모서리를 노출시켜 모서리 부분과 중앙부의 산화되는 정도가 동일하게 함으로써 반도체 소자에서 유발되는 불량을 방지할 수 있다.

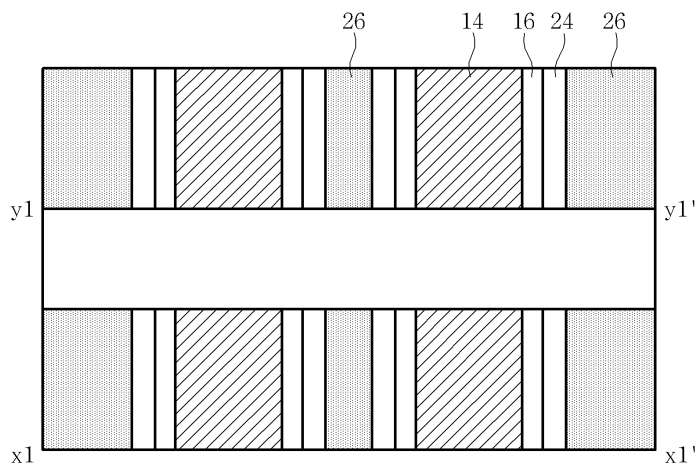
[0049] 본 발명은 기재된 실시예에 한정하는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않는 한 다양하게 수정 및 변형을 할 수 있음은 당업자에게 자명하다고 할 수 있는 바, 그러한 변형예 또는 수정예들은 본 발명의 특허 청구범위에 속하는 것이다.

도면

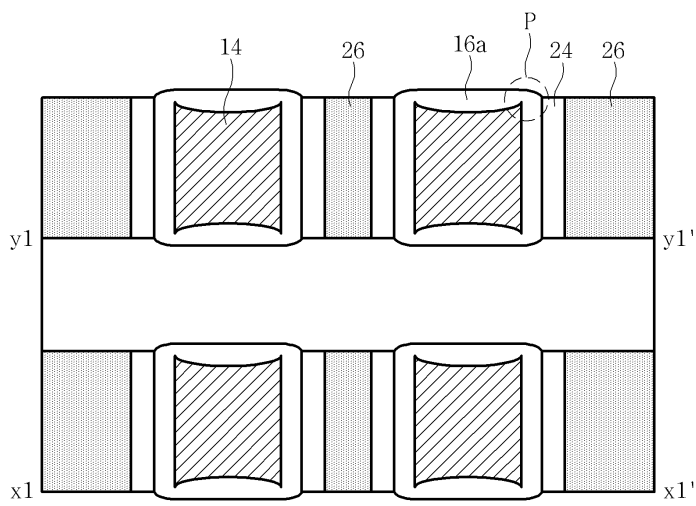
도면1



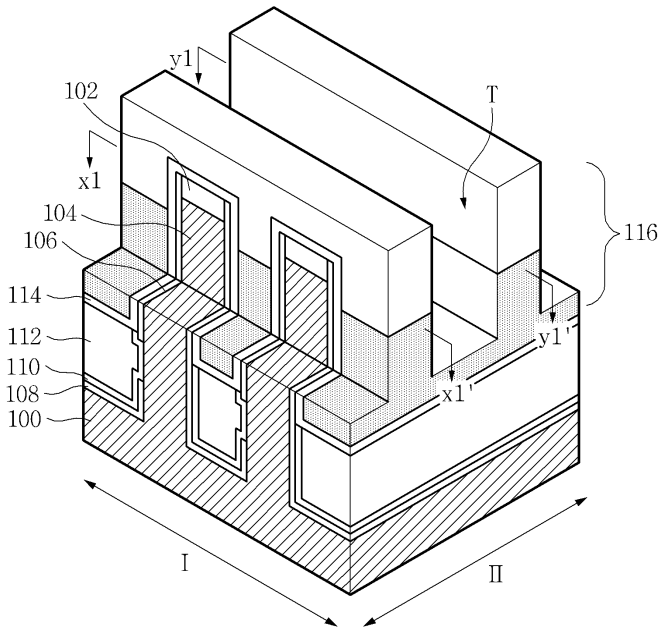
도면2



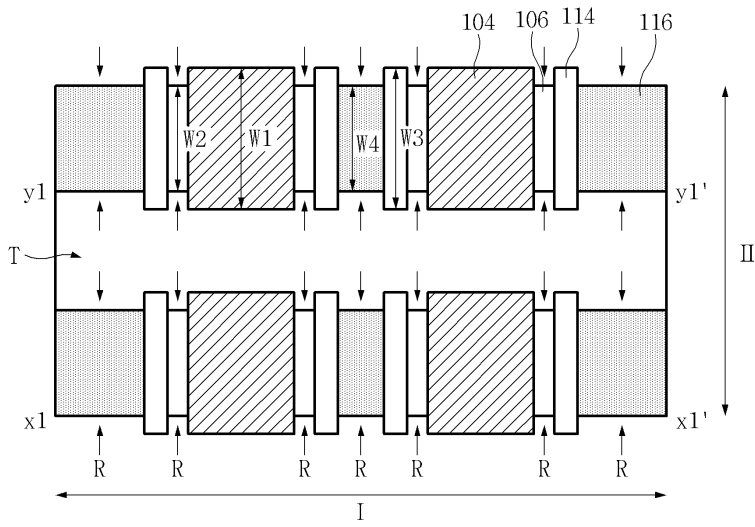
도면3



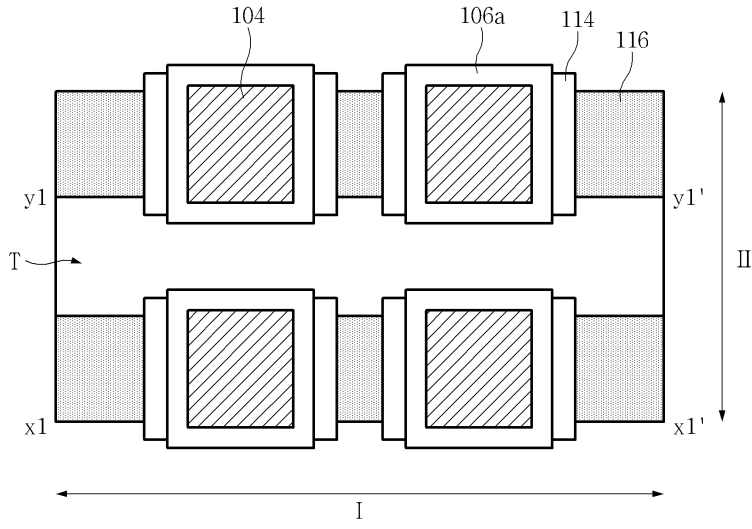
도면4



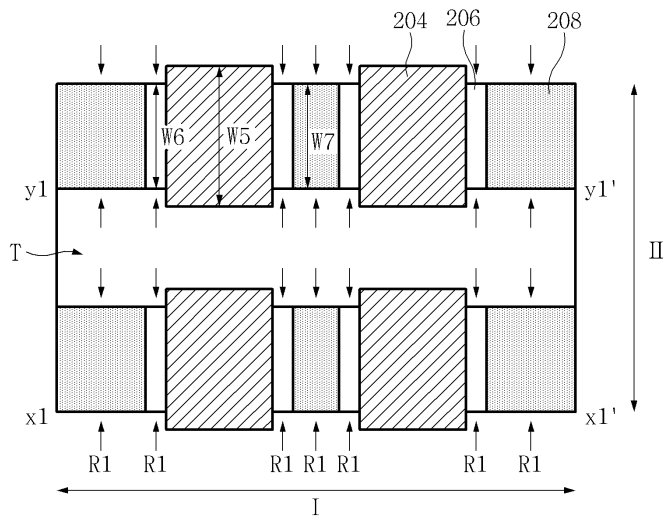
도면5



도면6



도면7



도면8

