

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5580355号
(P5580355)

(45) 発行日 平成26年8月27日(2014.8.27)

(24) 登録日 平成26年7月18日(2014.7.18)

(51) Int.Cl.

F I

HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 X
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 N
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 O 1 S
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 C
HO 1 L 29/06 (2006.01)	HO 1 L 27/08 3 2 1 E

請求項の数 14 (全 36 頁) 最終頁に続く

(21) 出願番号 特願2012-54541 (P2012-54541)
 (22) 出願日 平成24年3月12日(2012.3.12)
 (65) 公開番号 特開2013-191596 (P2013-191596A)
 (43) 公開日 平成25年9月26日(2013.9.26)
 審査請求日 平成26年2月10日(2014.2.10)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118843
 弁理士 赤岡 明
 (74) 代理人 100124372
 弁理士 山ノ井 傑

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板の表面に形成され、(110)面である側面を有するフィンと、
 前記フィンの側面に形成されたゲート絶縁膜と、
 前記フィンの側面および上面に、前記ゲート絶縁膜を介して形成されたゲート電極と、
 前記フィンの側面に、フィン高さ方向に沿って順に形成された複数のエピタキシャル層と、

前記半導体基板上に前記フィンを覆うように形成され、前記フィンと前記エピタキシャル層とに応力を印加する層間絶縁膜とを備え、

前記フィン高さ方向に隣接する前記エピタキシャル層間の隙間の間隔と、最下層の前記エピタキシャル層と前記層間絶縁膜の底面との間の隙間の間隔は、前記隙間の位置が高くなるほど狭くなるまたは広くなり、

前記層間絶縁膜は、前記フィンに対し、前記フィン高さ方向の圧縮応力または引張応力印加する、半導体装置。

【請求項2】

半導体基板と、
 前記半導体基板の表面に形成されたフィンと、
 前記フィンの側面に形成されたゲート絶縁膜と、
 前記フィンの側面および上面に、前記ゲート絶縁膜を介して形成されたゲート電極と、

10

20

前記フィンの側面に、フィン高さ方向に沿って順に形成された複数のエピタキシャル層と、

前記半導体基板上に前記フィンを覆うように形成され、前記フィンと前記エピタキシャル層とに応力を印加する層間絶縁膜とを備え、

前記フィン高さ方向に隣接する前記エピタキシャル層間の隙間の間隔と、最下層の前記エピタキシャル層と前記層間絶縁膜の底面との間の隙間の間隔は、前記隙間が位置する高さに応じて変化する、半導体装置。

【請求項 3】

前記フィン高さ方向に隣接する前記エピタキシャル層間の隙間の間隔と、最下層の前記エピタキシャル層と前記層間絶縁膜の底面との間の隙間の間隔は、前記隙間の位置が高くなるほど狭くなるまたは広がる、請求項 2 に記載の半導体装置。

10

【請求項 4】

前記フィンの側面は、(110)面である、請求項 2 または 3 に記載の半導体装置。

【請求項 5】

前記層間絶縁膜は、前記フィンに対し、前記フィン高さ方向の圧縮応力または引張応力印加する、請求項 2 から 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

半導体基板と、

前記半導体基板の表面に形成され、第 1 材料で形成された 1 層以上の第 1 の層と、前記第 1 材料と異なる第 2 材料で形成された 1 層以上の第 2 の層とを交互に含むフィンと、

20

前記フィンの側面に形成されたゲート絶縁膜と、

前記フィンの側面および上面に、前記ゲート絶縁膜を介して形成されたゲート電極と、個々の前記第 2 の層の側面に形成された複数のエピタキシャル層と、

前記半導体基板上に前記フィンを覆うように形成され、前記フィンと前記エピタキシャル層とに応力を印加する層間絶縁膜とを備え、

フィン高さ方向に隣接する前記エピタキシャル層間の隙間の間隔と、最下層の前記エピタキシャル層と前記層間絶縁膜の底面との間の隙間の間隔は、前記隙間が位置する高さに応じて変化する、半導体装置。

【請求項 7】

前記第 1 材料は、第 1 の半導体材料であり、前記第 2 材料は、前記第 1 の半導体材料と異なる第 2 の半導体材料である、請求項 6 に記載の半導体装置。

30

【請求項 8】

さらに、個々の前記第 1 の層の側面に形成された複数のエピタキシャル層を備える、請求項 7 に記載の半導体装置。

【請求項 9】

前記フィン内において、前記第 1 の層の側面は、前記第 2 の層の側面に対し後退している、請求項 7 に記載の半導体装置。

【請求項 10】

前記フィン内において、前記第 1 の層の側面が後退している領域に、絶縁膜が埋め込まれている、請求項 9 に記載の半導体装置。

40

【請求項 11】

前記第 1 材料は絶縁材料であり、前記第 2 材料は半導体材料である、請求項 6 に記載の半導体装置。

【請求項 12】

前記フィン内において、前記第 1 の層のフィン延伸方向に垂直な側面は、前記第 2 の層のフィン延伸方向に垂直な側面に対し後退しており、

前記フィン内において、前記第 1 の層の前記側面が後退している領域に、前記層間絶縁膜が埋め込まれており、

前記第 1 の層の前記側面の後退量は、前記第 1 の層が位置する高さに応じて変化する、請求項 6 に記載の半導体装置。

50

【請求項 13】

半導体基板と、
 前記半導体基板上に、互いに離間して積層された複数本のワイヤ層と、
 個々の前記ワイヤ層の上面、下面、および側面に形成された複数のゲート絶縁膜と、
 前記複数本のワイヤ層の上面、下面、および側面に、前記複数のゲート絶縁膜を介して
 形成されたゲート電極と、
 個々の前記ワイヤ層の側面に形成された複数のエピタキシャル層と、
 前記半導体基板上に前記複数本のワイヤ層を覆うように形成され、前記ワイヤ層と前記
 エピタキシャル層とに応力を印加する層間絶縁膜とを備え、
 高さ方向に隣接する前記エピタキシャル層間の隙間の間隔と、最下層の前記エピタキシ
 ャル層と前記層間絶縁膜の底面との間の隙間の間隔は、前記隙間が位置する高さに応じて
 変化する、半導体装置。

10

【請求項 14】

半導体基板と、
 前記半導体基板の表面に形成され、第1材料で形成された1層以上の第1の層と、前記
 第1材料と異なる第2材料で形成された1層以上の第2の層とを交互に含むフィンと、
 前記フィンの側面に形成されたゲート絶縁膜と、
 前記フィンの側面および上面に、前記ゲート絶縁膜を介して形成されたゲート電極と、
 個々の前記第2の層の側面に形成された複数のエピタキシャル層と、
 前記半導体基板上に前記フィンを覆うように形成され、前記フィンと前記エピタキシ
 ャル層とに応力を印加する層間絶縁膜とを備え、
 前記フィン内において、前記第1の層のフィン延伸方向に垂直な側面は、前記第2の層
 のフィン延伸方向に垂直な側面に対し後退しており、
 前記フィン内において、前記第1の層の前記側面が後退している領域に、前記層間絶縁
 膜が埋め込まれており、
 前記第1の層の前記側面の後退量は、前記第1の層が位置する高さに応じて変化する、
 半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

30

【背景技術】

【0002】

65nm世代以降のロジックLSIでは、ストレスライナーなどのストレス印加技術により、プレーナ型MOSFETのチャンネル移動度を向上させているが、LSIの高集積化に伴いチャンネルにストレスを印加しにくくなる。例えばプレーナ型MOSFETのゲートピッチが小さくなると、狭いゲートスペース内にストレスライナーが閉塞して、チャンネルにストレスが印加しにくくなることが知られている。ストレスライナーを薄膜化すると閉塞は回避されるが、膜自体の応力が減少するため、チャンネルに十分なストレスをかけることができなくなる。

40

【0003】

一方、フィンFETは、プレーナ型MOSFETより短チャンネル効果に強く、微細化に有利なトランジスタとして注目されているが、フィン幅が微細化するとチャンネル移動度が劣化することが知られており、移動度向上技術の導入が必要である。プレーナ型MOSFETに有効なストレス印加技術は、フィンFETに対しても有効であることが報告されているが、プレーナ型MOSFETの場合と同様、LSIの高集積化に伴いフィンFETのチャンネルにストレスを印加することが難しくなる。このため、LSIを高集積化してもフィンFETのチャンネル移動度の向上が可能なストレス印加技術が求められている。

【先行技術文献】

【非特許文献】

50

【 0 0 0 4 】

【非特許文献1】A. Oishi et al. “High Performance CMOSFET Technology for 45nm Generation and Scalability of Stress-Induced Mobility Enhancement Technique”, IEDM05 239-242

【非特許文献2】A. Hubert et al. “A stacked SONOS technology, up to 4 levels and 6nm crystalline nanowires, with gate-all-around or independent gates (-Frash), suitable for full 3D integration”, IEDM09 637-640

【非特許文献3】Jack T. Kavalieros “Novel Device Architectures and Material Innovations”, VLSI Symposium 2008 Technology Short Course, p.43

【発明の概要】

10

【発明が解決しようとする課題】

【 0 0 0 5 】

高集積化してもフィンFETのチャネル移動度向上が可能な半導体装置を提供する。

【課題を解決するための手段】

【 0 0 0 6 】

一の実施形態によれば、半導体装置は、半導体基板と、前記半導体基板の表面に形成されたフィンとを備える。さらに、前記装置は、前記フィンの側面に形成されたゲート絶縁膜と、前記フィンの側面および上面に、前記ゲート絶縁膜を介して形成されたゲート電極とを備える。さらに、前記装置は、前記フィンの側面に、フィン高さ方向に沿って順に形成された複数のエピタキシャル層と、前記半導体基板上に前記フィンを覆うように形成され、前記フィンと前記エピタキシャル層とに応力を印加する層間絶縁膜とを備える。さらに、前記フィン高さ方向に隣接する前記エピタキシャル層間の隙間の間隔と、最下層の前記エピタキシャル層と前記層間絶縁膜の底面との間の隙間の間隔は、前記隙間が位置する高さに応じて変化する。

20

【図面の簡単な説明】

【 0 0 0 7 】

【図1】第1実施形態の半導体装置の構造を示す平面図と断面図である。

【図2】ポリシラザンとシリコン酸化膜の構造式を示した図である。

【図3】フィンに印加される応力と移動度の変化率との関係を示したグラフである。

【図4】第1実施形態の半導体装置の製造方法を示す断面図(1/27)である。

30

【図5】第1実施形態の半導体装置の製造方法を示す断面図(2/27)である。

【図6】第1実施形態の半導体装置の製造方法を示す断面図(3/27)である。

【図7】第1実施形態の半導体装置の製造方法を示す断面図(4/27)である。

【図8】第1実施形態の半導体装置の製造方法を示す断面図(5/27)である。

【図9】第1実施形態の半導体装置の製造方法を示す断面図(6/27)である。

【図10】第1実施形態の半導体装置の製造方法を示す断面図(7/27)である。

【図11】第1実施形態の半導体装置の製造方法を示す断面図(8/27)である。

【図12】第1実施形態の半導体装置の製造方法を示す断面図(9/27)である。

【図13】第1実施形態の半導体装置の製造方法を示す断面図(10/27)である。

【図14】第1実施形態の半導体装置の製造方法を示す断面図(11/27)である。

40

【図15】第1実施形態の半導体装置の製造方法を示す断面図(12/27)である。

【図16】第1実施形態の半導体装置の製造方法を示す断面図(13/27)である。

【図17】第1実施形態の半導体装置の製造方法を示す断面図(14/27)である。

【図18】第1実施形態の半導体装置の製造方法を示す断面図(15/27)である。

【図19】第1実施形態の半導体装置の製造方法を示す断面図(16/27)である。

【図20】第1実施形態の半導体装置の製造方法を示す断面図(17/27)である。

【図21】第1実施形態の半導体装置の製造方法を示す断面図(18/27)である。

【図22】第1実施形態の半導体装置の製造方法を示す断面図(19/27)である。

【図23】第1実施形態の半導体装置の製造方法を示す断面図(20/27)である。

【図24】第1実施形態の半導体装置の製造方法を示す断面図(21/27)である。

50

- 【図25】第1実施形態の半導体装置の製造方法を示す断面図(22/27)である。
- 【図26】第1実施形態の半導体装置の製造方法を示す断面図(23/27)である。
- 【図27】第1実施形態の半導体装置の製造方法を示す断面図(24/27)である。
- 【図28】第1実施形態の半導体装置の製造方法を示す断面図(25/27)である。
- 【図29】第1実施形態の半導体装置の製造方法を示す断面図(26/27)である。
- 【図30】第1実施形態の半導体装置の製造方法を示す断面図(27/27)である。
- 【図31】第1実施形態の変形例の半導体装置の構造を示す平面図と断面図である。
- 【図32】第1実施形態の変形例の半導体装置の構造を示す平面図と断面図である。
- 【図33】第2実施形態の半導体装置の構造を示す平面図と断面図である。
- 【図34】第2実施形態の半導体装置の製造方法を示す断面図(1/4)である。 10
- 【図35】第2実施形態の半導体装置の製造方法を示す断面図(2/4)である。
- 【図36】第2実施形態の半導体装置の製造方法を示す断面図(3/4)である。
- 【図37】第2実施形態の半導体装置の製造方法を示す断面図(4/4)である。
- 【図38】第2実施形態の半導体装置の製造方法の詳細を示す断面図である。
- 【図39】第3実施形態の半導体装置の構造を示す平面図と断面図である。
- 【図40】第3実施形態の半導体装置の製造方法を示す断面図(1/4)である。
- 【図41】第3実施形態の半導体装置の製造方法を示す断面図(2/4)である。
- 【図42】第3実施形態の半導体装置の製造方法を示す断面図(3/4)である。
- 【図43】第3実施形態の半導体装置の製造方法を示す断面図(4/4)である。
- 【図44】第3実施形態の変形例の半導体装置の構造を示す平面図と断面図である。 20
- 【図45】第4実施形態の半導体装置の構造を示す平面図と断面図である。
- 【図46】第4実施形態の半導体装置の製造方法を示す断面図(1/9)である。
- 【図47】第4実施形態の半導体装置の製造方法を示す断面図(2/9)である。
- 【図48】第4実施形態の半導体装置の製造方法を示す断面図(3/9)である。
- 【図49】第4実施形態の半導体装置の製造方法を示す断面図(4/9)である。
- 【図50】第4実施形態の半導体装置の製造方法を示す断面図(5/9)である。
- 【図51】第4実施形態の半導体装置の製造方法を示す断面図(6/9)である。
- 【図52】第4実施形態の半導体装置の製造方法を示す断面図(7/9)である。
- 【図53】第4実施形態の半導体装置の製造方法を示す断面図(8/9)である。
- 【図54】第4実施形態の半導体装置の製造方法を示す断面図(9/9)である。 30
- 【図55】第5実施形態の半導体装置の構造を示す断面図である。
- 【図56】第5実施形態の半導体装置の製造方法を示す断面図(1/3)である。
- 【図57】第5実施形態の半導体装置の製造方法を示す断面図(2/3)である。
- 【図58】第5実施形態の半導体装置の製造方法を示す断面図(3/3)である。
- 【発明を実施するための最良の形態】

【0008】

以下、本発明の実施形態を、図面を参照して説明する。

【0009】

(第1実施形態)

図1は、第1実施形態の半導体装置の構造を示す平面図と断面図である。図1(a)は、半導体装置の平面構造を示す平面図に相当し、図1(b)、図1(c)はそれぞれ、図1(a)に示すI-I'線、J-J'線に沿った断面図に相当する。 40

【0010】

図1の半導体装置は、フィンFETの構成要素として、半導体基板101と、フィン111と、ハードマスク層121と、ゲート絶縁膜131と、ゲート電極132と、キャップ層133と、側壁絶縁膜134と、エピタキシャル層141と、シリサイド層142と、層間絶縁膜151を備えている。

【0011】

半導体基板101は、例えばシリコン基板である。図1には、半導体基板101の主面に平行で、互いに垂直なX方向およびY方向と、半導体基板101の主面に垂直なZ方向 50

が示されている。図1にはさらに、半導体基板101の表面に、フィン111を部分的に埋め込むように形成された素子分離絶縁膜102が示されている。素子分離絶縁膜102は、例えばシリコン酸化膜である。

【0012】

フィン111は、半導体基板101の表面に形成されている。図1には、フィンFETを構成する2本のフィン111が示されている。これらのフィン111は、Y方向に伸びており、X方向に互いに隣接している。Z方向は、これらのフィン111のフィン高さ方向に相当する。なお、本実施形態のフィン111は、半導体基板101の表面部分をエッチングすることで形成される。

【0013】

図1に示す符号 S_1 は、フィン111の側面を示す。側面 S_1 は、(110)面に相当する。また、符号 H_1 は、フィン111の高さを示し、符号 H_2 は、フィン111の、素子分離絶縁膜102から露出した部分の高さを示す。高さ H_2 は、例えば50nm以上である。また、符号Wは、フィン111のX方向の幅を示す。

【0014】

図1にはさらに、フィン111内に形成されたパンチスルーストップ拡散層112と、フィン111およびエピタキシャル層141内に形成されたソース/ドレイン(S/D)拡散層113が示されている。パンチスルーストップ拡散層112は、図1(b)と図1(c)に示すように、素子分離絶縁膜102間に挟まれたフィン111のボトム領域に形成されている。また、S/D拡散層113は、図1(c)に示すように、フィン111内におけるパンチスルーストップ拡散層112の上方と、エピタキシャル層141内に形成されている。本実施形態のパンチスルーストップ拡散層112、S/D拡散層113はそれぞれ、p型拡散層、n型拡散層である。

【0015】

ハードマスク層121は、フィン111の上面に形成されている。ハードマスク層121は、例えばシリコン窒化膜である。

【0016】

ゲート絶縁膜131は、図1(b)に示すように、フィン111の側面に形成されている。また、ゲート電極132は、フィン111の側面および上面に、ゲート絶縁膜131とハードマスク層121を介して形成されている。ゲート絶縁膜131は、例えばシリコン酸化膜である。また、ゲート電極132は、例えばポリシリコン層である。

【0017】

キャップ層133は、ゲート電極132の上面に形成されている。また、側壁絶縁膜134は、図1(a)に示すように、ゲート電極132とキャップ層133のY方向の側面に形成されている。キャップ層133は、例えばシリコン窒化膜である。また、側壁絶縁膜134は、例えばシリコン窒化膜である。

【0018】

図1(b)が、ゲート絶縁膜131とゲート電極132を横切るI-I'線でフィン111を切断した断面を示すのに対し、図1(c)は、フィン111内のS/D領域を横切るJ-J'線でフィン111を切断した断面を示す。

【0019】

エピタキシャル層141は、図1(c)に示すように、三角形の断面形状を有しており、フィン111の側面 S_1 に形成されている。本実施形態では、フィン111の各側面 S_1 に、3個のエピタキシャル層141が、Z方向に沿って順に形成されている。よって、本実施形態によれば、フィン111の各側面 S_1 に大きなエピタキシャル層141を1個だけ形成する場合と比べると、隣接するフィン111同士のショートを回避しつつ、エピタキシャル層141の表面積を広く確保することができる。エピタキシャル層141は、例えばシリコン層である。

【0020】

図1(c)に示す符号 S_2 は、エピタキシャル層141のファセット面を示す。ファセッ

10

20

30

40

50

ト面 S_2 は、(111)面に相当する。また、符号 T は、エピタキシャル層 141 の厚さ、すなわち、フィン 111 の側面 S_1 からエピタキシャル層 141 の頂点までの距離を示す。本実施形態における厚さ T は、15 ~ 25 nm、例えば 20 nm である。

【0021】

なお、本実施形態では、フィン 111 の各側面 S_1 に、3 個のエピタキシャル層 141 が形成されているが、各側面 S_1 のエピタキシャル層 141 の個数は、2 個でもよいし、4 個以上でもよい。

【0022】

また、フィン 111 の各側面 S_1 のエピタキシャル層 141 の厚さ T は、本実施形態のようにほぼ均一にしてもよいし、あるいは不均一にしてもよい。

10

【0023】

シリサイド層 142 は、エピタキシャル層 141 内のファセット面 S_2 付近に形成されている。本実施形態におけるシリサイド層 142 の厚さは、5 ~ 15 nm、例えば 10 nm である。各エピタキシャル層 141 は、その全体がシリサイド化されていてもよいし、その一部分のみがシリサイド化されていてもよい。また、各エピタキシャル層 141 は、シリサイド化されていなくてもよい。

【0024】

層間絶縁膜 151 は、図 1 に示すように、半導体基板 101 上にフィン 111 を覆うように形成されている。層間絶縁膜 151 は、例えばシリコン酸化膜である。本実施形態の層間絶縁膜 151 は、エピタキシャル層 141 に応力を印加する作用を有している。この応力の詳細については、後述する。

20

【0025】

図 1(c) に示す符号 D_1 は、最下層のエピタキシャル層 141 と層間絶縁膜 151 の底面との間の隙間の間隔を示す。また、符号 D_2 、 D_3 は、Z 方向に隣接するエピタキシャル層 141 間の隙間の間隔を示す。

【0026】

本実施形態では、これらの間隔 $D_1 \sim D_3$ は、これらの隙間が位置する高さに応じて変化するように設定されている。具体的には、間隔 $D_1 \sim D_3$ は、隙間の位置が高くなるほど狭くなるように設定されている。すなわち、 $D_1 > D_2 > D_3$ (ただし $D_1 = D_2 = D_3$ は除く) となっている。図 1(c) には、その一例として、 $D_1 > D_2 > D_3$ となるように形成されたエピタキシャル層 141 が示されている。

30

【0027】

(1) 層間絶縁膜 151 の詳細

次に、図 2、図 3 を参照し、層間絶縁膜 151 の詳細について説明する。

【0028】

図 2 は、ポリシラザン (PSZ) とシリコン酸化膜の構造式を示した図である。

【0029】

本実施形態では、層間絶縁膜 151 として、ポリシラザンから形成されたシリコン酸化膜を使用する。図 2(a) は、ポリシラザンの構造式を示し、図 2(b) は、シリコン酸化膜の構造式を示す。

40

【0030】

ポリシラザンは、 $-(SiH_2NH)_-$ を基本ユニットとする無機ポリマーであり、有機溶媒に可溶である。ポリシラザンの正式名称は、ペルヒドロポリシラザン (PHPS) である。ポリシラザンの有機溶媒溶液を塗布して大気中で焼成すると、ポリシラザンが水や酸素と反応して、緻密な高純度シリカ (アモルファス SiO_2) が得られる。焼成温度は、例えば 400 ~ 650 (例えば 450 程度) である。焼成して得られるシリコン酸化膜は、ポリシラザンよりも膜密度が上昇すると共に、焼成時に膜収縮が起こることが知られている。

【0031】

ポリシラザンから形成したシリコン酸化膜には、埋め込み性が良いという性質がある。

50

よって、本実施形態では、層間絶縁膜 151 をポリシラザンから形成することで、フィン 111 同士の間隔や、エピタキシャル層 141 同士の間隔が狭くても、これらの間の隙間に層間絶縁膜 151 を埋め込むことができる。

【0032】

層間絶縁膜 151 を形成する際には、半導体基板 101 上にフィン FET を形成し、その後、半導体基板 101 上にポリシラザンの有機溶媒溶液を塗布して焼成することで、シリコン酸化膜を形成する。この際、 D_1 のように広いスペースに埋め込まれたシリコン酸化膜は、 D_3 のように狭いスペースに埋め込まれたシリコン酸化膜よりもスペース内の膜のポリウムが大きいいため、膜収縮による応力が大きい。

【0033】

本実施形態では、間隔 $D_1 \sim D_3$ は、 $D_1 > D_2 > D_3$ となるように設定されている。そのため、各エピタキシャル層 141 の上部の層間絶縁膜 151 と下部の層間絶縁膜 151 が有する膜収縮応力が異なる。よって、層間絶縁膜 151 が各エピタキシャル層 141 に印加する応力には、上下方向にアンバランスが生じる。すなわち、各エピタキシャル層 141 に上部から印加される応力と下部から印加される応力は、異なる大きさとなる。

【0034】

その結果、本実施形態では、各エピタキシャル層 141 に下向きの力が加わり、この力がフィン 111 に加わる。よって、本実施形態では、フィン 111 に対し Z 方向の圧縮応力が印加されることとなる。このような圧縮応力には、後述するように、フィン 111 の側面チャネルの面方位が (110) である場合に側面チャネルの電子移動度を向上させる効果がある。

【0035】

図 3 は、フィン 111 に印加される応力と電子移動度の変化率との関係を示したグラフである。

【0036】

図 3 では、フィン 111 の側面 S_1 は (110) 面であり、フィン FET は n FET である。直線 A、B、C はそれぞれ、フィン 111 に対し X 方向、Y 方向、Z 方向の応力を印加した際の (110) 側面チャネル内の電子移動度の変化率を示している。

【0037】

図 3 に示すように、フィン 111 に対し Z 方向の圧縮応力を印加すると、電子移動度が向上することが分かる。そこで、本実施形態では、側面チャネル面が (110) 面である n FET に対し、Z 方向の圧縮応力を印加する。これにより、側面チャネル内での電子移動度を向上させ、FET の性能を向上させることができる。

【0038】

なお、図 3 によれば、X 方向や Y 方向への引張応力の印加よりも、Z 方向への圧縮応力の印加の方が、電子移動度の向上率が良好であることが分かる。

【0039】

なお、本実施形態では、フィン FET を p FET としてもよい。この場合には、間隔 $D_1 \sim D_3$ を $D_1 < D_2 < D_3$ となるように設定することで、フィン 111 に Z 方向の引張応力を印加する。これにより、フィン 111 の側面チャネルの面方位が (110) である場合に、側面チャネル内でのホール移動度を向上させることができる。

【0040】

また、本実施形態では、側面 S_1 の面方位を (110) 面以外に設定してもよい。この場合には、フィン 111 の側面チャネルでの応力と移動度変化の関係が、図 3 の特性とは逆になることもある。そのような場合には、n FET、p FET に対し、それぞれ Z 方向の引張応力、圧縮応力を印加してもよい。

【0041】

また、本実施形態では、間隔 $D_1 \sim D_3$ を $D_1 > D_2 > D_3$ としているが、 $D_1 = D_2 = D_3$ でなければ、間隔 $D_1 \sim D_3$ を $D_1 = D_2 = D_3$ としてもよい。この例としては、 $D_1 = D_2 > D_3$ という設定や、 $D_1 > D_2 = D_3$ という設定が考えられる。ただし、 $D_1 > D_2 > D_3$ という設

10

20

30

40

50

定には、 D_1 、 D_2 、 D_3 という設定に比べて、すべてのエピタキシャル層 1 4 1 に応力を印加できるという利点がある。

【 0 0 4 2 】

また、本実施形態では、層間絶縁膜 1 5 1 を、ポリシラザン以外の材料から形成してもよいし、また、シリコン酸化膜以外の絶縁膜としてもよい。また、層間絶縁膜 1 5 1 は、2層以上の絶縁膜を含んでいてもよい。ただし、層間絶縁膜 1 5 1 は、埋め込み性が良好で、膜収縮が起こる材料から形成することが望ましい。

【 0 0 4 3 】

(2) 第 1 実施形態の半導体装置の製造方法

次に、図 4 ~ 図 3 0 を参照し、第 1 実施形態の半導体装置の製造方法を説明する。

10

【 0 0 4 4 】

図 4 ~ 図 3 0 は、第 1 実施形態の半導体装置の製造方法を示す断面図である。図 4 (a)、図 5 (a)、・・・図 3 0 (a) は、I - I ' 線に沿った断面図に相当し、図 4 (b)、図 5 (b)、・・・図 3 0 (b) は、J - J ' 線に沿った断面図に相当する。

【 0 0 4 5 】

まず、半導体基板 1 0 1 上にハードマスク層 1 2 1 を堆積する。次に、リソグラフィと R I E (Reactive Ion Etching) により、ハードマスク層 1 2 1 を、フィン 1 1 1 を形成するためのマスクパターンに加工する (図 4)。

【 0 0 4 6 】

次に、図 5 に示すように、ハードマスク層 1 2 1 をマスクとする R I E により、半導体基板 1 0 1 の表面部分をエッチングする。その結果、半導体基板 1 0 1 の表面に、フィン 1 1 1 が形成される。なお、フィン 1 1 1 は、側面 S_1 が (1 1 0) 面となるように形成される。

20

【 0 0 4 7 】

次に、半導体基板 1 0 1 上の全面に、素子分離絶縁膜 1 0 2 の材料となる絶縁膜 1 0 2 を堆積してフィン 1 1 1 間に埋め込み、C M P (Chemical Mechanical Polishing) により、この絶縁膜 1 0 2 の表面を平坦化する (図 6)。

【 0 0 4 8 】

次に、図 7 に示すように、ウェットエッチングまたは R I E により、絶縁膜 1 0 2 の表面を後退させる。その結果、S T I (Shallow Trench Isolation) 絶縁膜である素子分離絶縁膜 1 0 2 が形成される。

30

【 0 0 4 9 】

次に、図 8 に示すように、フィン 1 1 1 内に、不純物イオンを、半導体基板 1 0 1 の主面に対し垂直に低加速エネルギーで注入する。その結果、フィン 1 1 1 内における素子分離絶縁膜 1 0 2 間に、パンチスルーストップ拡散層 1 1 2 が形成される。使用するイオン種は、例えば B (ボロン) または I n (インジウム) である。

【 0 0 5 0 】

次に、図 9 に示すように、熱酸化により、フィン 1 1 1 の側面に、ゲート絶縁膜 1 3 1 用の絶縁膜 1 3 1 を形成する。次に、図 1 0 に示すように、半導体基板 1 0 1 上の全面に、ゲート電極 1 3 2 用の電極材 1 3 2 と、キャップ層 1 3 3 を順に堆積する。

40

【 0 0 5 1 】

次に、図 1 1 に示すように、キャップ層 1 3 3 を加工してゲート電極 1 3 2 のハードマスクを形成した後、R I E により、電極材 1 3 2 をエッチングして、ゲート電極 1 3 2 を形成する。図 1 1 (b) にて、電極材 1 3 2 が除去されている点に留意されたい。次に、図 1 2 に示すように、ウェットエッチングにより、S / D 領域のフィン側面の絶縁膜 1 3 1 を除去する。図 1 2 (b) にて、絶縁膜 1 3 1 が除去されている点に留意されたい。このようにして、フィン 1 1 1 の側面および上面に、ゲート絶縁膜 1 3 1 とハードマスク層 1 2 1 を介して、ゲート電極 1 3 2 が形成される。

【 0 0 5 2 】

次に、図 1 3 に示すように、C V D (Chemical Vapor Deposition) と R I E により、

50

フィン 1 1 1 の X 方向の側面と、ゲート電極 1 3 2 とキャップ層 1 3 3 の X 方向および Y 方向の側面に、側壁絶縁膜 1 3 4 を形成する。前者の側壁絶縁膜 1 3 4 は図 1 3 (b) に示されており、後者の側壁絶縁膜 1 3 4 は図 1 3 (a) と図 1 (a) に示されている。図 1 3 (a) と図 1 3 (b) に示す側壁絶縁膜 1 3 4 は、図 1 4 に示す斜めイオン照射後に、ウェットエッチングにより除去される (図 1 5)。斜めイオン照射で使用するイオン種は、例えば Xe (キセノン) である。

【 0 0 5 3 】

次に、半導体基板 1 0 1 上の全面に、エピタキシャル層 1 4 1 の形成処理に利用するための絶縁膜 1 6 1 を堆積する (図 1 6)。その結果、フィン 1 1 1 が絶縁膜 1 6 1 で覆われる。絶縁膜 1 6 1 は、例えばシリコン酸化膜である。

10

【 0 0 5 4 】

次に、図 1 7 に示すように、ウェットエッチングまたは R I E により、絶縁膜 1 6 1 の上面の高さが低くなるよう、絶縁膜 1 6 1 の上面を後退させる。その結果、フィン 1 1 1 の一部分が露出する。次に、図 1 8 に示すように、S E G (Selective Epitaxial Growth) により、露出したフィン 1 1 1 の各側面 S_1 に、1 つのエピタキシャル層 1 4 1 を形成する。なお、ゲート電極 1 3 2 がポリシリコン層の場合には、S E G により、ゲート電極 1 3 2 の X 方向の側面にもエピタキシャル層 1 4 1 が形成される。この場合、隣接するゲート電極 1 3 2 間のスペースを十分に確保しておくことで、ゲート電極 1 3 2 同士のショートを防止できる。

【 0 0 5 5 】

20

次に、図 1 9 に示すように、ウェットエッチングまたは等方性ドライエッチングにより、絶縁膜 1 6 1 の上面を幅 D_3 だけ後退させる。次に、図 2 0 に示すように、フィン 1 1 1 とエピタキシャル層 1 4 1 の表面に保護膜 1 6 2 を形成する。保護膜 1 6 2 の材料としては、絶縁膜 1 6 1 の上面を後退させる際に絶縁膜 1 6 1 よりもエッチングされにくい材料を使用する。保護膜 1 6 2 は例えば、シリコンの酸化により形成されたシリコン酸化膜、またはシリコンの酸化および窒化により形成されたシリコン酸窒化膜である。

【 0 0 5 6 】

次に、図 1 7 の工程と同様の後退処理 (第 1 後退処理) と、図 1 8 の工程と同様のエピタキシャル成長処理を、再度実行する (図 2 1、図 2 2)。図 2 1 の工程では、保護膜 1 6 2 が残存しつつ、絶縁膜 1 6 1 の上面が後退することとなる。よって、図 2 2 の工程では、保護膜 1 6 2 で覆われていないフィン 1 1 1 の側面 S_1 のみにエピタキシャル層 1 4 1 が成長する。その結果、フィン 1 1 1 の各側面 S_1 に、2 つ目のエピタキシャル層 1 4 1 が形成される。

30

【 0 0 5 7 】

次に、図 1 9 の工程と同様の後退処理 (第 2 後退処理) と、図 2 0 の工程と同様の保護処理を、再度実行する (図 2 3、図 2 4)。その結果、絶縁膜 1 6 1 の上面が幅 D_2 だけ後退し、フィン 1 1 1 とエピタキシャル層 1 4 1 の表面に、保護膜 1 6 2 と同様の保護膜 1 6 3 が形成される。

【 0 0 5 8 】

次に、第 1 後退処理とエピタキシャル成長処理を、さらにもう一度実行する (図 2 5、図 2 6)。図 2 5 の工程では、保護膜 1 6 2、1 6 3 が残存しつつ、絶縁膜 1 6 1 の膜厚が D_1 となるまで絶縁膜 1 6 1 の上面が後退することとなる。よって、図 2 6 の工程では、保護膜 1 6 2、1 6 3 で覆われていないフィン 1 1 1 の側面 S_1 のみにエピタキシャル層 1 4 1 が成長する。その結果、フィン 1 1 1 の各側面 S_1 に、3 つ目のエピタキシャル層 1 4 1 が形成される。次に、図 2 7 に示すように、保護膜 1 6 2、1 6 3 を除去する。

40

【 0 0 5 9 】

このように、本実施形態では、絶縁膜 1 6 1 の上面を後退させる第 1 後退処理と、エピタキシャル層 1 4 1 を形成するエピタキシャル成長処理を、交互に繰り返し実行する。また、本実施形態では、これらの繰り返し処理の間に、絶縁膜 1 6 1 の上面を後退させる第 2 後退処理と、保護膜 1 6 2、1 6 3 を形成する保護処理とを実行する。その結果、フィ

50

ン 1 1 1 の各側面 S_1 に、複数のエピタキシャル層 1 4 1 が、Z 方向に沿って順に形成される。

【 0 0 6 0 】

次に、図 2 8 に示すように、ウェットエッチングまたは等方性ドライエッチングにより、残存する絶縁膜 1 6 1 を除去する。その結果、素子分離絶縁膜 1 0 2 の上面が露出される。

【 0 0 6 1 】

次に、S / D 領域のフィン 1 1 1 内およびエピタキシャル層 1 4 1 内に、不純物をイオン注入して S / D 拡散層 1 1 3 を形成した後、S / D 拡散層 1 1 3 の表面にシリサイド層 1 4 2 を形成する（図 2 9）。S / D 拡散層 1 1 3 の形成のためのイオン注入に使用するイオン種は、例えば P（リン）または As（ヒ素）である。なお、図 2 9 のシリサイド工程では、各エピタキシャル層 1 4 1 内の全体をシリサイド化してもよいし、各エピタキシャル層 1 4 1 内の一部分のみをシリサイド化してもよい。また、図 2 9 のシリサイド工程は、省略してもよい。

10

【 0 0 6 2 】

次に、図 3 0 に示すように、半導体基板 1 0 1 上の全面に、層間絶縁膜 1 5 1 を形成する。その結果、フィン F E T が層間絶縁膜 1 5 1 で覆われる。本実施形態の層間絶縁膜 1 5 1 は、半導体基板 1 0 1 上にポリシラザンの有機溶媒溶液を塗布して焼成することで形成される。

【 0 0 6 3 】

その後、本実施形態では、種々のコンタクトプラグ、ピアプラグ、配線層、層間絶縁膜などを形成する処理を行う。こうして、図 1 の半導体装置が製造される。

20

【 0 0 6 4 】

なお、本方法では、半導体基板 1 0 1 上に、n 型のフィン F E T と p 型のフィン F E T の両方を形成してもよい。この場合、これらのフィン F E T の形成方法としては、2 つの例が考えられる。

【 0 0 6 5 】

第 1 の例では、半導体基板 1 0 1 上に形成された n 型のフィン F E T と p 型のフィン F E T において、エピタキシャル層 1 4 1 間の隙間の間隔 $D_1 \sim D_3$ が、n 型では $D_1 > D_2 > D_3$ となり、p 型では $D_1 < D_2 < D_3$ となるように、エピタキシャル層 1 4 1 を形成する。次に、これらのフィン F E T 上に層間絶縁膜 1 5 1 を形成する。こうして、図 1 の半導体装置が製造される。

30

【 0 0 6 6 】

第 2 の例では、半導体基板 1 0 1 上に、n 型のフィン F E T と p 型のフィン F E T を同時に形成する。これらのフィン F E T を同時に形成するため、間隔 $D_1 \sim D_3$ の値は、両者のフィン F E T で同一である。次に、これらのフィン F E T を、別々の層間絶縁膜 1 5 1 で覆う。その結果、一方のフィン F E T 上に、圧縮応力を印加する層間絶縁膜 1 5 1 を形成し、他方のフィン F E T 上に、引張応力を印加する層間絶縁膜 1 5 1 を形成することが可能となる。こうして、図 1 の半導体装置が製造される。

【 0 0 6 7 】

なお、本実施形態では、これらの例以外の方法で、n 型のフィン F E T と p 型のフィン F E T を形成してもよい。

40

【 0 0 6 8 】

（ 3 ）第 1 実施形態の効果

最後に、第 1 実施形態の効果について説明する。

【 0 0 6 9 】

以上のように、本実施形態では、エピタキシャル層 1 4 1 を、Z 方向の位置に応じて間隔 $D_1 \sim D_3$ が変化するように形成する。また、本実施形態では、フィン F E T を、エピタキシャル層 1 4 1 に応力を印加する層間絶縁膜 1 5 1 で覆う。

【 0 0 7 0 】

50

よって、本実施形態によれば、エピタキシャル層 1 4 1 に応力を印加可能な層間絶縁膜 1 5 1 によって、フィン 1 1 1 に圧縮応力または引張応力を印加して、フィン 1 1 1 内のチャネル領域のキャリア移動度を向上させることが可能となる。

【 0 0 7 1 】

よって、本実施形態によれば、埋め込み性の良い層間絶縁膜 1 5 1 を採用することで、間隔 $D_1 \sim D_3$ が狭い場合にも層間絶縁膜 1 5 1 を埋め込むことが可能となり、半導体装置が高集積化しても、フィン F E T 内のチャネル領域のキャリア移動度を向上させることが可能となる。

【 0 0 7 2 】

なお、本実施形態では、図 1 の構造の代わりに、図 3 1 や図 3 2 の構造を採用してもよい。図 3 1、図 3 2 は、第 1 実施形態の変形例の半導体装置の構造を示す平面図と断面図である。図 3 1 では、間隔 $D_1 \sim D_3$ が、 $D_1 < D_2 < D_3$ に設定されている。また、図 3 2 では、側面 S_1 の面方位を (1 1 0) 面以外に設定した結果、エピタキシャル層 1 4 1 が長方形の断面形状を有している。

【 0 0 7 3 】

(第 2 実施形態)

図 3 3 は、第 2 実施形態の半導体装置の構造を示す平面図と断面図である。

【 0 0 7 4 】

本実施形態では、各フィン 1 1 1 は、半導体基板 1 0 1 の突出部分と、この突出部分上に交互に積層された 1 層以上の S i G e (シリコンゲルマニウム) 層 2 0 1 と 1 層以上の S i (シリコン) 層 2 0 2 とを含んでいる。S i G e 層 2 0 1 は、第 1 材料 (第 1 の半導体材料) で形成された第 1 の層の例である。さらに、S i 層 2 0 2 は、第 1 材料と異なる第 2 材料 (第 2 の半導体材料) で形成された第 2 の層の例である。

【 0 0 7 5 】

符号 S_3 、 S_4 はそれぞれ、S i G e 層 2 0 1、S i 層 2 0 2 の側面を示す。これらの側面 S_3 、 S_4 は、(1 1 0) 面に相当する。

【 0 0 7 6 】

このような積層型のフィン構造によれば、フィン 1 1 1 内のチャネル領域に対し、Y 方向、すなわち S / D 方向に平行なストレスを印加することができる。例えば、S i 層 2 0 2 の膜厚が S i G e 層 2 0 1 の膜厚より十分大きい、S i チャネルの n 型フィン F E T では、(1 1 0) 側面の S i チャネルに Y 方向の引張応力が印加されて、チャネル内の電子移動度をさらに向上させることができる。

【 0 0 7 7 】

本実施形態では、フィン 1 1 1 の各側面が、上記突出部分の側面と、S i G e 層 2 0 1 の 3 つの側面 S_3 と、S i 層 2 0 2 の 3 つの側面 S_4 により構成されている。そして、側面 S_4 のそれぞれに、1 つのエピタキシャル層 1 4 1 が形成されている。よって、本実施形態では、第 1 実施形態と同様に、フィン 1 1 1 の各側面に、3 個のエピタキシャル層 1 4 1 が、Z 方向に沿って順に形成されている。よって、本実施形態によれば、隣接するフィン 1 1 1 同士のショートを回避しつつ、エピタキシャル層 1 4 1 の表面積を広く確保することができる。

【 0 0 7 8 】

符号 S_5 は、エピタキシャル層 1 4 1 のファセット面を示す。ファセット面 S_5 は、(1 1 1) 面に相当する。本実施形態では、シリサイド層 1 4 2 が、エピタキシャル層 1 4 1 内のファセット面 S_5 付近および S i G e 層 2 0 1 の表面に形成されている。

【 0 0 7 9 】

なお、本実施形態では、S i G e 層 2 0 1 の膜厚は、S i 層 2 0 2 の膜厚よりも薄く設定されている。S i G e 層 2 0 1 の膜厚は、上述した間隔 $D_1 \sim D_3$ に相当する。よって、本実施形態では、S i G e 層 2 0 1 の膜厚は、S i G e 層 2 0 1 の位置が高くなるほど薄くなるように設定されている。

【 0 0 8 0 】

10

20

30

40

50

また、本実施形態では、各フィン111が、3層のSiGe層201と、3層のSi層202を含んでいるが、2層または4層以上のSiGe層201と、2層または4層以上のSi層202を含んでいてもよい。

【0081】

(1) 第2実施形態の半導体装置の製造方法

次に、図34～図37を参照し、第2実施形態の半導体装置の製造方法を説明する。

【0082】

図34～図37は、第2実施形態の半導体装置の製造方法を示す断面図である。

【0083】

まず、図34に示すように、半導体基板101上に、1層以上のSiGe層201と、1層以上のSi層202とを交互に積層する。

10

【0084】

次に、図4から図8の工程により、半導体基板101の表面にフィン111を形成し、フィン111間に素子分離絶縁膜102を形成し、素子分離絶縁膜102間のフィン111のボトム領域にパンチスルーストップ拡散層112を形成する。その結果、図35に示す構造が得られる。

【0085】

次に、図9から図12の工程により、フィン111の側面および上面に、ゲート絶縁膜131とハードマスク層121を介して、ゲート電極132を形成する。その結果、図36に示す構造が得られる。

20

【0086】

次に、図13から図15の工程を行った後、SEGにより、フィン111の側面に、エピタキシャル層141を形成する(図37)。

【0087】

SiとSiGeの格子定数の差を利用して、Si層202の表面にエピタキシャルSi層が成長する速度と、SiGe層201の表面にエピタキシャルSi層が成長する速度とを異なるようにすることができる。具体的には、Si層202の表面での成長速度を、SiGe層201の表面での成長速度よりも速くすることができる。例えば、SiGe層201中のGe濃度を増加させるほど、これらの成長速度の差を大きくすることができる。

【0088】

よって、図37の工程では、エピタキシャル層141が、Si層202の側面 S_4 に選択的に形成される。その結果、フィン111の各側面に、3個のエピタキシャル層141が、Z方向に沿って順に形成される。

30

【0089】

次に、図29および図30の工程により、S/D拡散層113とシリサイド層142を形成した後、半導体基板101上の全面に層間絶縁膜151を形成する。その後、本実施形態では、種々のコンタクトプラグ、ビアプラグ、配線層、層間絶縁膜などを形成する処理を行う。こうして、図33の半導体装置が製造される。

【0090】

なお、図37の工程では、SiGe層201の表面でも、エピタキシャルSi層がわずかに成長する。よって、図38に示すように、SiGe層201の各側面 S_3 にも、小さなエピタキシャル層141が形成される。図38は、第2実施形態の半導体装置の製造方法の詳細を示す断面図である。これらのエピタキシャル層141のサイズは、SiGe層201の膜厚 $D_1 \sim D_3$ を反映したものとなっていることに留意されたい。その後のシリサイド処理により、シリサイド層142は、この小さなエピタキシャル層141内にも形成される。

40

【0091】

(2) 第2実施形態の効果

最後に、第2実施形態の効果について説明する。

【0092】

50

以上のように、本実施形態では、個々のSi層202の側面 S_4 に、エピタキシャル層141を、Z方向の位置に応じて間隔 $D_1 \sim D_3$ が変化するように形成する。また、本実施形態では、フィンFETを、エピタキシャル層141に応力を印加する層間絶縁膜151で覆う。

【0093】

よって、本実施形態によれば、第1実施形態と同様に、埋め込み性の良い層間絶縁膜151を採用することで、間隔 $D_1 \sim D_3$ が狭い場合にも層間絶縁膜151を埋め込むことが可能となる。よって、本実施形態によれば、半導体装置が高集積化しても、フィンFETのキャリア移動度を向上させることが可能となる。

【0094】

また、本実施形態では、積層型のフィン構造を採用することで、チャンネル領域内のキャリア移動度を向上させることが可能となる。これは、チャンネルに高移動度材料であるSiGeを一部使うことと、Si/SiGe積層構造によりSiチャンネル、SiGeチャンネルにストレスが印加されることによるものである。また、本実施形態では、積層型のフィン構造を採用することで、フィン111の各側面に、複数のエピタキシャル層141を、1回のエピタキシャル成長処理で形成することが可能となる。

【0095】

なお、第1実施形態には逆に、SiGe層201とSi層202を交互に積層する処理が不要になるという利点がある。

【0096】

(第3実施形態)

図39は、第3実施形態の半導体装置の構造を示す平面図と断面図である。

【0097】

本実施形態の各フィン111は、第2実施形態と同様に、半導体基板101の突出部分と、この突出部分上に交互に積層された1層以上のSiGe層201と1層以上のSi層202とを含んでいる。

【0098】

しかしながら、本実施形態では、各フィン111内において、SiGe層201の側面 S_3 が、Si層202の側面 S_4 に対し後退している。そして、各フィン111内では、SiGe層201層が後退している領域に、絶縁膜301が埋め込まれている。絶縁膜301は、例えばシリコン窒化膜である。

【0099】

符号 W_1 は、Si層202のX方向の幅を示し、符号 W_2 は、SiGe層201のX方向の幅を示す。本実施形態では、幅 W_2 は、幅 W_1 よりも狭くなっている($W_2 < W_1$)。

【0100】

本実施形態では、絶縁膜301とSiチャンネルおよびSiGeチャンネルとが接しているが、絶縁膜301が有する膜応力を利用してチャンネル領域に直接ストレスを印加することも可能であり、トランジスタをさらに高性能にすることができる。

【0101】

なお、本実施形態では、ゲート絶縁膜131が、側面 S_3 、 S_4 のうち、側面 S_4 のみに形成されている。これは、ゲート絶縁膜131を熱酸化により形成する際に、側面 S_3 が絶縁膜301により保護されており、側面 S_3 が酸化されないことに起因する。SiGeはSiに比べて酸化されやすいため、絶縁膜301による側面 S_3 の保護は有用である。なお、側面 S_3 は絶縁膜301で保護されているため、側面 S_3 にエピタキシャル層141は形成されない。

【0102】

(1) 第3実施形態の半導体装置の製造方法

次に、図40～図43を参照し、第3実施形態の半導体装置の製造方法を説明する。

【0103】

図40～図43は、第3実施形態の半導体装置の製造方法を示す断面図である。

【0104】

まず、図35に示す構造を得た後、ウェットエッチングにより、SiGe層201を選択的にエッチングする(図40)。その結果、SiGe層201の側面 S_3 が、Si層202の側面 S_4 に対し後退する。

【0105】

次に、図41に示すように、CVDにより、半導体基板101上の全面に絶縁膜301を堆積する。その結果、素子分離絶縁膜102、フィン111、ハードマスク層121の表面が、絶縁膜301で覆われる。

【0106】

次に、図42に示すように、RIEにより、フィン111およびハードマスク層121の側面以外に形成された絶縁膜301を除去する。

10

【0107】

次に、図43に示すように、ウェットエッチングにより、SiGe層201の後退領域以外に形成された絶縁膜301を除去する。こうして、上記後退部分に絶縁膜301が埋め込まれた構造が実現される。

【0108】

その後、図36以降の工程を、第2実施形態と同様に行う。さらに、本実施形態では、種々のコンタクトプラグ、ビアプラグ、配線層、層間絶縁膜などを形成する処理を行う。こうして、図39の半導体装置が製造される。

【0109】

20

なお、図40の工程では、各フィン111内のSiGe層201を完全に除去してもよい。この場合には、最終的に図44に示す構造が実現される。図44は、第3実施形態の変形例の半導体装置の構造を示す平面図と断面図である。図44の各フィン111は、半導体基板101の突出部分と、この突出部分上に交互に積層された1層以上の絶縁膜301と1層以上のSi層202とを含んでいる。絶縁膜301は、第1材料(絶縁材料)で形成された第1の層の例である。また、Si層202は、第1材料と異なる第2材料(半導体材料)で形成された第2の層の例である。このように、本変形例によれば、各フィン111内のSi層202を、ナノワイヤに加工することができる。

【0110】

なお、本変形例では、フィン111を形成する際に、各フィン111の先端にパッド部302を形成する。さらには、パッド部302のX方向およびY方向の幅を、フィン111のX方向の幅 W_1 よりも広く設定する。これにより、本変形例では、図40の工程を、フィン111内のSiGe層201が完全に除去され、パッド部302内のSiGe層201が一部残存するように実行することが可能となる。図44に示す符号303は、SiGe層201が残存している領域を示す。本変形例では、このようなSiGe残存領域303を有するパッド部302を形成することにより、SiGe層201の除去後に、Si層202をパッド部302により支持することが可能となる。

30

【0111】

なお、本変形例では、各フィン111の片側の先端にパッド部302を設けているが、各フィン111の両側の先端にパッド部302を設けてもよい。

40

【0112】

また、本変形例では、半導体基板101とSi層202が絶縁膜301により絶縁されているため、パンチスルーストップ膜112は設けなくてもよい。

【0113】

また、本変形例では、絶縁膜301を層間絶縁膜151で置き換えてもよい。この構造を得るには、まずフィン111にエピタキシャル層141を形成したのち、絶縁膜301を完全に除去してから、層間絶縁膜151の形成の際に絶縁膜301の除去された領域に層間絶縁膜151を埋め込めばよい。

【0114】

(2) 第3実施形態の効果

50

最後に、第3実施形態の効果について説明する。

【0115】

以上のように、本実施形態では、個々のSi層202の側面S₄に、エピタキシャル層141を、Z方向の位置に応じて間隔D₁~D₃が変化するように形成する。また、本実施形態では、フィンFETを、エピタキシャル層141に応力を印加する層間絶縁膜151で覆う。

【0116】

よって、本実施形態によれば、第1実施形態と同様に、埋め込み性の良い層間絶縁膜151を採用することで、間隔D₁~D₃が狭い場合にも層間絶縁膜151を埋め込むことが可能となる。よって、本実施形態によれば、半導体装置が高集積化しても、フィンFETのキャリア移動度を向上させることが可能となる。

10

【0117】

また、本実施形態では、SiGe層201の側面S₃を、Si層202の側面S₄に対し後退させて、その後退した領域に絶縁膜301が埋め込まれている。絶縁膜301はSiチャンネルおよびSiGeチャンネルと接しており、絶縁膜301の有する膜応力を利用してチャンネルにストレスを印加することで、トランジスタをさらに高性能化することも可能である。また、絶縁膜301を層間絶縁膜151に置き換えることで、積層したフィン間に埋め込まれた層間絶縁膜151のボリュームが増加して、層間絶縁膜151から積層したフィンの上下方向に印加される応力が増加する。このため、層間絶縁膜151からの膜応力をより効果的にチャンネルに印加してチャンネル移動度を向上させることが可能となる。

20

【0118】

一方、SiGe層201が完全に除去されてチャンネルがSi層202のみとなった場合は、Siチャンネルがナノワイヤ構造になるが、ナノワイヤFETではチャンネル中のキャリア電気伝導が次元伝導になるため、トランジスタのバリスティック伝導性が増して性能が向上するという利点もある。

【0119】

(第4実施形態)

図45は、第4実施形態の半導体装置の構造を示す平面図と断面図である。

【0120】

本実施形態では、半導体基板101の各フィン111上に、複数本のナノワイヤ401が、互いに離間して積層されている。各ナノワイヤ401は、Y方向に延びるワイヤ状の形状を有している。ナノワイヤ401は、本開示のワイヤ層の例である。本実施形態のナノワイヤ401は例えば、シリコン層などの半導体層である。

30

【0121】

本実施形態の半導体装置はさらに、個々のナノワイヤ401の上面、下面、および側面に形成された複数のゲート絶縁膜131と、これらのナノワイヤ401の上面、下面、および側面にゲート絶縁膜131を介して形成されたゲート電極132とを備えている。

【0122】

このように、本実施形態のナノワイヤFETは、各ナノワイヤ401の周りをゲート絶縁膜131とゲート電極132が取り囲むゲートアラウンド構造を有している。よって、本実施形態によれば、第3実施形態やその変形例よりもさらに短チャンネル効果の抑制効果が良好なナノワイヤFETを提供することができる。

40

【0123】

本実施形態の半導体装置はさらに、個々のナノワイヤ401の側面に形成された複数のエピタキシャル層141と、半導体基板101上にこれらのナノワイヤ401を覆うように形成された層間絶縁膜151とを備えている。隙間D₁~D₃は、D₁ D₂ D₃に設定されているが、D₁ D₂ D₃となるように設定してもよい。

【0124】

(1)第4実施形態の半導体装置の製造方法

次に、図46~図54を参照し、第4実施形態の半導体装置の製造方法を説明する。

50

【 0 1 2 5 】

図 4 6 ~ 図 5 4 は、第 4 実施形態の半導体装置の製造方法を示す断面図である。

【 0 1 2 6 】

まず、図 4 6 に示すように、半導体基板 1 0 1 上に、1 層以上の SiGe 層 2 0 1 と、1 層以上の Si 層 2 0 2 とを交互に積層する。この際、図 4 5 の構造の半導体装置を製造する場合には、これらの SiGe 層 2 0 1 の膜厚を D_1 、 D_2 、 D_3 に設定する。

【 0 1 2 7 】

次に、図 4 から図 8 の工程により、半導体基板 1 0 1 の表面にフィン 1 1 1 を形成し、フィン 1 1 1 間に素子分離絶縁膜 1 0 2 を形成し、素子分離絶縁膜 1 0 2 間のフィン 1 1 1 のボトム領域にパンチスルーストップ拡散層 1 1 2 を形成する。その結果、図 4 7 に示す構造が得られる。

10

【 0 1 2 8 】

次に、ハードマスク層 1 2 1 を除去した後、選択的エッチングにより SiGe 層 2 0 1 を除去する。その結果、Si 層 2 0 2 からなるナノワイヤ 4 0 1 が形成される (図 4 8) 。なお、この選択的エッチングでは、SiGe 残存領域 3 0 3 の SiGe 層 2 0 1 については残存させる。

【 0 1 2 9 】

次に、図 9 および図 1 0 の工程により、半導体基板 1 0 1 とナノワイヤ 4 0 1 の表面に、ゲート絶縁膜 1 3 1 用の絶縁膜 1 3 1 を形成し、その後、半導体基板 1 0 1 上の全面に、ゲート電極 1 3 2 用の電極材 1 3 2 と、キャップ層 1 3 3 を順に堆積する。その結果、図 4 9 に示す構造が得られる。

20

【 0 1 3 0 】

次に、図 1 1 および図 1 2 の工程により、電極材 1 3 2、絶縁膜 1 3 1 をそれぞれ、ゲート電極 1 3 2、ゲート絶縁膜 1 3 1 に加工する。その結果、図 5 0 に示す構造が得られる。図 5 0 (b) にて、電極材 1 3 2 と絶縁膜 1 3 1 が除去されている点に留意されたい。

【 0 1 3 1 】

次に、S / D 領域のナノワイヤ 4 0 1 の周囲および、ゲート電極 1 3 2 とキャップ層 1 3 3 の X 方向および Y 方向の側面に、側壁絶縁膜 1 3 4 を形成する。その結果、図 5 1 に示す構造が得られる。前者の側壁絶縁膜 1 3 4 は図 5 1 (b) に示されており、後者の側壁絶縁膜 1 3 4 は図 5 1 (a) と図 4 5 (a) に示されている。

30

【 0 1 3 2 】

次に、図 5 2 に示すように、ナノワイヤ 4 0 1 に対して斜め方向からイオンを照射する。その結果、イオン照射でダメージを受けた側壁絶縁膜 1 3 4 をエッチングにより選択的に除去することができる (図 5 3) 。図 5 3 に示すように、最上層のナノワイヤ 4 0 1 は、上部と X 方向の側面の側壁絶縁膜 1 3 4 が除去され、残り 2 つのナノワイヤ 4 0 1 は、X 方向の側面の側壁絶縁膜 1 3 4 が除去される。なお、斜めイオン照射で使用するイオン種は例えば、Xe (キセノン) である。

【 0 1 3 3 】

次に、図 5 4 に示すように、SEG により、最上層のナノワイヤ 4 0 1 の上面および側面と、残り 2 つのナノワイヤ 4 0 1 の側面に、エピタキシャル層 1 4 1 を形成する。上記斜めイオン照射により、ゲート電極 1 3 2 の X 方向の側面の側壁絶縁膜 1 3 4 も除去される。ゲート電極 1 3 2 が例えばポリシリコンである場合には、ゲート電極 1 3 2 の X 方向の側面にもエピタキシャル層 1 4 1 が形成されるが、隣接するゲート電極 1 3 2 間のスペースを十分に確保することで、ゲート電極 1 3 2 同士のショートを防ぐことができる。

40

【 0 1 3 4 】

次に、図 2 9 および図 3 0 の工程により、S / D 拡散層 1 1 3 とシリサイド層 1 4 2 を形成した後、半導体基板 1 0 1 上の全面に層間絶縁膜 1 5 1 を形成する。その後、本実施形態では、種々のコンタクトプラグ、ビアプラグ、配線層、層間絶縁膜などを形成する処理を行う。こうして、図 4 5 の半導体装置が製造される。

【 0 1 3 5 】

50

(2) 第4実施形態の効果

最後に、第4実施形態の効果について説明する。

【0136】

以上のように、本実施形態では、各ナノワイヤ401の周りをゲート絶縁膜131とゲート電極132が取り囲むゲートアラウンド構造のナノワイヤFETを形成する。よって、本実施形態によれば、第3実施形態やその変形例よりもさらに短チャネル効果の抑制効果が良好なナノワイヤFETを提供することが可能となる。

【0137】

また、本実施形態では、図45(c)に示すように、積層されたナノワイヤ401間の隙間に層間絶縁膜151が埋め込まれるため、層間絶縁膜151からナノワイヤ401に上下方向に印加される応力が、ナノワイヤ401間の隙間に層間絶縁膜151がない場合と比べて増加する。その結果、層間絶縁膜151からの膜応力をより効果的にチャネルに印加して、チャネル移動度を向上させることが可能となる。

10

【0138】

(第5実施形態)

図55は、第5実施形態の半導体装置の構造を示す断面図である。図55(a)、図55(b)はそれぞれ、上述のI-I'線、J-J'線に沿った断面図に相当する。また、図55(c)は、フィン111をX方向に垂直な断面で切断した断面図に相当する。

【0139】

本実施形態の半導体装置は、おおむね第2実施形態の半導体装置と同一の構造を有している。ただし、本実施形態では、各フィン111内において、SiGe層201のフィン延伸方向(Y方向)に垂直な側面が、Si層202のフィン延伸方向に垂直な断面に対し後退している(図55(c)参照)。そして、各フィン111内では、SiGe層201層が後退している領域に、層間絶縁膜151が埋め込まれている。

20

【0140】

図55(c)に示す符号 $L_1 \sim L_3$ は、SiGe層201のY方向の長さを示す。本実施形態では、SiGe層201の上記側面の後退量は、SiGe層201が位置する高さに応じて変化するように設定されている。具体的には、後退量は、SiGe層201の位置が高くなるほど大きくなるように設定されている。その結果、長さ $L_1 \sim L_3$ は、 $L_1 > L_2 > L_3$ (ただし $L_1 = L_2 = L_3$ は除く)となっている。図55(c)には、その一例として、 $L_1 > L_2 > L_3$ となるように形成されたSiGe層201が示されている。

30

【0141】

前述したように、ポリシラザンから形成したシリコン酸化膜を層間絶縁膜151に使用する場合、 $D_1 = D_2 = D_3$ ならば、上記のSiGe後退量が大きい領域ほど、層間絶縁膜151の膜収縮応力が大きくなり、フィン111に対しZ方向の圧縮応力を印加する効果がある。よって、本実施形態によれば、Si層202間の間隔を D_1 、 D_2 、 D_3 とし、かつ、上述のSiGe後退量を L_1 、 L_2 、 L_3 とすることで、n型のフィンFETの(110)側面チャネル領域の電子移動度をさらに向上させることができる。この場合、最上層のSiGe層201の後退量は、0としてもよい(すなわち、 $L_3 =$ フィン長さ)。

【0142】

同様に、ポリシラザンから形成したシリコン酸化膜を層間絶縁膜151に使用する場合で、フィンFETがpFETである場合には、Si層202間の間隔を D_1 、 D_2 、 D_3 とし、かつ、上述のSiGe後退量を L_1 、 L_2 、 L_3 とすることで、p型のフィンFETの(110)側面チャネル領域のホール移動度をさらに向上させることができる。この場合、最下層のSiGe層201の後退量は、0としてもよい(すなわち、 $L_1 =$ フィン長さ)。

40

【0143】

また、本実施形態では、Si層202間の間隔がすべて同じ($D_1 = D_2 = D_3$)であってもよく、その場合には L_1 、 L_2 、 L_3 または L_1 、 L_2 、 L_3 とすることで、フィン111に対しZ方向の応力を印加することができる。

50

【0144】

(1) 第5実施形態の半導体装置の製造方法

次に、図56～図58を参照し、第5実施形態の半導体装置の製造方法を説明する。

【0145】

図56～図58は、第5実施形態の半導体装置の製造方法を示す断面図である。図56(a)～図58(c)は、フィン111をX方向に垂直な断面で切断した断面図に相当する。

【0146】

まず、図34～図37の工程と、S/D拡散層113の形成工程により、半導体基板101上に、第2実施形態と同様の構造を形成する(図56(a))。次に、図56(b)に示すように、半導体基板101上の全面に、SiGe層201の側面の後退処理に利用するための絶縁膜501を堆積する。その結果、フィン111が絶縁膜501で覆われる。絶縁膜501は、例えばTEOS膜またはPSZ膜である。

10

【0147】

次に、図56(c)に示すように、ウェットエッチングまたは等方性ドライエッチングにより、絶縁膜501の上面の高さが低くなるよう、絶縁膜501の上面を後退させる。その結果、1つ目のSiGe層201が露出する。次に、図57(a)に示すように、選択的エッチングにより、このSiGe層201の側面を後退させる。

【0148】

次に、図57(b)に示すように、ウェットエッチングまたは等方性ドライエッチングにより、絶縁膜501の上面の高さが低くなるよう、絶縁膜501の上面を後退させる。その結果、1つ目のSiGe層201に加えて、2つ目のSiGe層201が露出する。次に、図57(c)に示すように、選択的エッチングにより、これらSiGe層201の側面を後退させる。

20

【0149】

次に、図58(a)に示すように、ウェットエッチングまたは等方性ドライエッチングにより、絶縁膜501を除去する。その結果、1つ目と2つ目のSiGe層201に加えて、3つ目のSiGe層201が露出する。次に、図58(b)に示すように、選択的エッチングにより、これらSiGe層201の側面を後退させる。その結果、長さ L_1 ～ L_3 を有するSiGe層201が形成される。

【0150】

このように、本実施形態では、絶縁膜501の上面を後退させる処理と、1つ以上のSiGe層201の側面を後退させる処理を、交互に繰り返し実行する。その結果、SiGe層201が位置する高さに応じて側面の後退量が変化する複数のSiGe層201が形成される。

30

【0151】

次に、図58(c)に示すように、S/D拡散層113の表面にシリサイド層142を形成した後、半導体基板101上の全面に層間絶縁膜151を形成する。その後、本実施形態では、種々のコンタクトプラグ、ビアプラグ、配線層、層間絶縁膜などを形成する処理を行う。こうして、図55の半導体装置が製造される。

【0152】

なお、本実施形態では、 L_1 、 L_2 、 L_3 となるようSiGe層201を加工してもよい。このような加工は例えば、SiGe層201中のGe濃度を、最上層のGe濃度<中位層のGe濃度<最下層のGe濃度と設定しておくことで実現可能である。

40

【0153】

また、図56(a)の構造の形成後にすぐに、3つのSiGe層201の後退処理を同時に行うことでも、 L_1 ～ L_3 の大小関係を L_1 、 L_2 、 L_3 または L_1 、 L_2 、 L_3 にすることが可能である。これは、SiGe層201の後退処理でのSiGeのエッチング速度が、SiGe層201中のGe濃度やSiGe膜厚に依存することを利用するものである。具体的には、Ge濃度がすべてのSiGe層201で均一な場合、SiGe膜厚が薄いほどSiGeのエッチング速度が遅くなり、 D_1 、 D_2 、 D_3 の場合には L_1 、 L_2 、 L_3 となる。ま

50

た、SiGe層201中のGe濃度が、最上層のGe濃度<中位層のGe濃度<最下層のGe濃度である場合、 D_1 D_2 D_3 の場合にはやはり L_1 L_2 L_3 となる。同様にして L_1 L_2 L_3 とすることもでき、このようなプロセスを用いることで $L_1 \sim L_3$ の大小関係を形成する工程を大幅に短縮することが可能となる。

【0154】

(2)第5実施形態の効果

最後に、第5実施形態の効果について説明する。

【0155】

以上のように、本実施形態では、SiGe層201の上記側面の後退量を、SiGe層201が位置する高さに応じて変化するように調整することで、間隔 $D_1 \sim D_3$ を調整する
10
場合と同様に、フィンFET内のチャネル領域のキャリア移動度を向上させることが可能となる。

【0156】

本実施形態では、積層したSi層202の隙間にも層間絶縁膜151を埋め込むことで、層間絶縁膜151からSi層202に上下方向に印加される応力が、Si層202の隙間に層間絶縁膜151が埋め込まれていない場合と比べて増加する。このため、層間絶縁膜151からの膜応力をより効果的にチャネルに印加してチャネル移動度を向上させることが可能となる。

【0157】

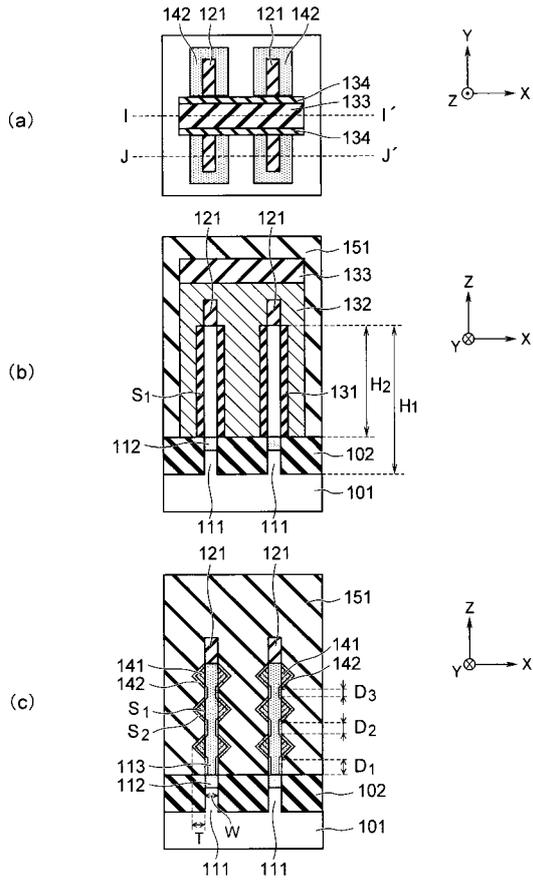
以上、第1から第5実施形態について説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することを意図したものではない。これらの実施形態は、その他の様々な形態で実施することができる。また、これらの実施形態に対し、発明の要旨を逸脱しない範囲内で、種々の省略、置換、変更を行うことにより、様々な変形例を得ることもできる。これらの形態や変形例は、発明の範囲や要旨に含まれており、特許請求の範囲及びこれに均等な範囲には、これらの形態や変形例が含まれる。
20

【符号の説明】

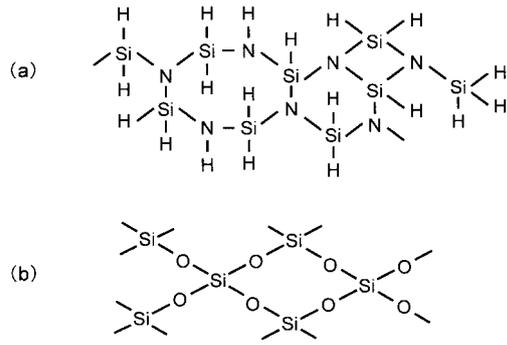
【0158】

101：半導体基板、102：素子分離絶縁膜、111：フィン、
112：パンチスルーストップ拡散層、113：ソース/ドレイン拡散層、
121：ハードマスク層、131：ゲート絶縁膜、132：ゲート電極、
133：キャップ層、134：側壁絶縁膜、
141：エピタキシャル層、142：シリサイド層、
151：層間絶縁膜、161：絶縁膜、162：保護膜、163：保護膜、
201：SiGe層、202：Si層、
301：絶縁膜、302：パッド部、303：SiGe残存領域、
401：ナノワイヤ、501：絶縁膜
30

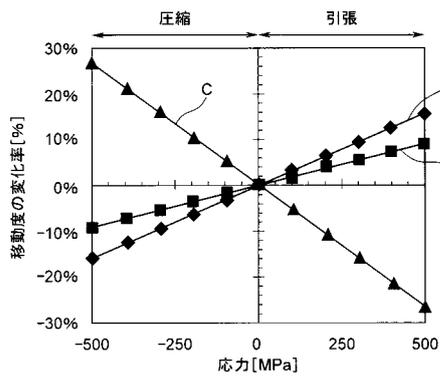
【図1】



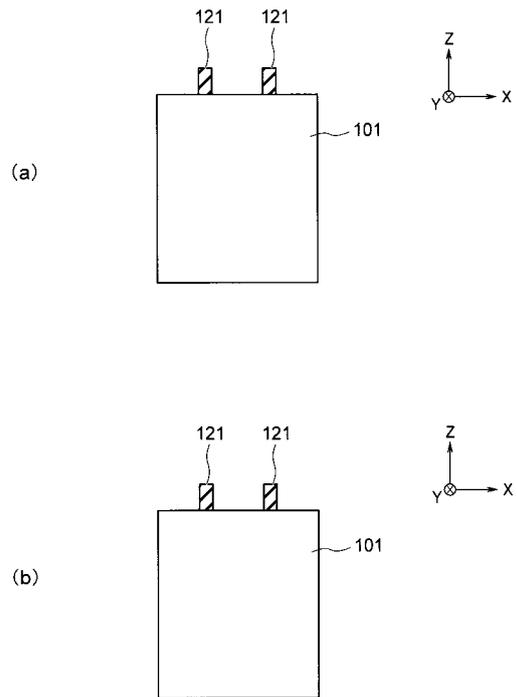
【図2】



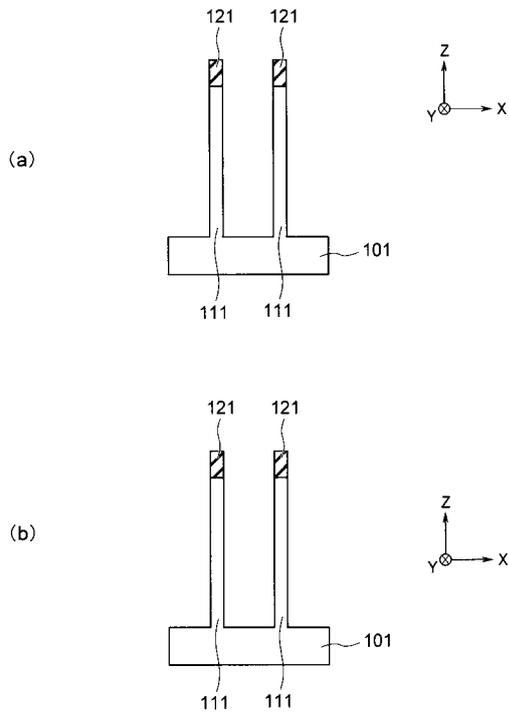
【図3】



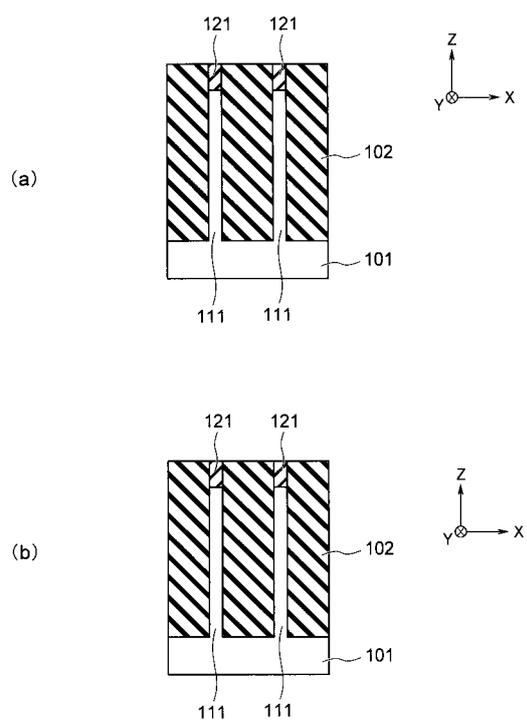
【図4】



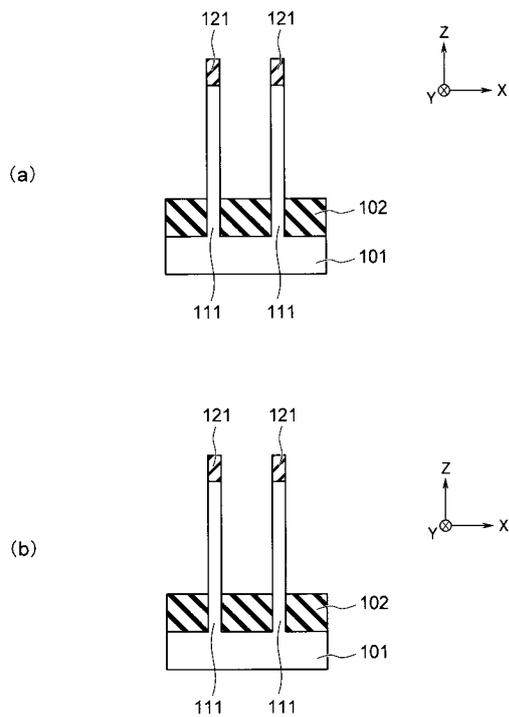
【 図 5 】



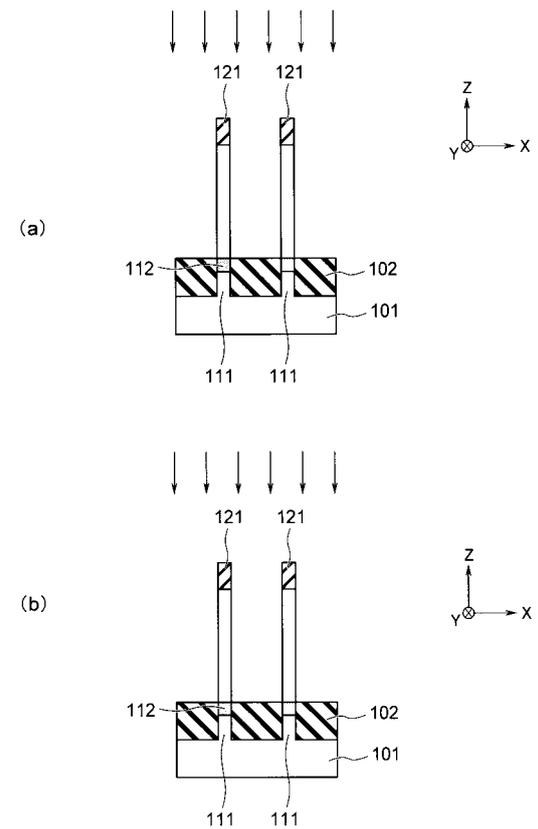
【 図 6 】



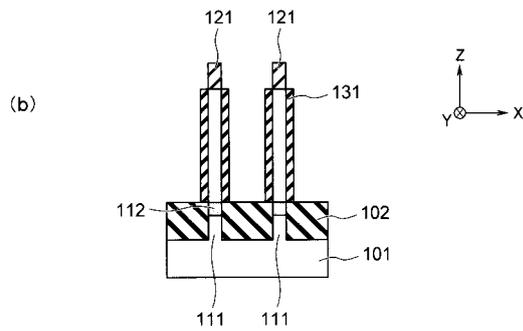
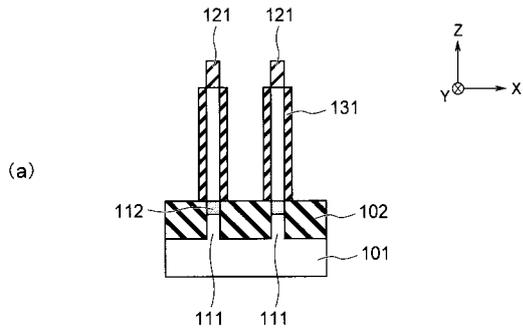
【 図 7 】



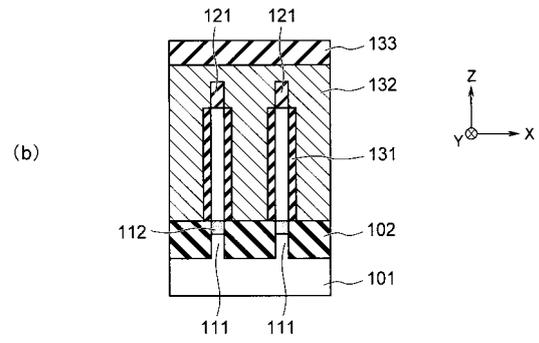
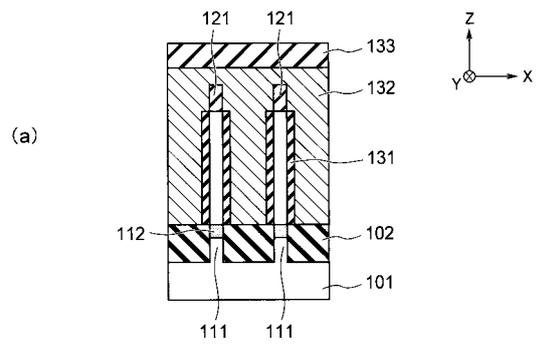
【 図 8 】



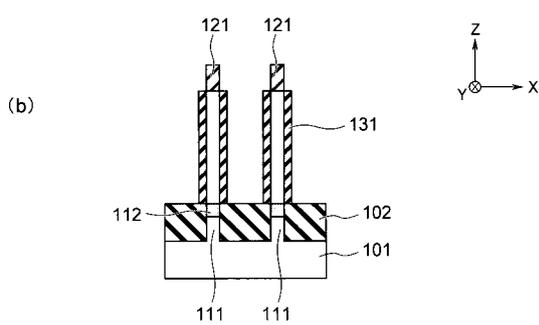
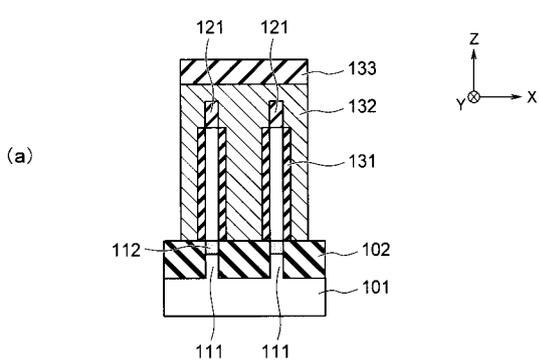
【図 9】



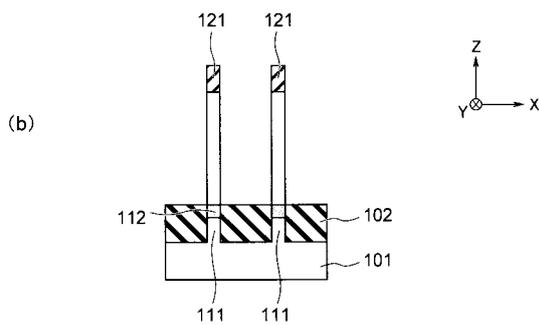
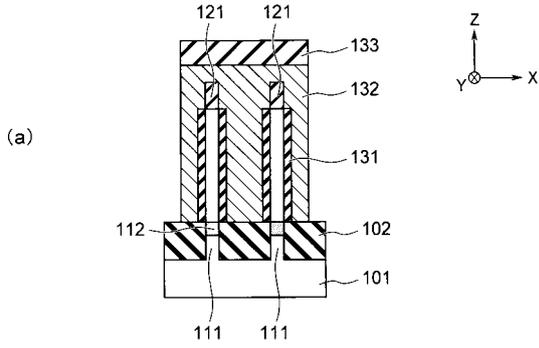
【図 10】



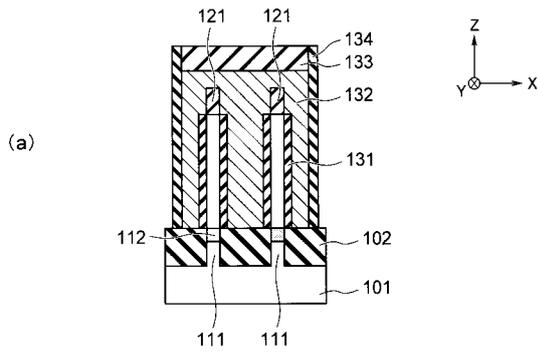
【図 11】



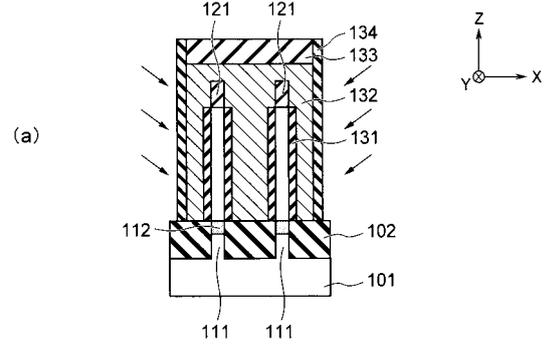
【図 12】



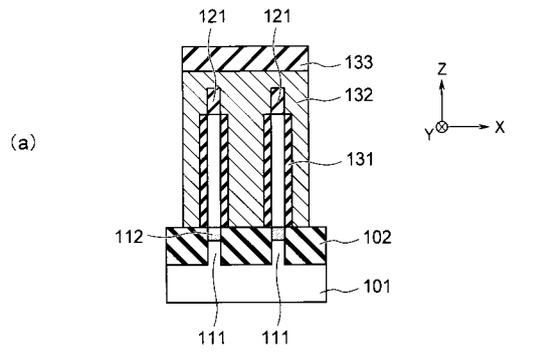
【 図 1 3 】



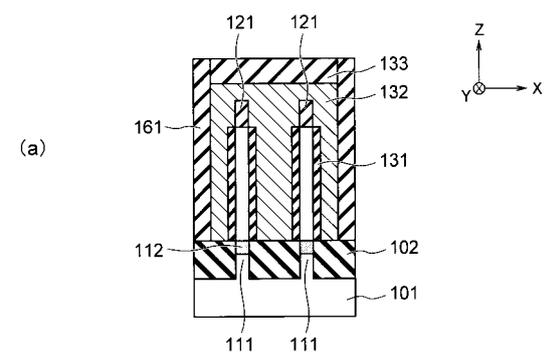
【 図 1 4 】



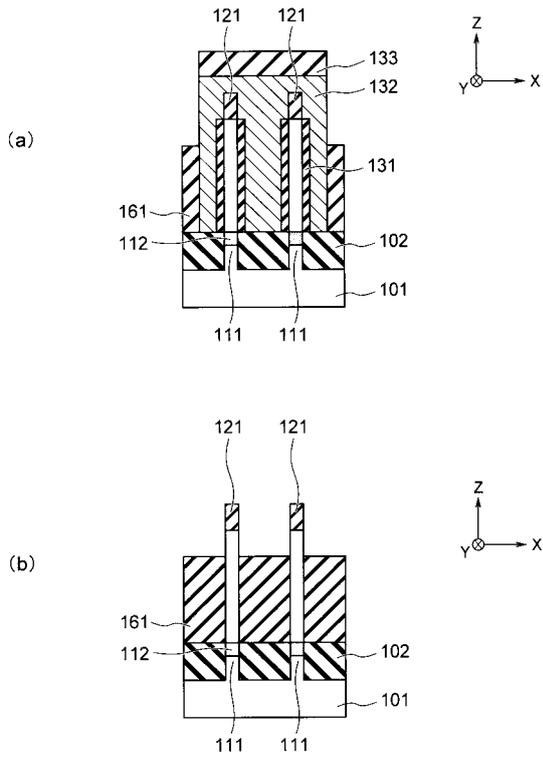
【 図 1 5 】



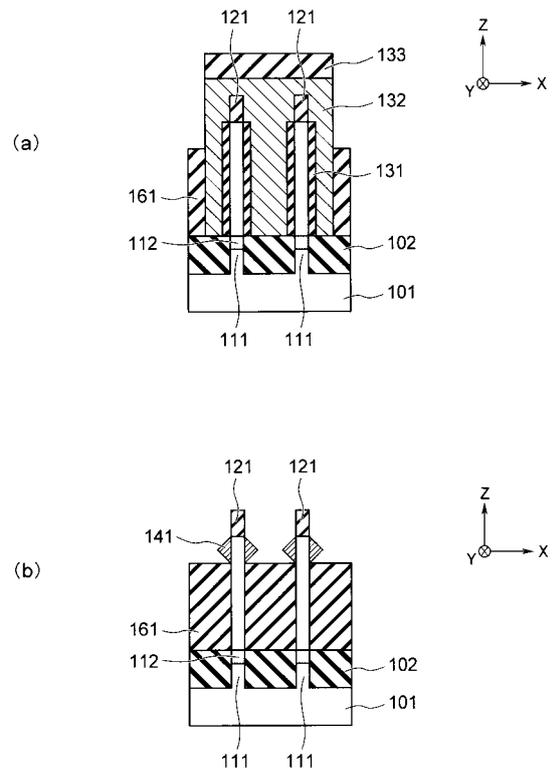
【 図 1 6 】



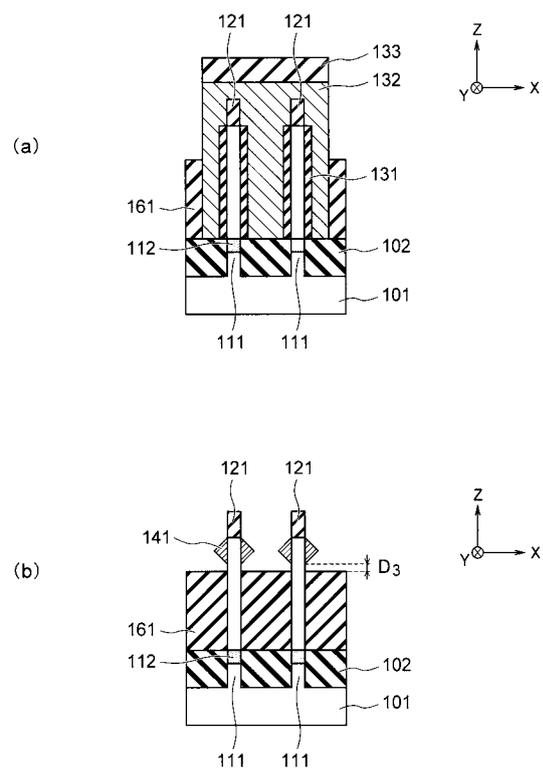
【 図 17 】



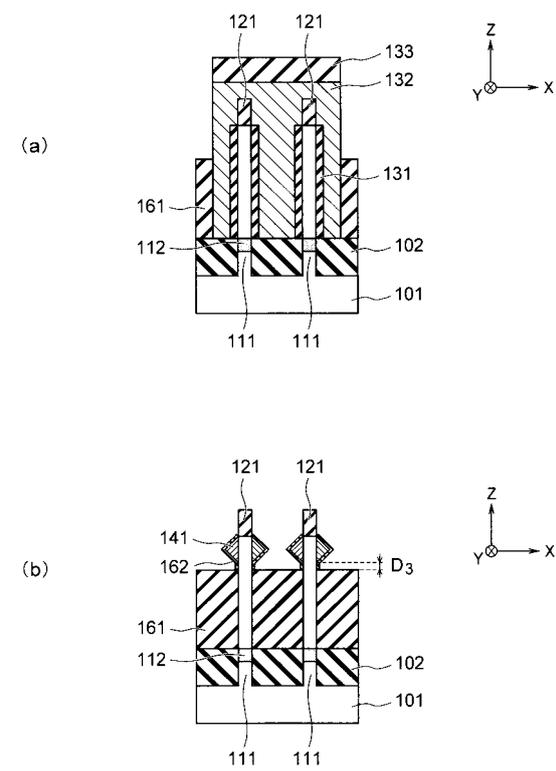
【 図 18 】



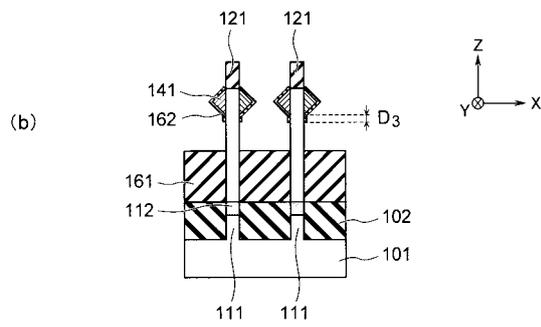
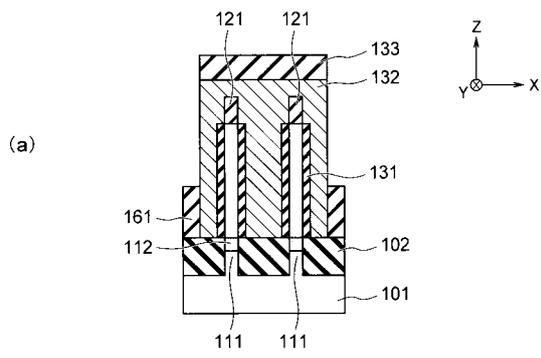
【 図 19 】



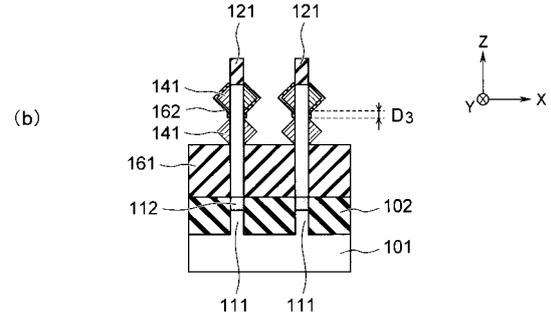
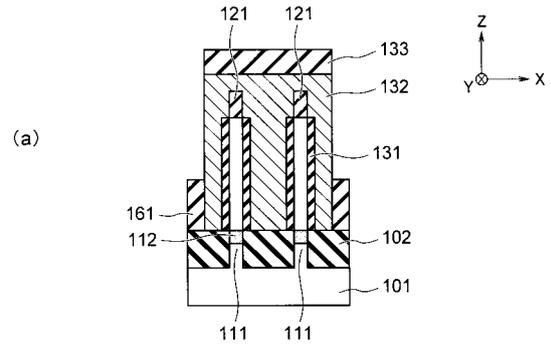
【 図 20 】



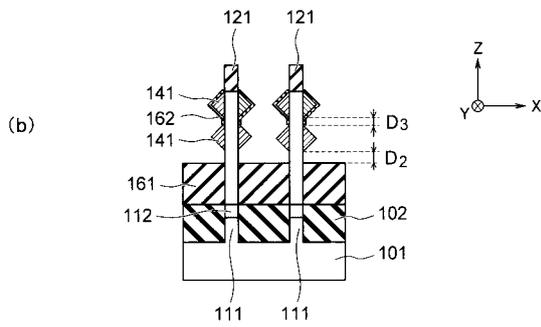
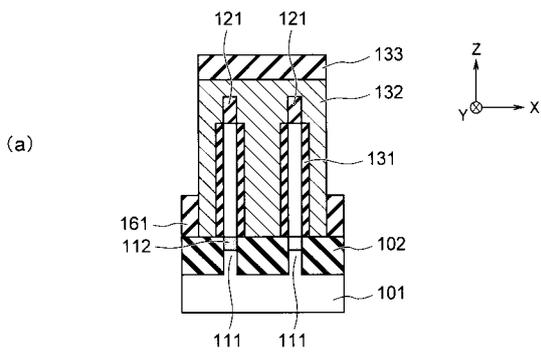
【 図 2 1 】



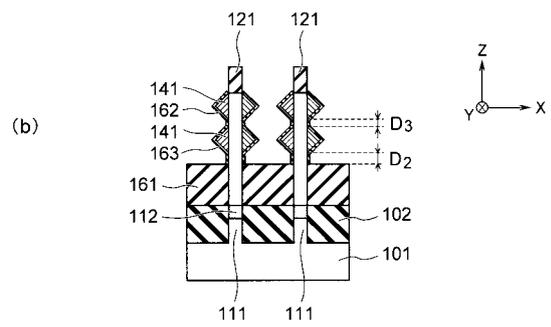
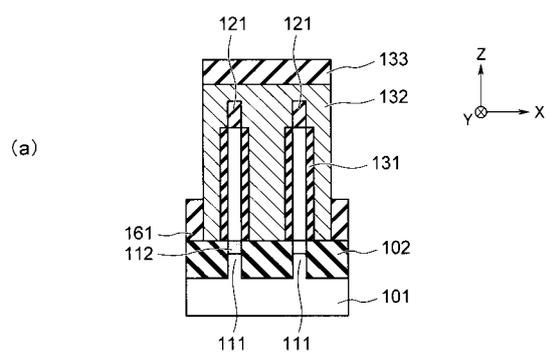
【 図 2 2 】



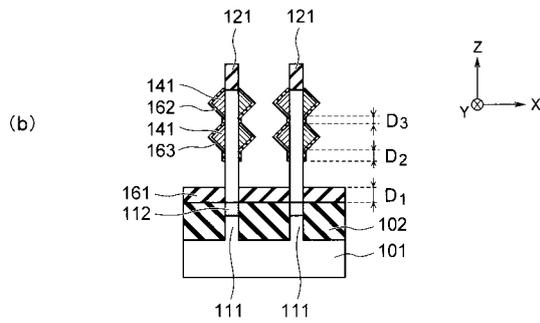
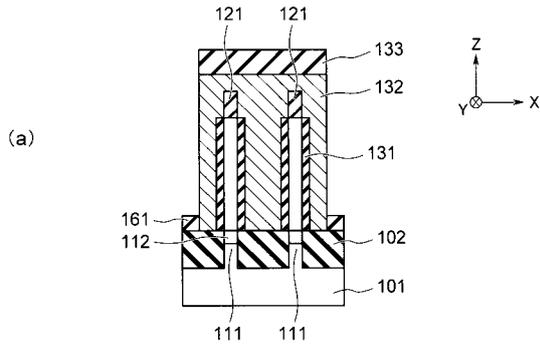
【 図 2 3 】



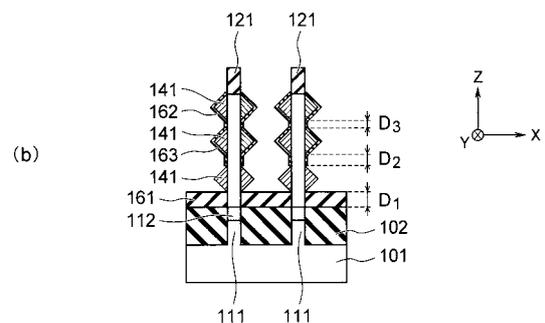
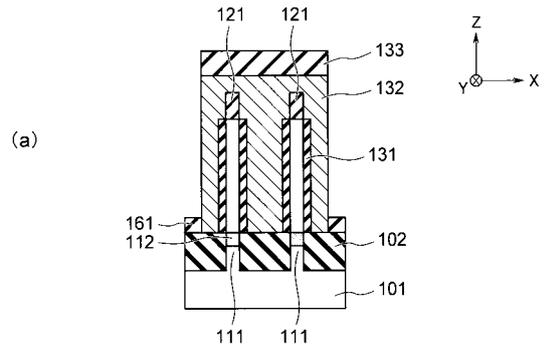
【 図 2 4 】



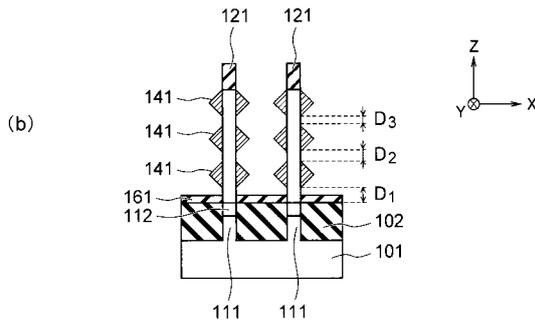
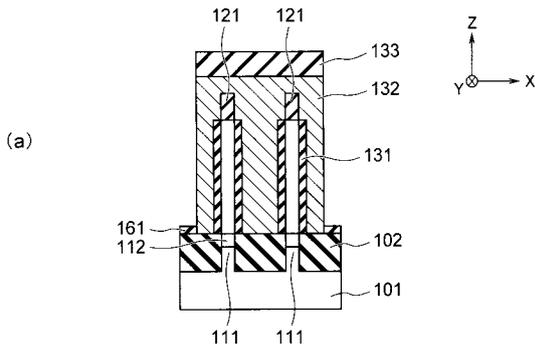
【 2 5 】



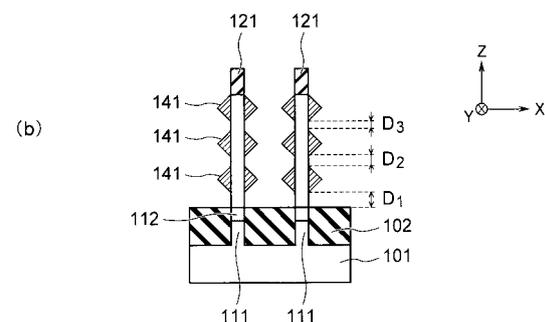
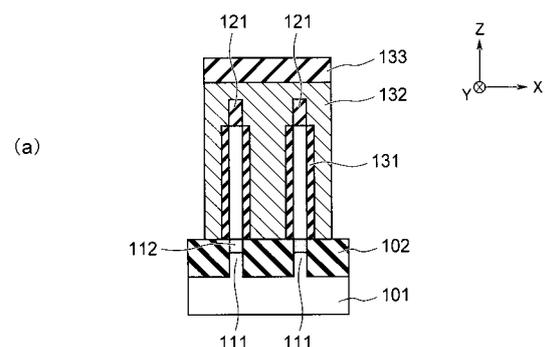
【 2 6 】



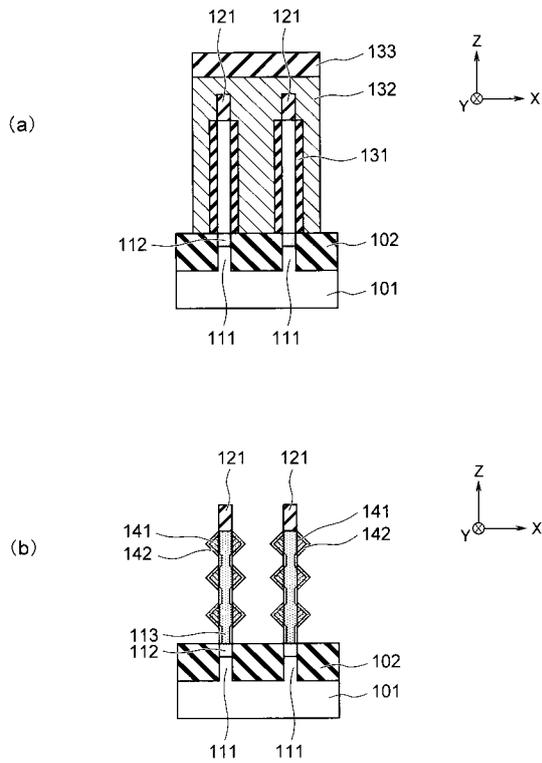
【 2 7 】



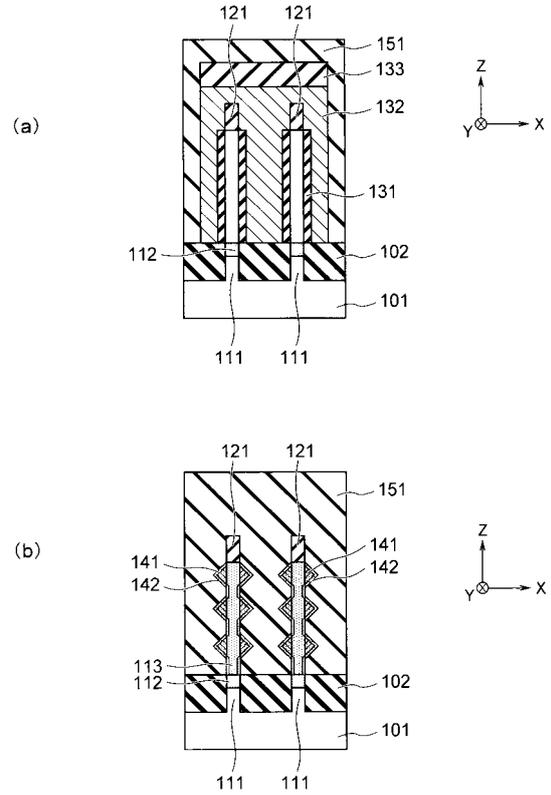
【 2 8 】



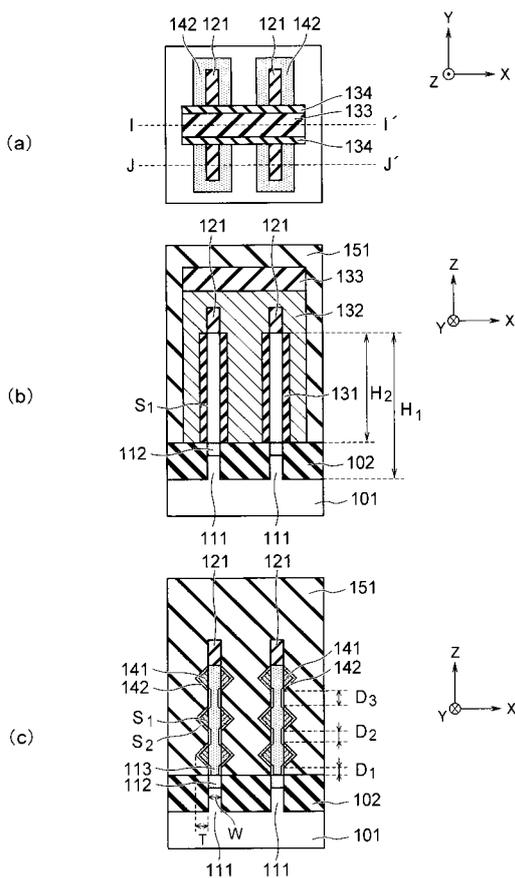
【 図 29 】



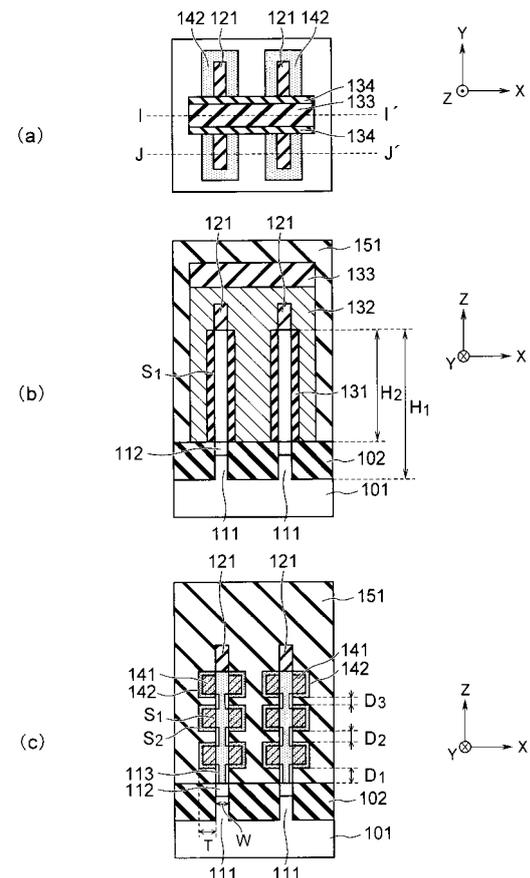
【 図 30 】



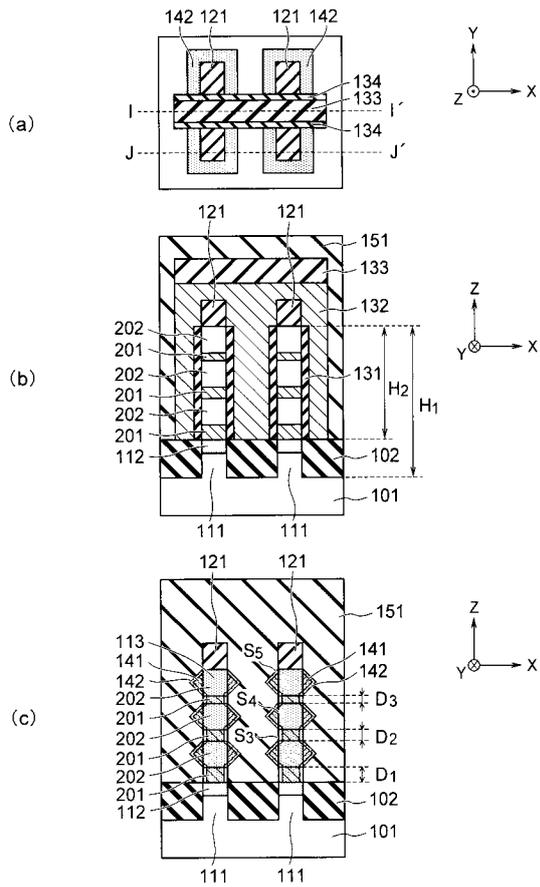
【 図 31 】



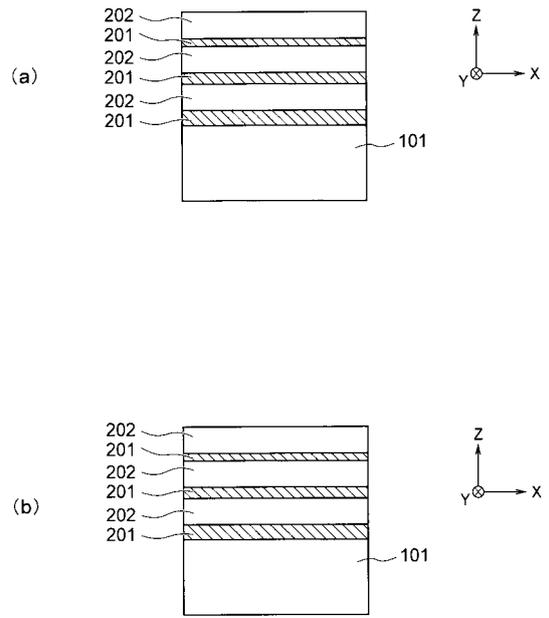
【 図 32 】



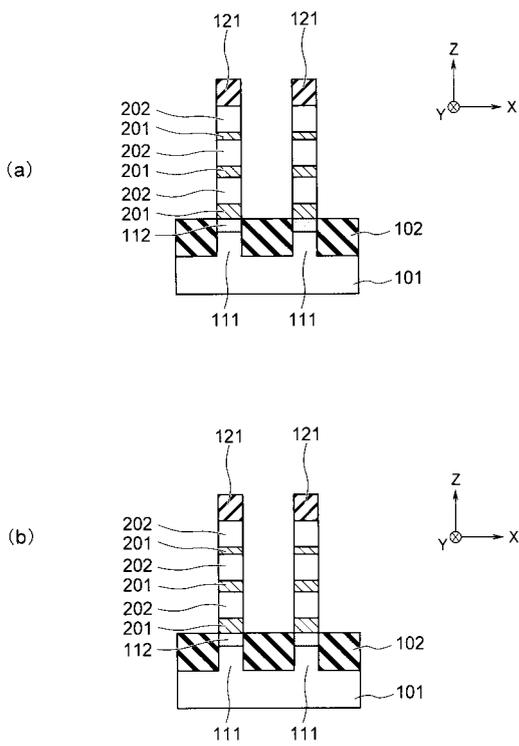
【 図 3 3 】



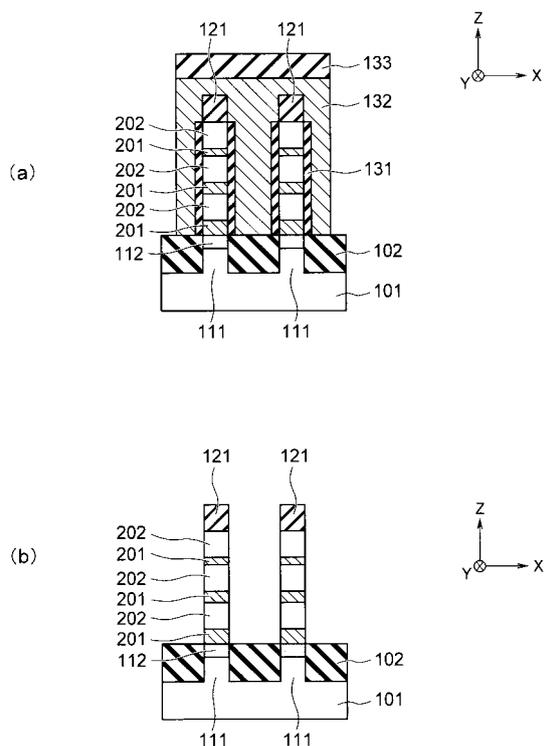
【 図 3 4 】



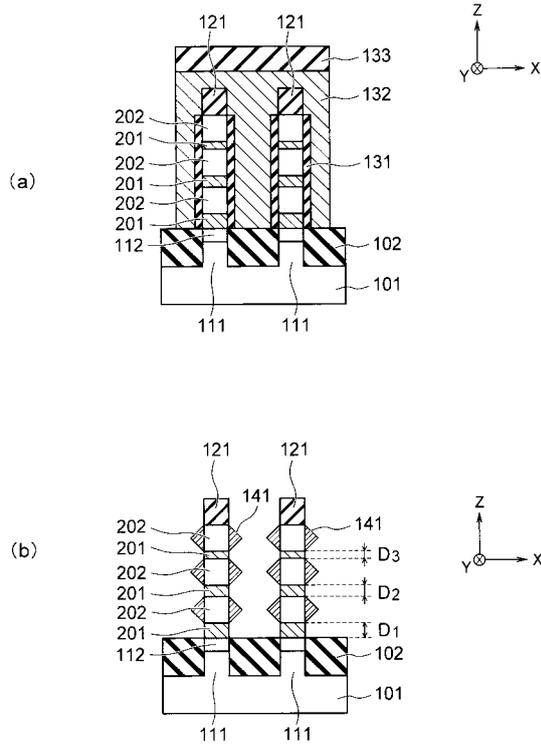
【 図 3 5 】



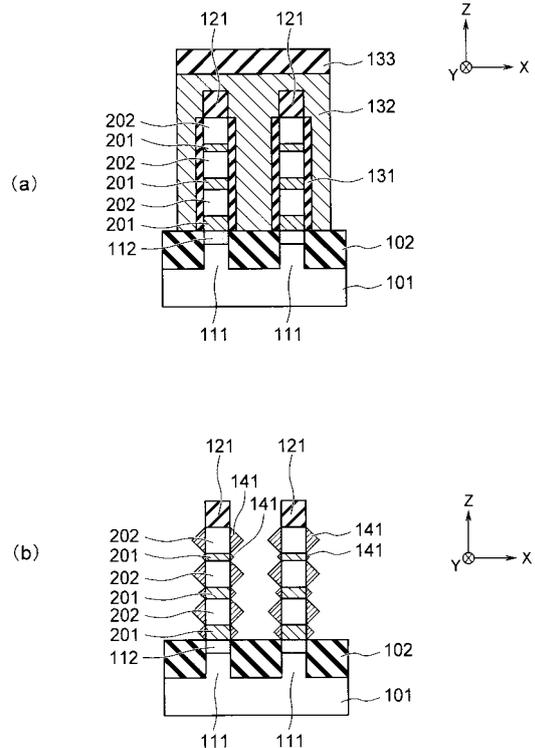
【 図 3 6 】



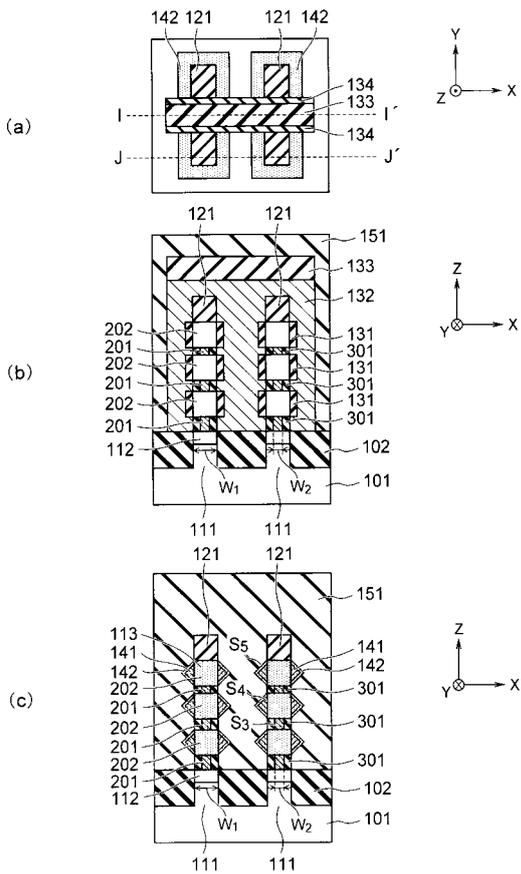
【 図 3 7 】



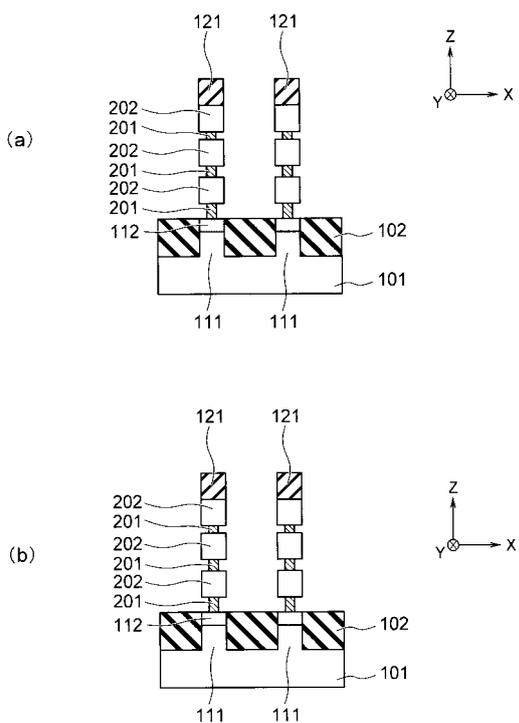
【 図 3 8 】



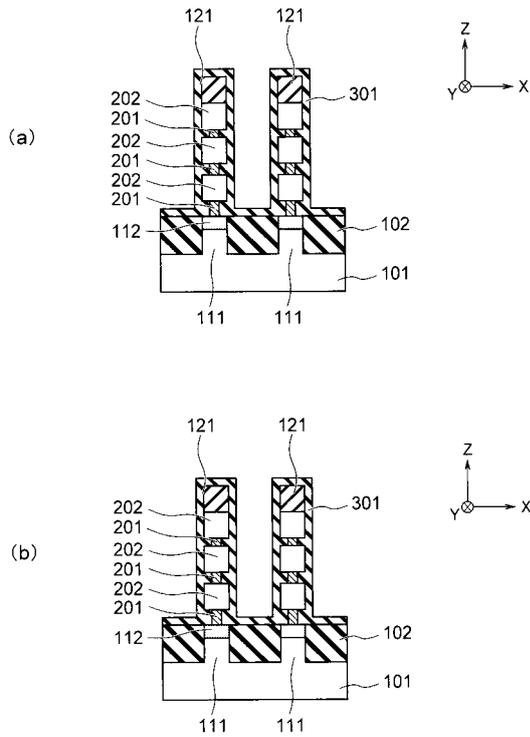
【 図 3 9 】



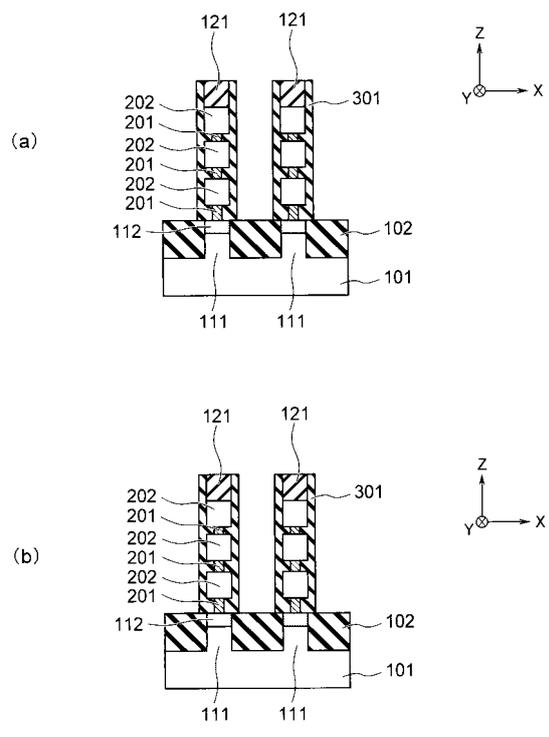
【 図 4 0 】



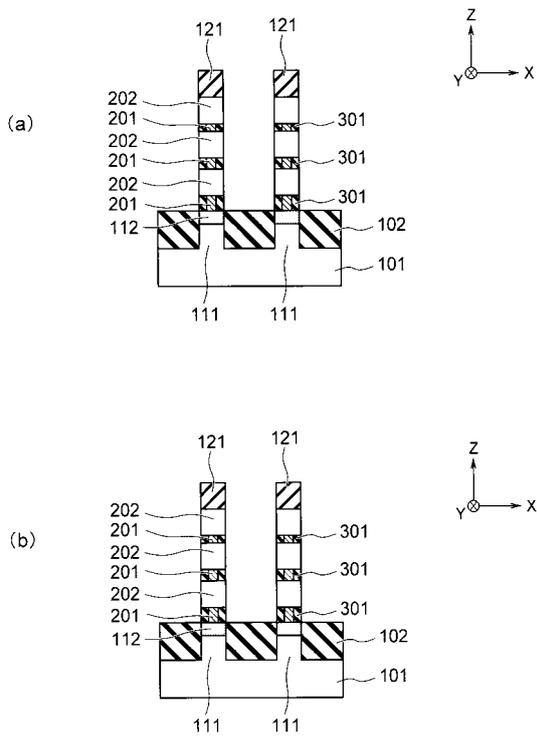
【 図 4 1 】



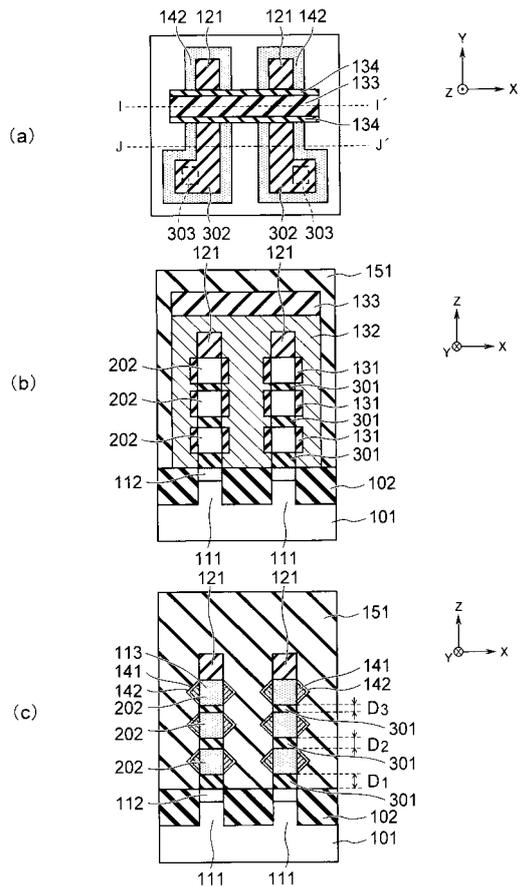
【 図 4 2 】



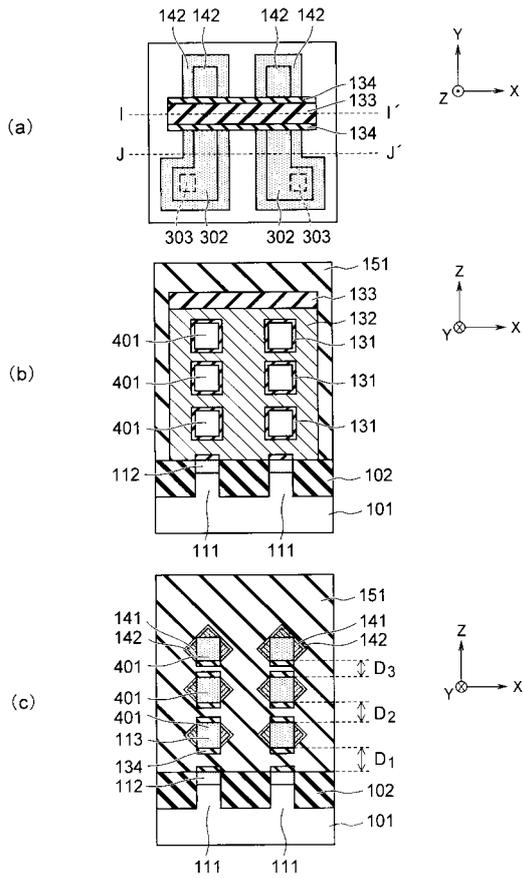
【 図 4 3 】



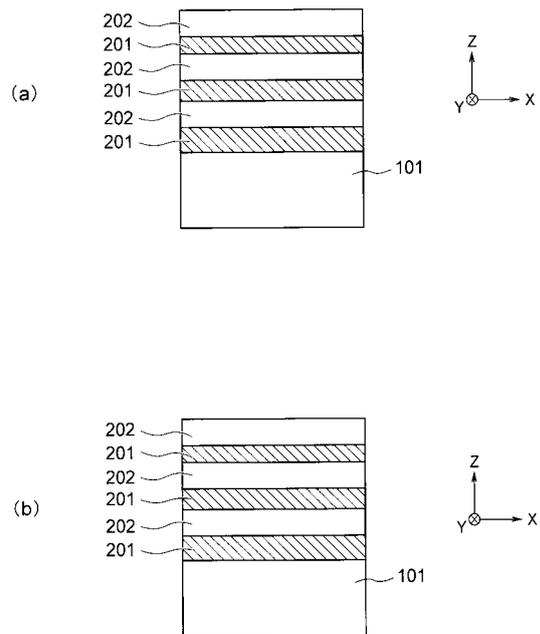
【 図 4 4 】



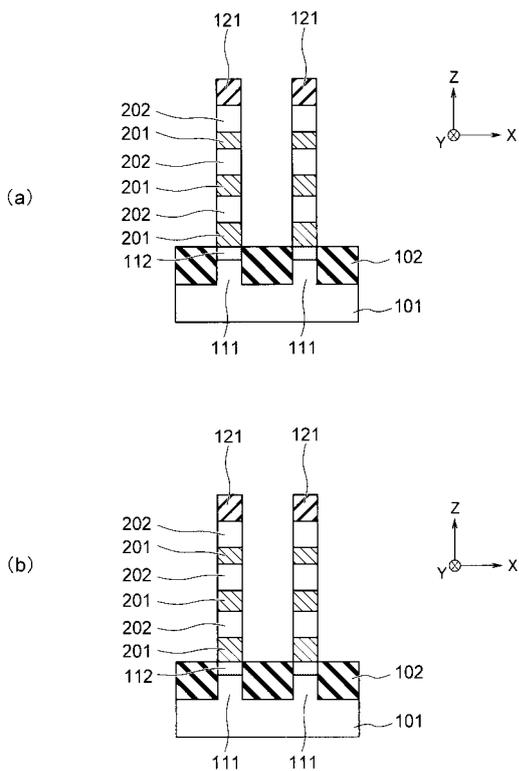
【 図 4 5 】



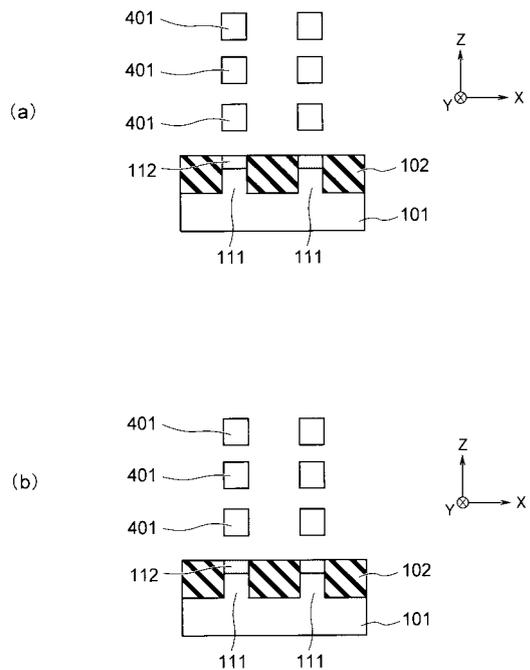
【 図 4 6 】



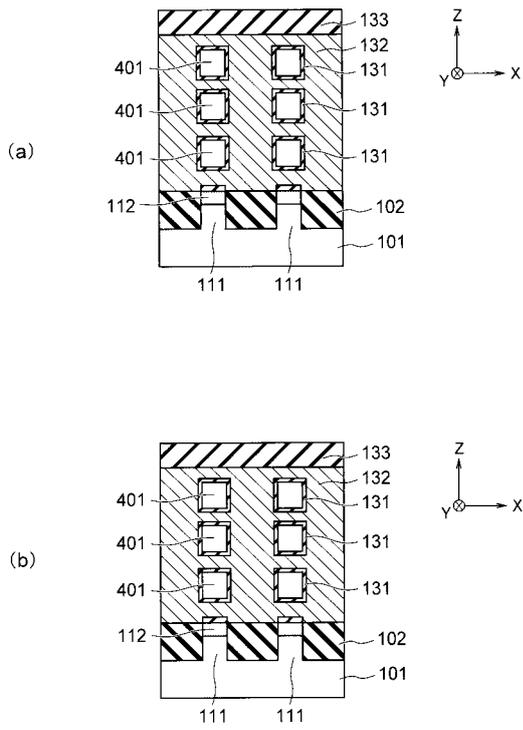
【 図 4 7 】



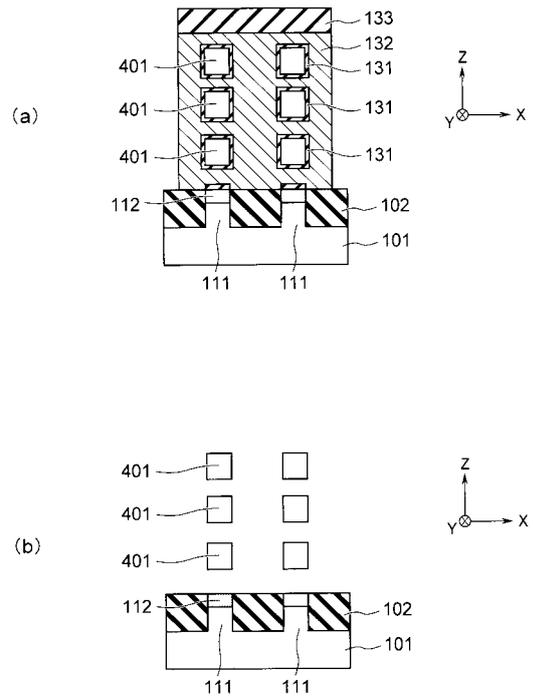
【 図 4 8 】



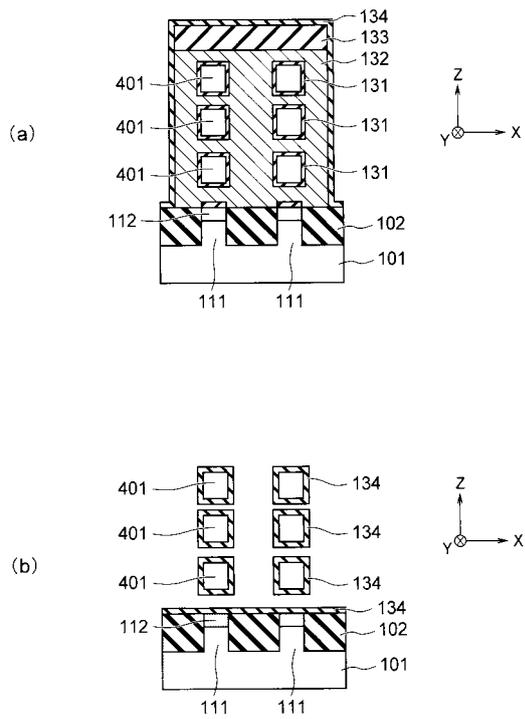
【 図 4 9 】



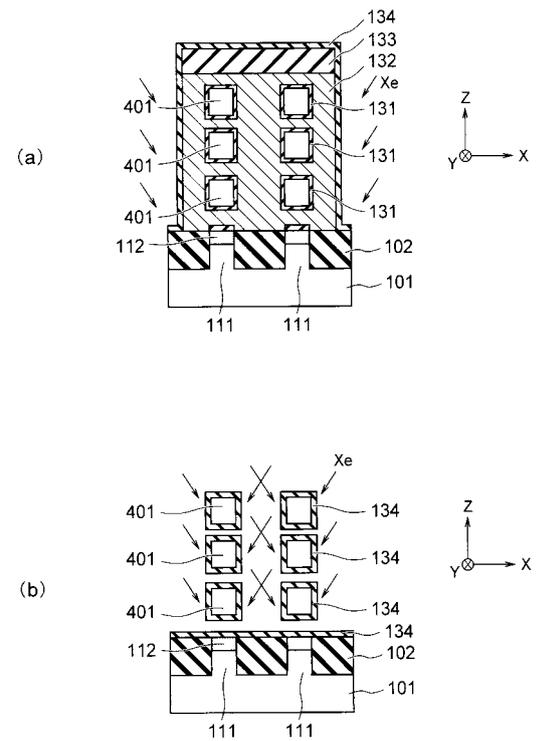
【 図 5 0 】



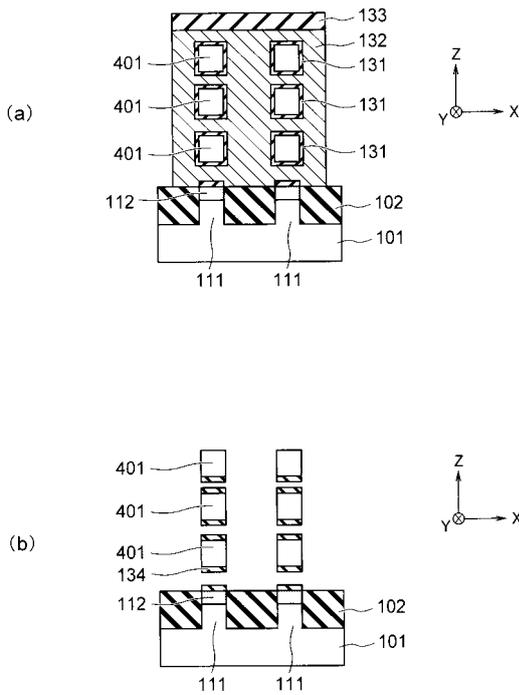
【 図 5 1 】



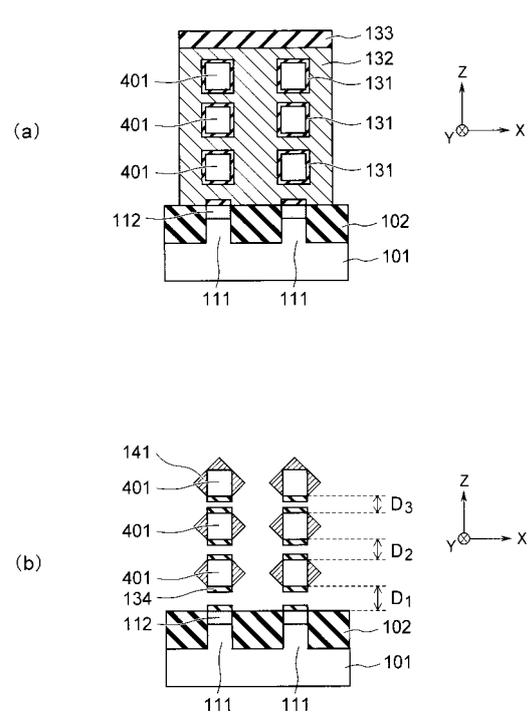
【 図 5 2 】



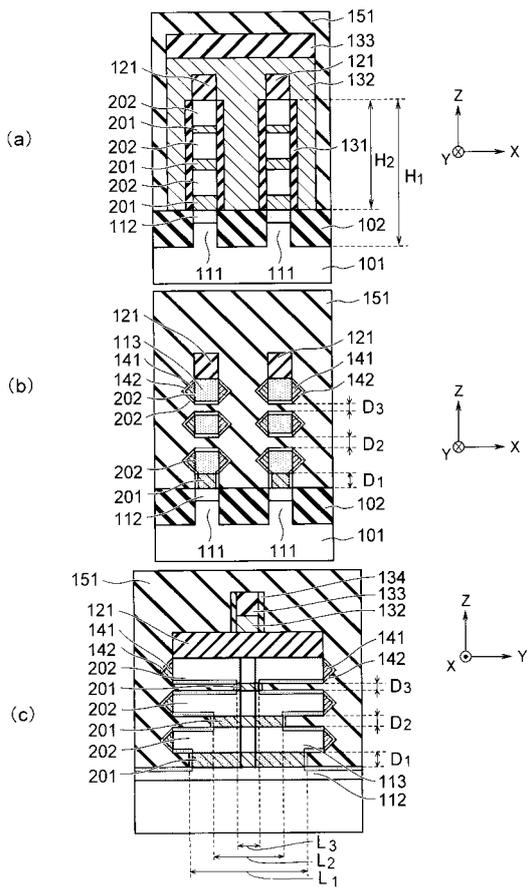
【 図 5 3 】



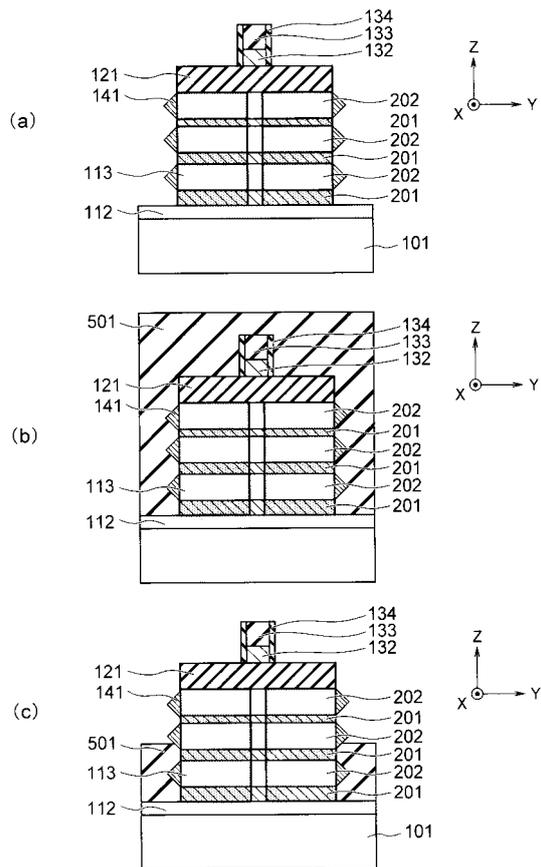
【 図 5 4 】



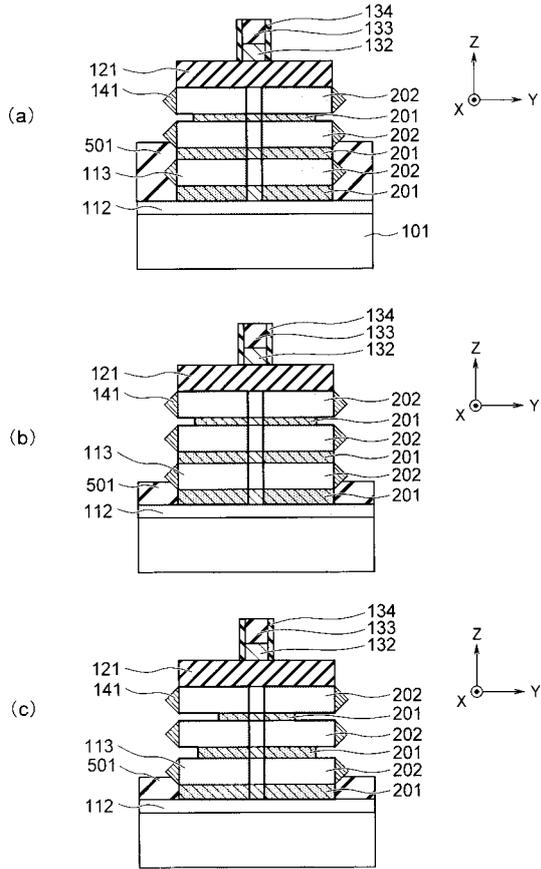
【 図 5 5 】



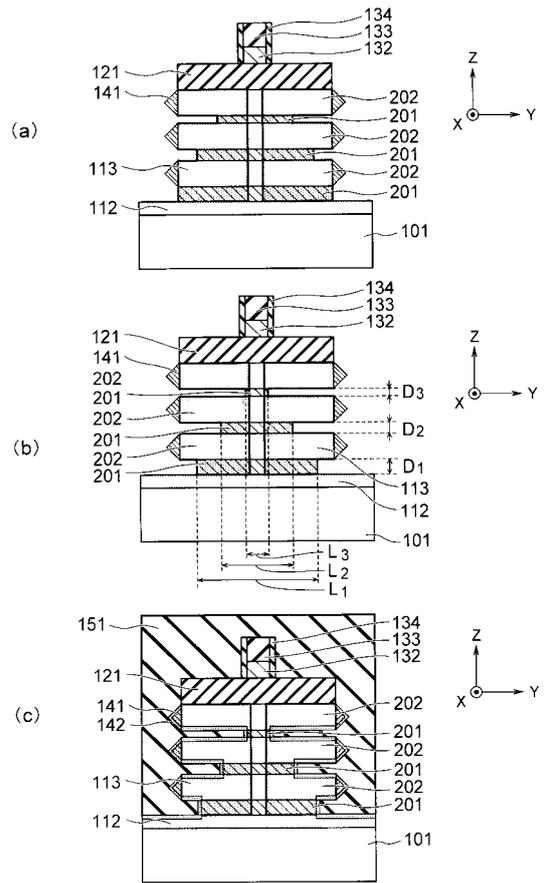
【 図 5 6 】



【 57 】



【 58 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/08 3 2 1 D
H 0 1 L 29/06 6 0 1 N

(72)発明者 岡野 王 俊
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 宇多川 勉

(56)参考文献 特開2009-054705(JP,A)
特開2009-032955(JP,A)
特開2009-259865(JP,A)
特開2009-239167(JP,A)
特開2007-207837(JP,A)
特開2007-294757(JP,A)
特開2005-045263(JP,A)
特開2003-324200(JP,A)
特開2004-128508(JP,A)
特開2011-029503(JP,A)
特表2007-509496(JP,A)
米国特許出願公開第2007/0231997(US,A1)
米国特許出願公開第2006/0022268(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 7 8