

(12) 发明专利申请

(10) 申请公布号 CN 102364670 A

(43) 申请公布日 2012. 02. 29

(21) 申请号 201110274227. 1

(22) 申请日 2011. 09. 15

(71) 申请人 上海华力微电子有限公司

地址 201203 上海市浦东新区张江高科技园
区高斯路 497 号

(72) 发明人 郑春生 张文广 徐强 陈玉文

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 陆花

(51) Int. Cl.

H01L 21/768(2006. 01)

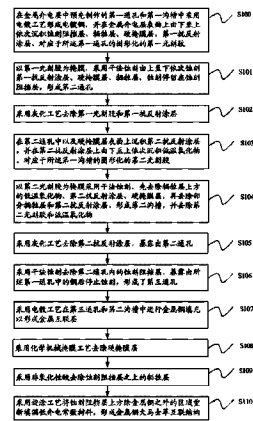
权利要求书 1 页 说明书 6 页 附图 9 页

(54) 发明名称

金属铜大马士革互联结构的制造方法

(57) 摘要

本发明提出一种金属铜大马士革互联结构的制造方法,包括如下步骤:在金属介电层中预先制作第一通孔和第一沟槽,并在金属介电层上由下至上依次沉积蚀刻阻挡层、牺牲层、硬掩膜层、第一抗反射涂层、对应于所述第一通孔的图形化的第一光刻胶;在后段互联金属工艺整合中形成双大马士革结构;在双大马士革结构中采用非氧化性酸去除蚀刻阻挡层之上的牺牲层;采用旋涂工艺将蚀刻阻挡层上方除金属铜之外的区域重新填满低介电常数材料,形成金属铜大马士革互联结构。本发明提供了一种金属铜大马士革互联结构的制造方法,以杜绝干法蚀刻和/或灰化工艺等在传统工艺中导致的低介电常数的损伤。



1. 一种金属铜大马士革互联结构的制造方法,包括如下步骤:

在金属介电层中预先制作的第一通孔和第一沟槽中采用电镀工艺形成电镀铜,并在金属介电层表面上由下至上依次沉积蚀刻阻挡层、牺牲层、硬掩膜层、第一抗反射涂层、对应于所述第一通孔的图形化的第一光刻胶;

以第一光刻胶为掩膜,采用干法蚀刻由上至下依次蚀刻第一抗反射涂层、硬掩膜层、牺牲层,蚀刻停留在蚀刻阻挡层,形成第二通孔;

采用灰化工艺去除第一光刻胶和第一抗反射涂层;

在第二通孔中以及硬掩膜层表面上沉积第二抗反射涂层,并在第二抗反射涂层上由下至上依次沉积低温氧化物、对应于所述第一沟槽的图形化的第二光刻胶;

以第二光刻胶为掩膜采用干法蚀刻,先去除牺牲层上方的低温氧化物、第二抗反射涂层、硬掩膜层,再去除部分牺牲层和第二抗反射涂层,形成第二沟槽,并去除第二光刻胶和低温氧化物;

采用灰化工艺去除第二抗反射涂层,暴露出第二通孔;

采用干法蚀刻去除第二通孔内的蚀刻阻挡层,暴露出所述第一通孔中的铜后停止蚀刻,形成了第三通孔;

采用电镀工艺在第三通孔和第二沟槽中进行金属铜填充以形成金属互联层;

采用化学机械掩膜工艺去除硬掩膜层;

采用非氧化性酸去除蚀刻阻挡层之上的牺牲层;

采用旋涂工艺将蚀刻阻挡层上方除金属铜之外的区域重新填满低介电常数材料,形成金属铜大马士革互联结构。

2. 根据权利要求1所述的金属铜大马士革互联结构的制造方法,其特征在于:所述牺牲层为二氧化硅材料,所述非氧化性酸为氢氟酸。

3. 根据权利要求1所述的金属铜大马士革互联结构的制造方法,其特征在于:所述牺牲层为铝或铝化合物材料,所述非氧化性酸为盐酸。

4. 根据权利要求1所述的金属铜大马士革互联结构的制造方法,其特征在于:所述牺牲层为类氧化物材料。

5. 根据权利要求4所述的金属铜大马士革互联结构的制造方法,其特征在于:所述类氧化物为低介电常数绝缘材料。

6. 根据权利要求1所述的金属铜大马士革互联结构的制造方法,其特征在于:所述旋涂工艺所使用的材料进行紫外线光照射做后处理。

金属铜大马士革互联结构的制造方法

技术领域

[0001] 本发明涉及半导体集成电路制造领域,尤其涉及一种金属铜大马士革互联结构的制造方法,以杜绝干法蚀刻和 / 或灰化工艺等在传统工艺中导致的低介电常数的损伤。

背景技术

[0002] 随着半导体集成电路工艺技术的不断进步,当半导体器件缩小至深亚微米的范围时,互联中的电阻 (R) 和电容 (C) 易产生寄生效应,导致金属连线传递的时间延迟 (RC time delay)。为了克服互联中的寄生效应,越来越多的人在超大规模集成电路后段互联的集成电路中,采用低阻值材料 (铜) 或低介电常数 (low k dielectric) 的隔离物质来减少因寄生电阻与寄生电容引起的 RC 延迟时间。然而,当金属导线的材料由铝转换成电阻率更低的铜的时候,由于铜很快扩散进氧化硅和硅,且铜的蚀刻较为困难,因此,现有技术通过转变到双大马士革结构,然后填入铜来实现铜互联,以促使低阻值材料如铜或低介电常数材料在集成电路生产工艺中的应用。

[0003] 现有比较通用的一种双大马士革工艺,以晶片制造后段制程 (Back-end of line, BEOL) 中通孔优先 (Via first) 工艺流程为例,可以参见图 1A 至图 1I。

[0004] 这种工艺提供基底层,基底层上形成金属介电层,图 1A 至图 1I 均缺省这一步,后续不再赘述。

[0005] 首先,参见图 1A,在金属介电层 100 中预先电镀铜 102,然后在金属介电层 100 表面上由下至上依次形成蚀刻阻挡层 (Etch Stop layer) 104、超低介电层 (Ultra-low dielectric constant, ULK) 106、硬掩膜层 (Hard mask, HM) 108、第一抗反射涂层 (BARC) 110、图形化的第一光刻胶 (PR) 112,以便进行后续工艺通孔制作。

[0006] 其次,参见图 1B 和图 1C,在 ULK 上蚀刻出通孔 (Via) 113,然后通过灰化 (Ashing) 工艺去除第一光刻胶和第一抗反射涂层后,会在 ULK 的侧壁上形成损伤 114。

[0007] 接着,参见图 1D,在蚀刻出的通孔中以及硬掩膜层表面上沉积第二抗反射涂层 116,然后在第二抗反射涂层上由下至上依次沉积低温氧化物 (LTO)、对应于沟槽的图形化的第二光刻胶 120,以便后续工艺进行沟槽制作。

[0008] 继而,参见图 1E,在蚀刻出导线用的沟槽 117 后,会加深 ULK 的侧壁上低介电常数材料的损伤。

[0009] 于是,参见图 1F 和图 1G,同样采用灰化工艺去除第二光刻胶,以及同样采用干法蚀刻去除蚀刻阻挡层后,在 ULK 侧壁上形成了一层介电常数越变越高的薄层 114。

[0010] 此后,参见图 1H,采用电镀铜工艺进行金属铜 122 填充,以形成 ULK、金属介电层之间互联的双大马士革结构。

[0011] 最后,参见图 1I,对顶部多余的金属铜 122、硬掩膜层 108 进行化学机械抛光 (CMP) 工艺以形成金属互联层,造成表层损伤 124。

[0012] 目前双大马士革结构中使用的主流的低介电常数隔离氧化物通常是掺碳氧化硅 (carbon doped oxide),碳原子和空洞的引入主要目的是降低介电常数。在通孔蚀刻 (Via

etch)(图 1B 所示)、灰化处理(图 1C 和图 1F 所示)、沟槽蚀刻(图 1E 所示)以及蚀刻阻挡层开口(line open),尤其 ULK 和金属介电层之间的金属间介电层蚀刻(Inter-Metal Dielectric etch, IMD etch)(图 1G 所示)时,碳原子在干法蚀刻的气氛下极易被消耗掉,随着干法蚀刻的多次使用,形成一层介电常数越变越高的薄层 114,也就是所谓的损伤层,同样的问题也会在灰化处理过程中出现,均会造成掺杂碳原子流失造成介电常数升高;经过 CMP(图 1I 所示)之后,由于掺碳氧化硅中存在着空洞,CMP 进行过程中不断有杂质渗入到空洞,从而也会改变介电常数,通常会造成表层的损伤 124。

[0013] 由此可见,引用这种新材料作为低介电常数隔离氧化物应用于双大马士革结构中时,在形成双大马士革结构的处理过程中存在工艺过程对不同表面将产生不同水平的破坏,尤其是金属间介电层之间的区域,如沟槽侧壁、沟槽之间的表面区域以及沟槽底部。在这些区域中的材料受损的薄层会引起介电常数的增大,导致介电常数的降低。因此,这种新材料的引入增加了工艺整合难度。

[0014] 为了解决上述问题,需要在后段互联的集成工艺中寻求解决办法消除来自于干法蚀刻和 / 或灰化工艺等工艺过程中对低介电常数的损伤,但在实际的实施过程中仍然存在相当大的壁垒,亟待引进能有效改善上述缺陷的新方法,以解决低阻值材料如铜和 / 或低介电常数材料等在集成电路生产工艺使用时面临的最主要的问题。

发明内容

[0015] 本发明所要解决的技术问题是提供一种金属铜大马士革互联结构的制造方法,以杜绝干法蚀刻和 / 或灰化工艺等在传统工艺中导致的低介电常数的损伤。

[0016] 为解决上述问题,本发明提出的一种金属铜大马士革互联结构的制造方法,包括如下步骤:

[0017] 在金属介电层中预先制作的第一通孔和第一沟槽中采用电镀工艺形成电镀铜,并在金属介电层表面上由下至上依次沉积蚀刻阻挡层、牺牲层、硬掩膜层、第一抗反射涂层、对应于所述第一通孔的图形化的第一光刻胶;

[0018] 以第一光刻胶为掩膜,采用干法蚀刻由上至下依次蚀刻第一抗反射涂层、硬掩膜层、牺牲层,蚀刻停留在蚀刻阻挡层,形成第二通孔;

[0019] 采用灰化工艺去除第一光刻胶和第一抗反射涂层;

[0020] 在第二通孔中以及硬掩膜层表面上沉积第二抗反射涂层,并在第二抗反射涂层上由下至上依次沉积低温氧化物、对应于所述第一沟槽的图形化的第二光刻胶;

[0021] 以第二光刻胶为掩膜采用干法蚀刻,先去除牺牲层上方的低温氧化物、第二抗反射涂层、硬掩膜层,再去除部分牺牲层和第二抗反射涂层,形成第二沟槽,并去除第二光刻胶和低温氧化物;

[0022] 采用灰化工艺去除第二抗反射涂层,暴露出第二通孔;

[0023] 采用干法蚀刻去除第二通孔内的蚀刻阻挡层,暴露出所述第一通孔中的铜后停止蚀刻,形成了第三通孔;

[0024] 采用电镀工艺在第三通孔和第二沟槽中进行金属铜填充以形成金属互联层;

[0025] 采用化学机械掩膜工艺去除硬掩膜层;

[0026] 采用非氧化性酸去除蚀刻阻挡层之上的牺牲层;

[0027] 采用旋涂工艺将蚀刻阻挡层上方除金属铜之外的区域重新填满低介电常数材料，形成金属铜大马士革互联结构。

[0028] 由上述技术方案可见，与传统通用的双大马士革工艺相比，本发明公开的金属铜大马士革互联结构在集成互联后段金属工艺整合中，通过引入二氧化硅或铝或铝化合物作为牺牲层，在牺牲层上先形成互联铜金属线，然后去除铜金属间隙的二氧化硅或铝或铝化合物材料，接着用旋涂的低介电常数材料填充到铜金属间隙中，形成了低介电层、金属介电层之间的互联金属层，从而杜绝了干法蚀刻和 / 或灰化工艺在传统工艺中导致的低介电常数材料的碳流失以及低介电常数材料表层的损伤。因此，通过本发明形成的金属铜大马士革结构及其金属间无损伤的低介电常数材料的工艺流程，可以在集成电路后段工艺集成的制造方法过程中消除低介电常数材料损伤。并且，本发明在制备铜大马士革结构的过程也可以将牺牲层二氧化硅或铝化合物采用普通的低介电常数材料，例如氟化玻璃 (Fluorosilicate glass, FSG) 等类氧化物等，与传统的双大马士革工艺相比，在此基础上制备的金属铜大马士革互联结构可以充分利用并且和现有工艺兼容。

附图说明

[0029] 图 1A 至图 1I 为现有技术中一种双大马士革工艺的晶片制造后段制程中通孔优先制作方法；

[0030] 图 2 为本发明一种金属铜大马士革互联结构的方法流程；

[0031] 图 3A 至图 3L 为本发明一种金属铜大马士革互联结构的制造方法；

具体实施方式

[0032] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0033] 在下面的描述中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施的限制。

[0034] 其次，本发明利用示意图进行详细描述，在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是实例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0035] 参见图 2，本发明所提供的一种金属铜大马士革互联结构的制造方法流程为：

[0036] S100：在金属介电层中预先制作的第一通孔和第一沟槽中采用电镀工艺形成电镀铜，并在金属介电层表面上由下至上依次沉积蚀刻阻挡层、牺牲层、硬掩膜层、第一抗反射涂层、对应于所述第一通孔的图形化的第一光刻胶；

[0037] S101：以第一光刻胶为掩膜，采用干法蚀刻由上至下依次蚀刻第一抗反射涂层、硬掩膜层、牺牲层，蚀刻停留在蚀刻阻挡层，形成第二通孔；

[0038] S102：采用灰化工艺去除第一光刻胶和第一抗反射涂层；

[0039] S103：在第二通孔中以及硬掩膜层表面上沉积第二抗反射涂层，并在第二抗反射涂层上由下至上依次沉积低温氧化物、对应于所述第一沟槽的图形化的第二光刻胶；

[0040] S104：以第二光刻胶为掩膜采用干法蚀刻，先去除牺牲层上方的低温氧化物、第二

抗反射涂层、硬掩膜层,再去除部分牺牲层和第二抗反射涂层,形成第二沟槽,并去除第二光刻胶和低温氧化物;

[0041] S105:采用灰化工艺去除第二抗反射涂层,暴露出第二通孔;

[0042] S106:采用干法蚀刻去除第二通孔内的蚀刻阻挡层,暴露出所述第一通孔中的铜后停止蚀刻,形成了第三通孔;

[0043] S107:采用电镀工艺在第三通孔和第二沟槽中进行金属铜填充以形成金属互联层;

[0044] S108:采用化学机械掩膜工艺去除硬掩膜层;

[0045] S109:采用非氧化性酸去除蚀刻阻挡层之上的牺牲层;

[0046] S110:采用旋涂工艺将蚀刻阻挡层上方除金属铜之外的区域重新填满低介电常数材料,形成金属铜大马士革互联结构。

[0047] 下面以图 2 所示的方法流程为例,结合附图 3A 至 3L,对金属铜大马士革互联结构的制作工艺进行详细描述。

[0048] S100:在金属介电层中预先制作的第一通孔和第一沟槽中采用电镀工艺形成电镀铜,并在金属介电层表面上由下至上依次沉积蚀刻阻挡层、牺牲层、硬掩膜层、第一抗反射涂层、对应于所述第一通孔的图形化的第一光刻胶。

[0049] 参见图 3A,在金属介电层 300 中制作第一通孔和制作第一沟槽 3024,所述第一通孔包括第一通孔 3021、第一通孔 3022、第一通孔 3023,所述第一沟槽 3024 之下分别为第一通孔 3022、第一通孔 3023,接着在第一通孔以及第一沟槽 3024 中采用电镀工艺形成第一通孔电镀铜以及第一沟槽电镀铜,所述第一通孔 3021 中的电镀铜以及第一沟槽电镀铜的表面均和金属介电层 300 的表面平齐。然后,在金属介电层 300、所述第一通孔 3021 的电镀铜、第一沟槽电镀铜的表面上由下至上依次沉积蚀刻阻挡层 304、牺牲层 306、硬掩膜层 308、第一抗反射涂层 310、光刻胶后,将光刻胶图形化后,形成图形尺寸 (CD) 以及图形位置和第一通孔 3021、第一通孔 3022、第一通孔 3023 相对应的第一光刻胶 312,以便后续工艺制造用以金属填充的第二通孔 (如图 3B 所示)。

[0050] 所述牺牲层 306 可以为二氧化硅材料或铝或铝化物材料,也可以采用普通的低介电常数材料、FSG 等类氧化物材料等制备后续工艺需要的双大马士革结构,以便可以充分利用和兼容于现有工艺。

[0051] 所述铝化物材料可以为铝和铜的化合物。

[0052] 所述硬掩膜层 308 可以防止蚀刻到下层牺牲层的侧边。

[0053] S101:以第一光刻胶为掩膜,采用干法蚀刻由上至下依次蚀刻第一抗反射涂层、硬掩膜层、牺牲层,蚀刻停留在蚀刻阻挡层,形成第二通孔。

[0054] 参见图 3B,以第一光刻胶 312 为掩膜,采用干法蚀刻由上至下依次蚀刻第一抗反射涂层 310、硬掩膜层 308、牺牲层 306,蚀刻停留在蚀刻阻挡层 304,形成第二通孔,所述第二通孔包括第二通孔 3141、第二通孔 3142 和第二通孔 3143。

[0055] S102:采用灰化工艺去除第一光刻胶和第一抗反射涂层。

[0056] 参见图 3C,采用灰化工艺去除第一光刻胶 312' 和第一抗反射涂层 310。经过本步骤后,并没有在牺牲层 306 的侧壁形成材料的损伤。

[0057] S103:在第二通孔中以及硬掩膜层表面上沉积第二抗反射涂层,并在第二抗反射

涂层上由下至上依次沉积低温氧化物、对应于所述第一沟槽的图形化的第二光刻胶。

[0058] 参见图 3D, 在第二通孔中以及硬掩膜层 308 表面上沉积第二抗反射涂层 316, 并在第二抗反射涂层 316 上由下至上依次沉积低温氧化物 318、图形化的第二光刻胶 320, 所述图形化的第二光刻胶 320 的图形尺寸以及图形位置和第一沟槽 3024 相对应, 以便后续工艺制造第二沟槽 317 (如图 3E 所示)。

[0059] S104: 以第二光刻胶为掩膜采用干法蚀刻, 先去除牺牲层上方的低温氧化物、第二抗反射涂层、硬掩膜层, 再去除部分牺牲层和第二抗反射涂层, 形成第二沟槽, 并去除第二光刻胶和低温氧化物。

[0060] 参见图 3E, 以第二光刻胶 320 为掩膜、牺牲层 306 为分界线采用干法蚀刻, 先由上至下依次蚀刻低温氧化物 318、第二抗反射涂层 316、硬掩膜层 308, 蚀刻停止在牺牲层 306 后, 接着采用干法蚀刻由上至下蚀刻部分牺牲层 306 和部分第二抗反射涂层 316, 形成金属导线用的沟槽 317, 并去除第二光刻胶 320 和低温氧化物 318。

[0061] S105: 采用灰化工艺去除第二抗反射涂层, 暴露出第二通孔。

[0062] 参见图 3F, 采用灰化工艺去除第二抗反射涂层 316, 暴露出第二通孔。

[0063] S106: 采用干法蚀刻去除第二通孔内的蚀刻阻挡层, 暴露出所述第一通孔中的铜后停止蚀刻, 形成了第三通孔。

[0064] 参见图 3G, 采用干法蚀刻去除第二通孔内的蚀刻阻挡层 304, 暴露出所述第一通孔电镀铜后停止蚀刻, 形成了第三通孔。所述第三通孔包括通孔 3141'、通孔 3142' 和通孔 3143'。

[0065] S107: 采用电镀工艺在第三通孔和第二沟槽中进行金属铜填充以形成金属互联层。

[0066] 参见图 3H, 采用电镀工艺向第三通孔和第二沟槽 317 进行金属铜 322 填充以形成牺牲层 306、金属介电层 300 之间互联的双大马士革结构。

[0067] S108: 采用化学机械掩膜工艺去除硬掩膜层。

[0068] 参见图 3I, 对顶部多余的金属铜 322、硬掩膜层 308 进行化学机械抛光工艺形成金属互联层, 制备用以后续工艺的双大马士革结构。

[0069] S109: 采用非氧化性酸去除蚀刻阻挡层之上的牺牲层。

[0070] 参见图 3J, 在已形成的双大马士革结构中如采用二氧化硅材料作为牺牲层 306 时, 所述非氧化性酸可以采用氢氟酸去除蚀刻阻挡层 304 之上的牺牲层 306; 如采用铝或铝化物材料作为牺牲层 306 时, 所述非氧化性酸可以采用盐酸去除蚀刻阻挡层 304 之上的牺牲层 306。

[0071] 采用氢氟酸去除牺牲层 306 时, 所述氢氟酸的浓度为 0.1-1% (重量百分比), 去除时间为 1-10 分钟。

[0072] 采用盐酸去除牺牲层 306 时, 所述盐酸的浓度为小于 10% (重量百分比), 去除时间为 5-10 分钟。

[0073] S110: 采用旋涂工艺将蚀刻阻挡层上方除金属铜之外的区域重新填满低介电常数材料, 形成金属铜大马士革互联结构。

[0074] 首先, 参见图 3K, 在进行旋涂工艺前, 旋涂工艺的材料可以进行紫外线 (UV) 光照做后处理, 经过一定条件的后处理工艺, 以增加孔隙率和机械强度, 可以形成较低介电常

数的薄膜层,然后,采用旋涂工艺将蚀刻阻挡层 304 上方除金属铜 322 之外的区域重新填满经过后处理的低介电常数材料,形成低介电层 326,用于后段互联的隔离介质。

[0075] 经过上述步骤后,形成低介电层 326、金属介电层 300 之间互联的金属铜大马士革互联结构以及金属间无损伤的低介电常数材料。

[0076] 然后,参见图 3L,对低介电层 326 的顶部进行 CMP 工艺,当金属铜 322 减薄并完成互联金属层后,停止 CMP 工艺,通过 CMP 工艺可以使金属铜 322 表面没有多余的低介电层 326,从而使表面平整化,并且形成了通孔内镶嵌着金属,并且这样可以使通孔内的金属与用于金属导线的沟槽中的材料相同,减少由通孔产生电迁移失效的问题,从而实现了铜替代铝材料的高导电的导线与低介电常数材料之间的金属连线工艺,降低了 RC 时间延迟,提高了用以后续工艺的金属铜大马士革互联结构的性能。

[0077] 由上述技术方案可知,与传统通用的双大马士革工艺相比,本发明公开的金属铜大马士革互联结构在集成互联后段金属工艺整合中,通过引入二氧化硅或铝或铝化合物材料作为牺牲层,在牺牲层上先形成互联铜金属线,然后去除铜金属间隙的二氧化硅或铝或铝化合物材料,接着用旋涂的低介电常数材料填充到铜金属间隙中,形成了低介电层、金属介电层之间互联的互联金属层,从而杜绝了干法蚀刻和 / 或灰化工艺在传统工艺中导致的低介电常数材料的碳流失,从而造成低介电常数材料表层的损伤。因此,通过本发明形成的金属铜大马士革结构及其金属间无损伤的低介电常数材料的工艺流程,可以在集成电路后段工艺集成的制造方法过程中消除低介电常数材料损伤。并且,本发明在制备金属铜大马士革互联结构的过程也可以将二氧化硅或铝或铝化合物材料的牺牲层采用普通的低介电常数材料,例如 FSG 低介电绝缘材料等类氧化物等,与传统的双大马士革工艺相比,在此基础上制备的金属铜大马士革互联结构可以充分利用并且和现有工艺兼容。

[0078] 本发明虽然以较佳实施例公开如上,但其并不是用来限定权利要求,任何本领域技术人员在不脱离本发明的精神和范围内,都可以做出可能的变动和修改,因此本发明的保护范围应当以本发明权利要求所界定的范围为准。

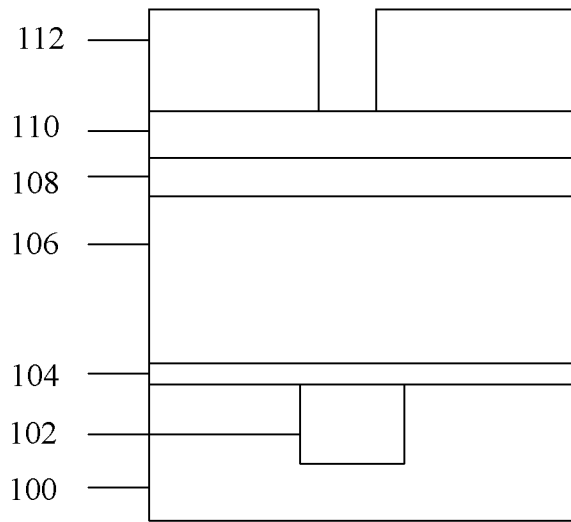


图 1A

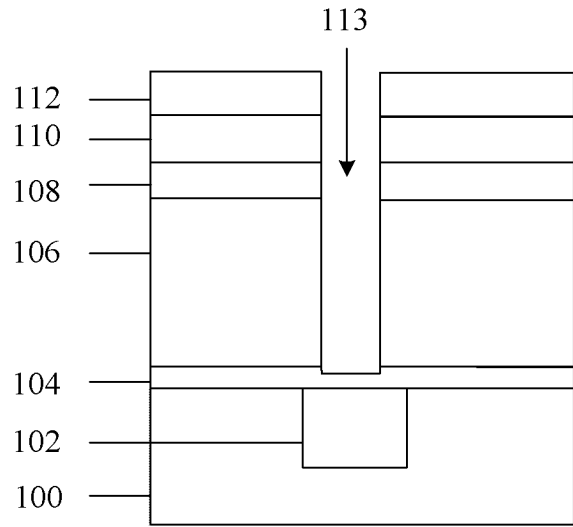


图 1B

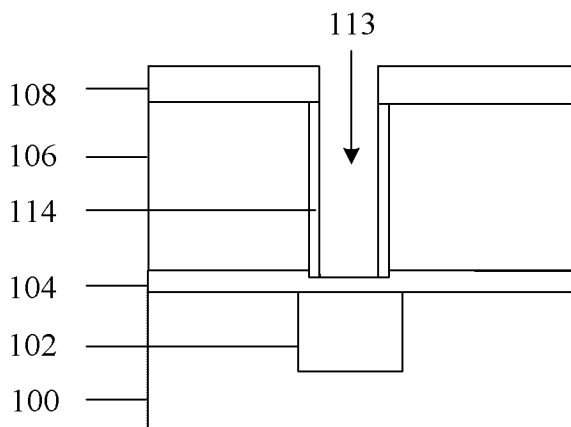


图 1C

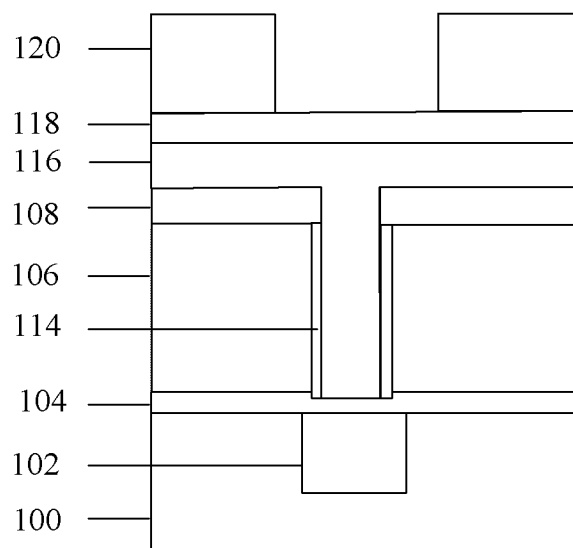


图 1D

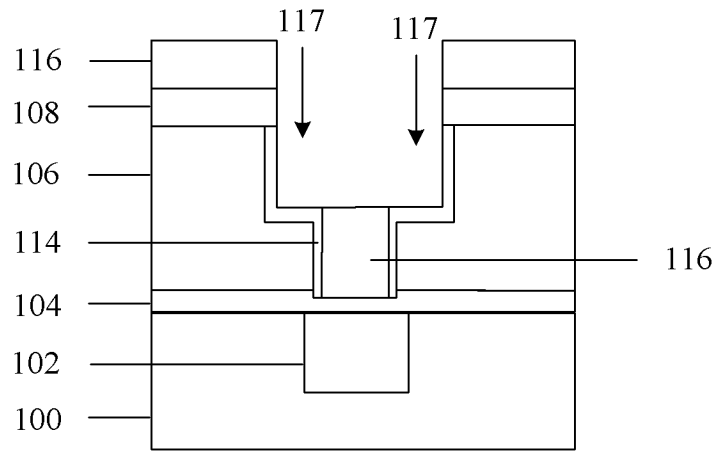


图 1E

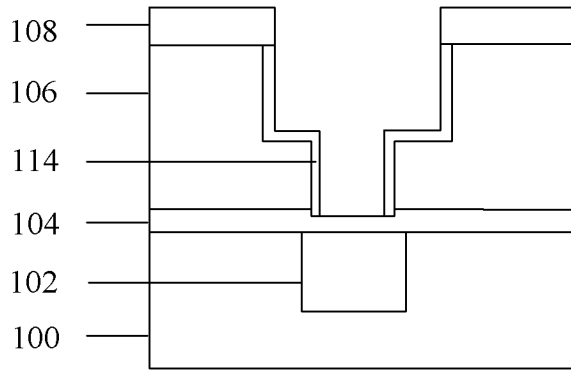


图 1F

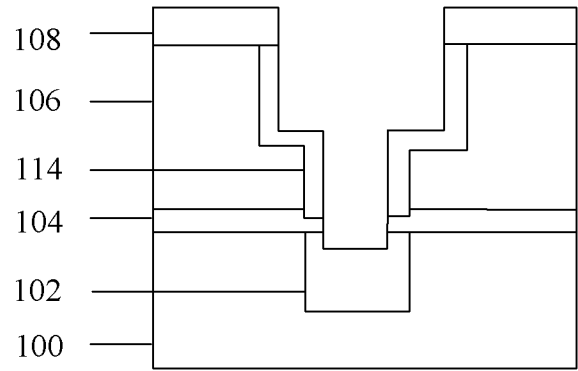


图 1G

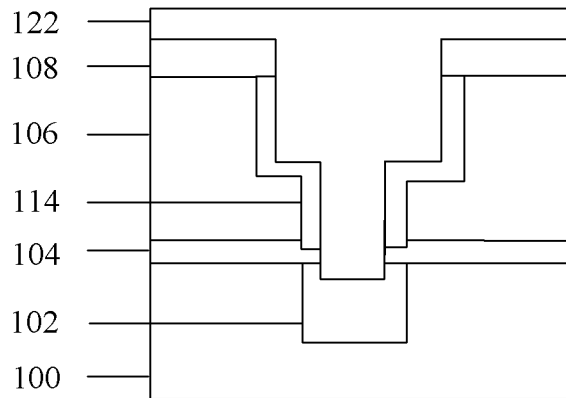


图 1H

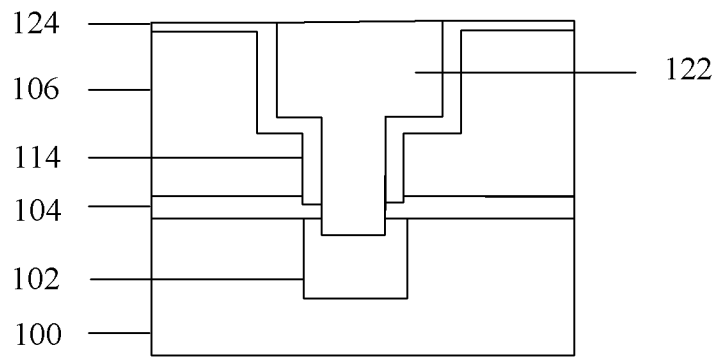


图 11

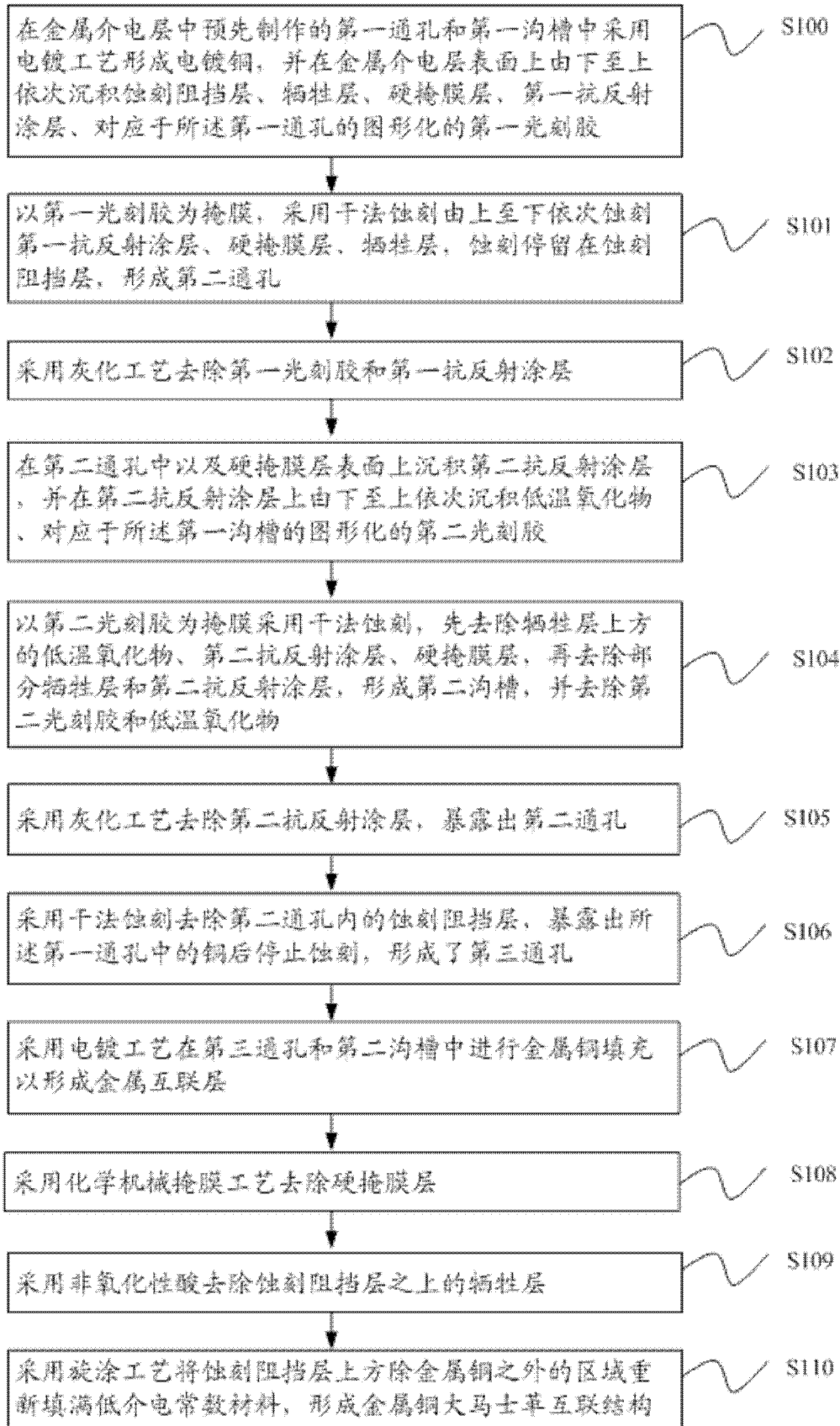


图 2

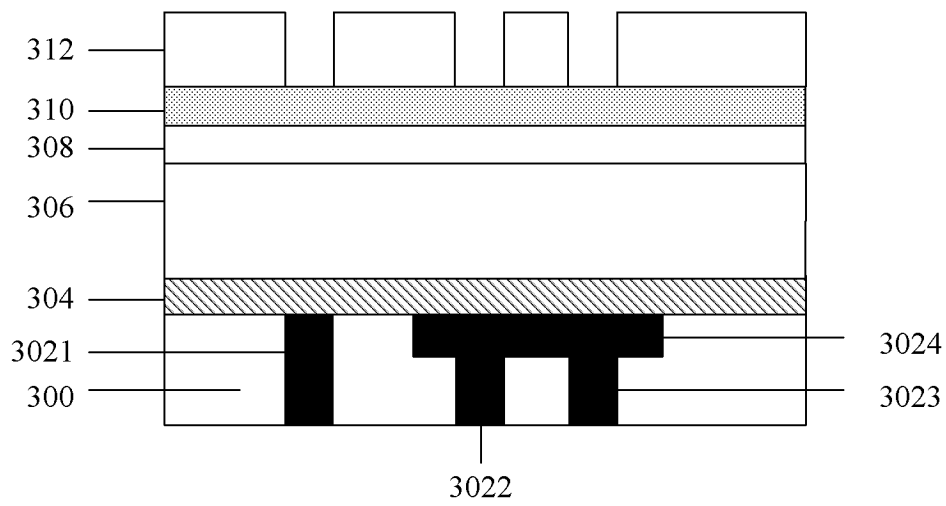


图 3A

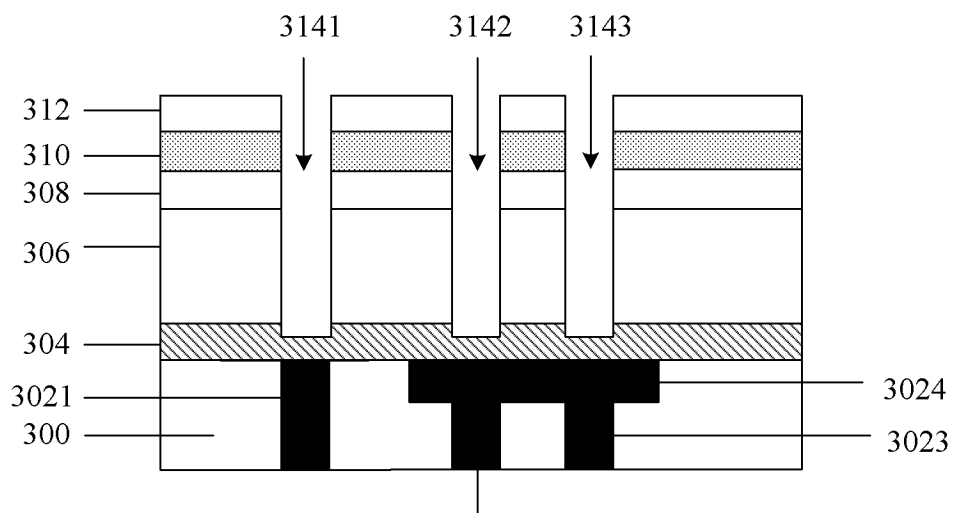


图 3B

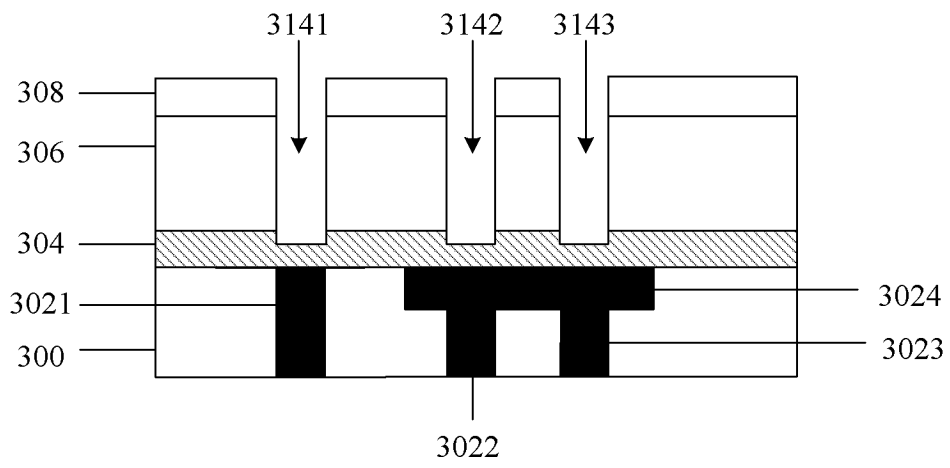


图 3C

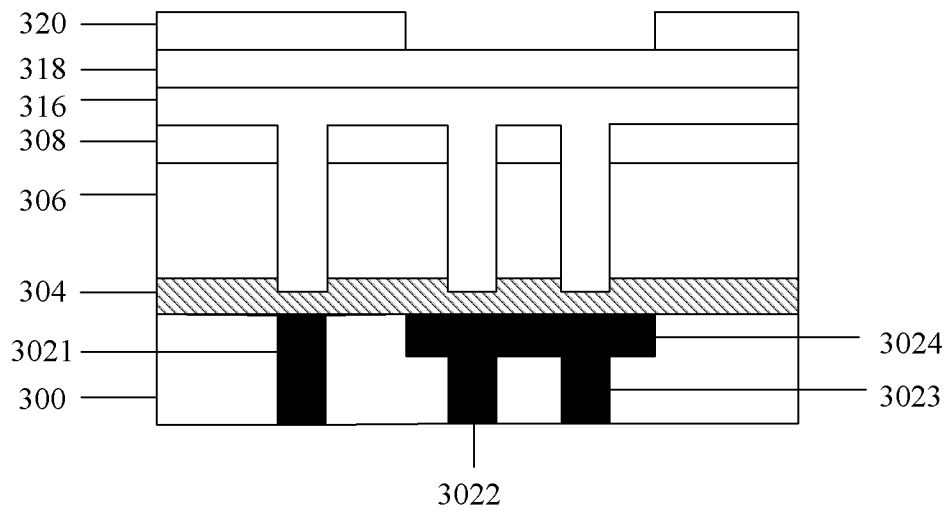


图 3D

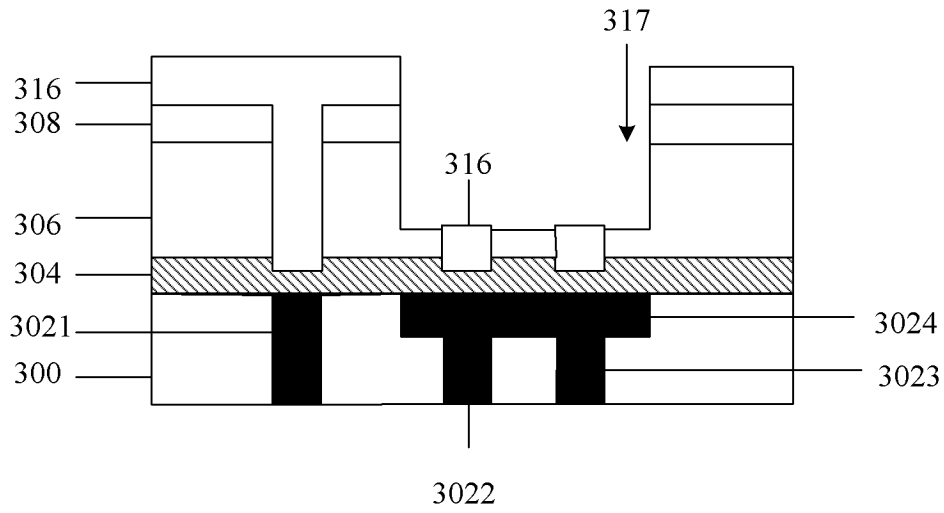


图 3E

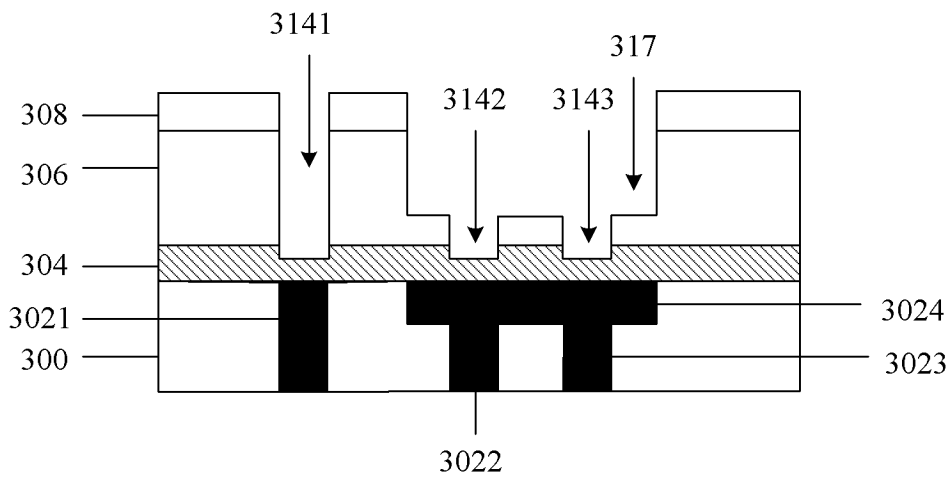


图 3F

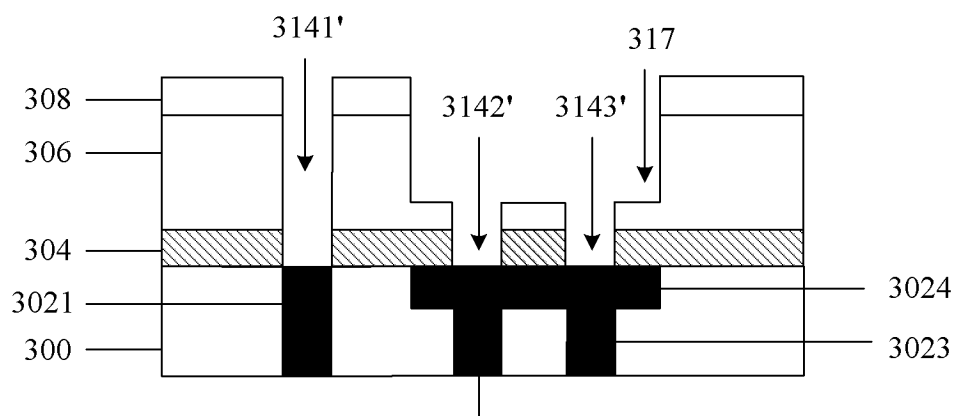


图 3G

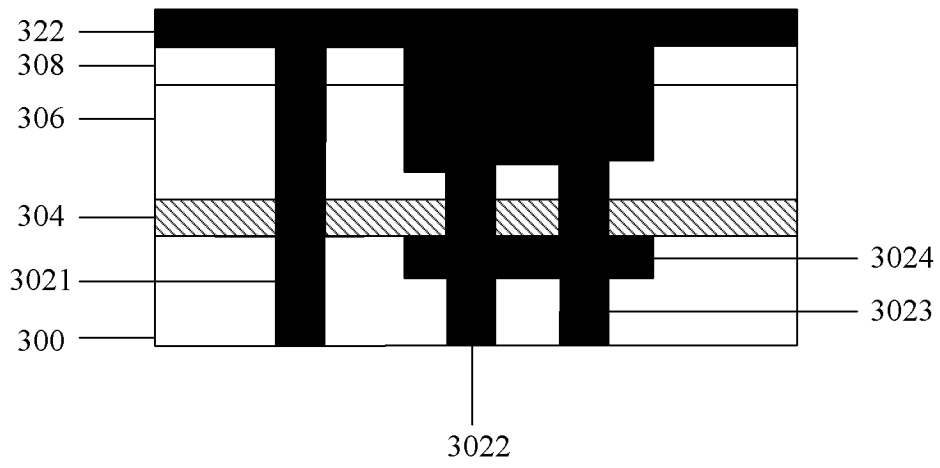


图 3H

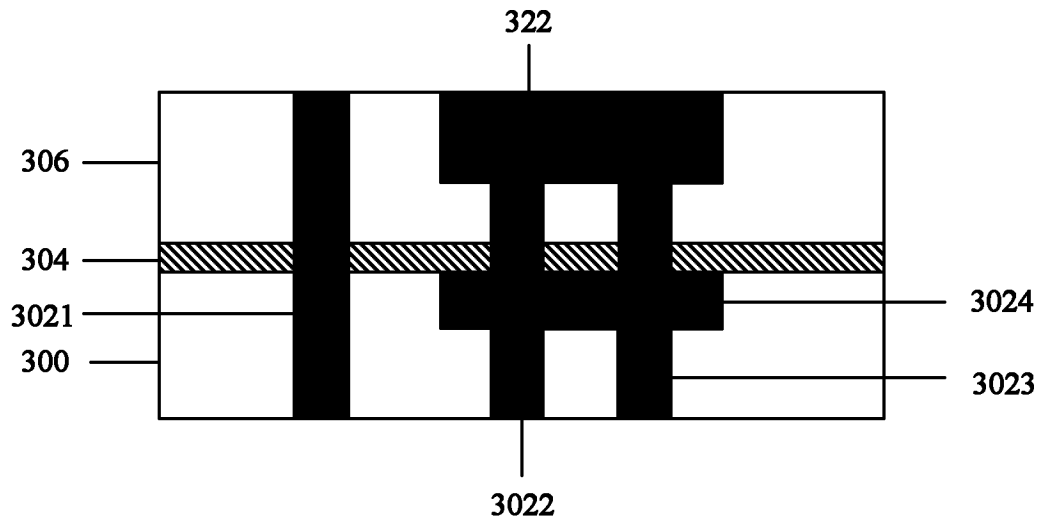


图 3I

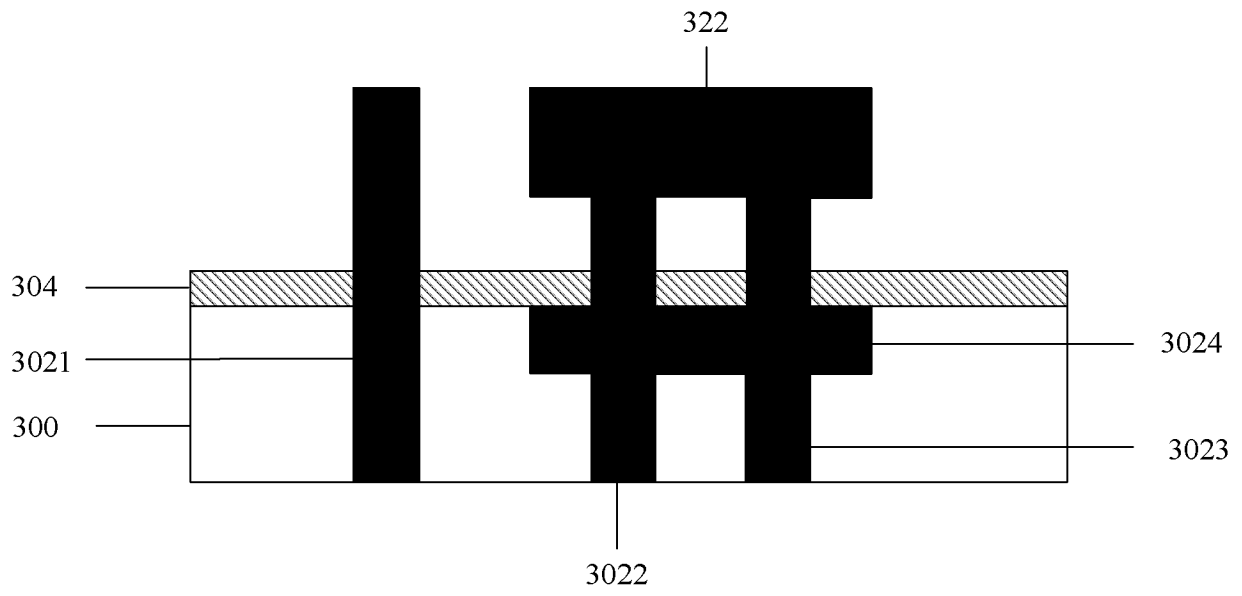


图 3J

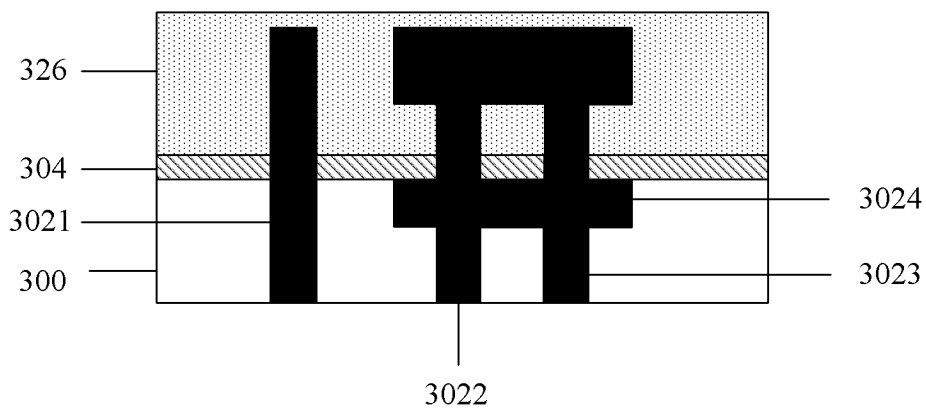


图 3K

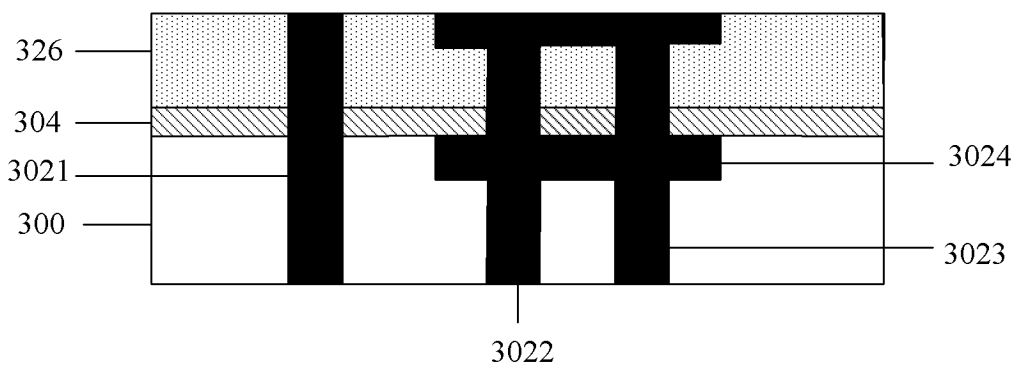


图 3L