

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-90509
(P2013-90509A)

(43) 公開日 平成25年5月13日(2013.5.13)

(51) Int.Cl.			F I			テーマコード (参考)		
H02M	3/28	(2006.01)	H02M	3/28	F	2H270		
H02M	7/21	(2006.01)	H02M	3/28	U	5H006		
G03G	21/00	(2006.01)	H02M	7/21	A	5H730		
			G03G	21/00	398			

審査請求 未請求 請求項の数 7 O L (全 18 頁)

(21) 出願番号 特願2011-231004 (P2011-231004)
(22) 出願日 平成23年10月20日 (2011.10.20)

(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(74) 代理人 100126240
弁理士 阿部 琢磨
(74) 代理人 100124442
弁理士 黒岩 創吾
(72) 発明者 林崎 実
東京都大田区下丸子3丁目30番2号キヤ
ノン株式会社内
(72) 発明者 真野 宏
東京都大田区下丸子3丁目30番2号キヤ
ノン株式会社内
Fターム(参考) 2H270 KA46 LA10 LD06 MG01 MG02
ZC05

最終頁に続く

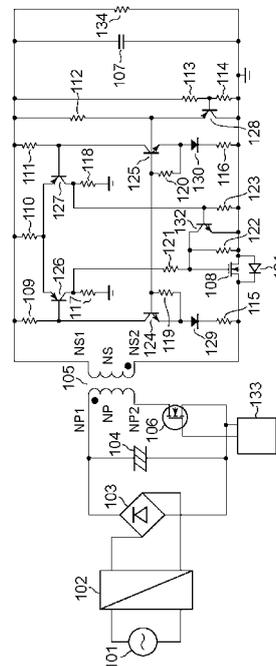
(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 同期整流方式のスイッチング電源において、効率を低下させることなくオン抵抗の低いスイッチング素子を用いて正しく動作する。

【解決手段】 入力されたパルス電圧を整流する整流手段と、整流手段に対してパルス電圧が入力される側に設けられた電圧電流変換手段と、電圧電流変換手段の出力電流を電圧に変換する電流電圧変換手段と、電流電圧変換手段の電圧と基準電圧の差を比較する比較手段とを備え、比較手段からの出力によって整流手段の動作を制御する電源装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力されたパルス電圧を直流電圧として出力する電源装置において、
 入力された前記パルス電圧を整流する整流手段と、
 前記整流手段に対して前記パルス電圧が入力される側に設けられた電圧電流変換手段と、
 前記電圧電流変換手段からの電流を電圧に変換する電流電圧変換手段と、
 前記電流電圧変換手段からの電圧と基準電圧の差を比較する比較手段とを備え、
 前記比較手段からの出力によって前記整流手段の動作を制御することを特徴とする電源装置。

【請求項 2】

前記比較手段は、前記整流手段を駆動する駆動手段を備えたことを特徴とする請求項 1 に記載の電源装置。

【請求項 3】

前記電流電圧変換手段に対して前記直流電圧を出力する側に、前記整流手段を駆動する駆動手段を備え、
 前記駆動手段は、前記比較手段からの出力に応じて前記整流手段を駆動することを特徴とする請求項 2 に記載の電源装置。

【請求項 4】

前記電流電圧変換手段からの電圧によって前記整流手段をオンし、前記比較手段からの出力によって前記整流手段をオフすることを特徴とする請求項 1 乃至 3 のいずれかの項に記載の電源装置。

【請求項 5】

トランスを備え、交流電圧から第一の直流電圧を生成する第一のコンバータと、前記第一の直流電圧を第一の直流電圧よりも低い第二の直流電圧に変換する第二のコンバータを有し、
 前記整流手段が、第一のコンバータの前記トランスの二次側の整流手段であり、前記電圧電流変換手段と前記電流電圧変換手段が前記第二のコンバータの出力電圧によって動作することを特徴とする請求項 1 乃至 4 のいずれかの項に記載の電源装置。

【請求項 6】

前記電源装置の軽負荷状態において、出力される前記直流電圧を、前記第一のコンバータからの直流電圧として、前記第二の直流電圧よりも低い直流電圧を出力するようにし、前記第二のコンバータのスイッチング手段のオン時間を固定するように制御することを特徴とする請求項 5 に記載の電源装置。

【請求項 7】

記録材に画像を形成するための画像形成手段と、
 前記画像形成手段の動作を制御する制御手段と、
 前記制御手段に直流電圧を供給する電源と、を備え、
 前記電源は、
 入力されたパルス電圧を整流する整流手段と、
 前記整流手段に対して前記パルス電圧が入力される側に設けられた電圧電流変換手段と、
 前記電圧電流変換手段からの電流を電圧に変換する電流電圧変換手段と、
 前記電流電圧変換手段からの電圧と基準電圧の差を比較する比較手段とを備え、
 前記比較手段からの出力によって前記整流手段の動作を制御することを特徴とする画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同期整流方式のスイッチング電源装置に関する。

【背景技術】

【0002】

10

20

30

40

50

従来のスイッチング電源の一例として図10に示すようなコンパレータを用いる構成が知られている。図10のスイッチング電源は、コンパレータを用いてスイッチング素子であるFETの両端の電圧を検出して同期整流用のスイッチング素子(FET)を駆動するものである。図10において、1001はトランス、1002は直流電源、1003は一次側のFET(MOSFET:電界効果トランジスタ)、1004は二次側の電解コンデンサ、1005は負荷、1006はスイッチング動作を制御する回路、1007は同期整流用のFET、1008はコンパレータである。一次側のFET1003がオンしてトランス1001にエネルギーを蓄えた後、FET1003がオフすると同期整流用のFET1007のソース電圧が上昇し、コンパレータ1008の+端子の電圧が-端子電圧よりも高くなる。これにより、同期整流用のFET1007がオンする。そして、電流が流れて0Aになり、コンデンサ1005の+端子からトランス1001に電流が流れ始めると同期整流用のFET1007の-入力端子の電圧が+入力端子の電圧よりも高くなる。すると、同期整流用のFET1007のゲート電圧が低下して、同期整流用のFET1007がオフする。このような構成及び動作によって少ない部品点数で同期整流用のFETの動作を制御することができる。また、類似の回路構成としてコンパレータをPNPトランジスタ、NPNトランジスタからなるディスクリート回路で構成する例を図11に示す。このような図11(図10b)の回路でも図10と同様の動作が可能である。

また、同期整流方式として直接電流を検出しない方式もある。例えば、特許文献1、特許文献2に開示されているトランスのET積を利用した方式である。図12にその一例を示す。図12において1201はトランス、1202は電源、1203は一次側のFET、1204は同期整流用のFET、1205は二次側の電解コンデンサ、1206は負荷、1207は第一の定電流源、1208はコンデンサ、1209は第二の定電流源、1210は基準電圧、1211はコンパレータである。1212および1213は抵抗、1214は電圧検出回路、1215は定電圧源である。

【0003】

定電流源1207は一次側のFET1203がオンした期間のトランス1201の電圧に比例した電流を発生する定電流源であり、一次側のFET1203がオンした期間、トランス1201に発生する電圧の時間積(オンした期間の電圧の積分値)をコンデンサの電圧として蓄える。第二の電流源1209は一次側のFET1203がオフしている期間に発生する電圧に比例した電流を発生する定電流源であり、一次側のFET1203がオフするとオンとなってコンデンサ1208に蓄えられた電圧を放電していく。コンデンサ1208の電圧が基準電圧1210によって定まる所定値まで低下すると、コンパレータ1211が動作して論理回路が反転し、同期整流用のFET1204がオフする。

【0004】

その他の方式としては、上記の図10で示した構成で、更にコンパレータの入力端子に直列に基準電圧源を設けたもの、また、閾値となる基準電圧を複数設け、ヒステリシス性を持たせて誤動作を防止したものもある。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特許4158054号公報

【特許文献2】特許4210868号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、上記で説明した従来のスイッチング電源の構成(図10)では、同期整流用のFETのオン抵抗が小さく、かつ、そのドレイン-ソース間電圧が低い素子の場合、正しく動作できないという課題が発生する。

【0007】

特にスイッチング電源の軽負荷運転時(臨界モード、また、不連続モードともいう)に

10

20

30

40

50

は、同期整流用の F E T に流れる電流が略 0 A まで低下する。つまり、同期整流用の F E T のドレイン - ソース間電圧も略 0 V まで低下するため、同期整流用の F E T としてオン抵抗の低い素子を用いると電流を検出することが困難になる。これに対してオン抵抗の高い素子を使用すれば解決することができるが、オン抵抗の高い素子では同期整流動作時の効率が低下してしまう。

【 0 0 0 8 】

一方、特許文献 1、2 の方式では直接電流を検出しない方式であり、F E T のオン抵抗には依存しない。また、電圧を積分する方式であるため誤動作が少ないこと、回路構成が簡易になるという利点がある。しかし、反面、同期整流用の F E T のオフタイミングを 0 (アンペア、以下 (A) と記す) に合わせるタイミングを決める閾値の設定が難しい。な
10
ぜなら、この閾値の設定は、電源投入時など出力電圧の変動や負荷変動が大きいときにはコンデンサの充放電の中心値である平均値が変動するため電流 0 (A) のタイミングと同期整流 F E T のオフのタイミングがずれることがあるからである。特許文献 1、2 の方式は、直接電流を検出しないので、予測して見込みで動作する方式となるため、ある程度マージンをとって早めに同期整流用の F E T をオフする必要がある。マージンをとって同期整流用の F E T をオフすると同期整流 F E T のボディダイオードの導通期間が長くなるため効率が低下することになる。

【 0 0 0 9 】

本発明は、上記課題に鑑み、同期整流方式のスイッチング電源において、効率を低下させることなくオン抵抗の低いスイッチング素子を用いて正しく動作することを目的とする
20

【課題を解決するための手段】

【 0 0 1 0 】

上記目的を達成するための本発明の電源装置は、入力されたパルス電圧を直流電圧として出力する電源装置において、入力された前記パルス電圧を整流する整流手段と、前記整流手段に対して前記パルス電圧が入力される側に設けられた電圧電流変換手段と、前記電圧電流変換手段の出力電流を電圧に変換する電流電圧変換手段と、前記電流電圧変換手段の電圧と基準電圧の差を比較する比較手段とを備え、前記比較手段からの出力によって前記整流手段の動作を制御することを特徴とする。

【発明の効果】

以上説明したように、本発明によれば、同期整流方式のスイッチング電源において、効率を低下させることなくオン抵抗の低いスイッチング素子を用いて正しく動作することができる。
30

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】実施例 1 のスイッチング電源の回路図

【図 2】実施例 1 のスイッチング電源の動作波形を示す図

【図 3】実施例 1 のスイッチング電源の動作波形を示す図

【図 4】実施例 1 の同期整流 F E T の駆動波形の一例を示す図
40

【図 5】実施例 2 の同期整流回路図

【図 6】実施例 2 の同期整流 F E T の駆動波形の一例を示す図

【図 7】実施例 3 の同期整流回路図

【図 8】実施例 3 の同期整流 F E T の駆動波形の一例を示す図

【図 9】実施例 4 のスイッチング電源の回路図

【図 10】従来のスイッチング電源

【図 11】従来の同期整流回路の一例

【図 12】従来の同期整流回路の一例

【図 13】スイッチング電源の提供例を示す図

【発明を実施するための形態】

10

20

30

40

50

【 0 0 1 3 】

次に、上述した課題を解決するための本発明の具体的な構成について、以下に実施例に基づき説明する。なお、以下に示す実施例は一例であって、この発明の技術的範囲をそれらのみに限定する趣旨のものではない。

【 0 0 1 4 】

(実施例 1)

実施例 1 のスイッチング電源の回路図を図 1 に示す。図 1 において、101 は商用交流電源であり、所謂コンセントに電源を接続した状況を示している。102 はノイズを除去するフィルタ回路、103 は整流ブリッジ回路、104 は一次側の電解コンデンサ（以下、一次電解コンデンサという）、105 はトランス、106 は一次側のスイッチング素子（以下、一次スイッチング素子という）である。トランス 105 の一次巻線は Np、一次巻線の端子は一次電解コンデンサ 104 の + 端子と接続される端子を Np1、一次スイッチング素子 106 のドレイン端子に接続される端子を Np2 としている。トランス 105 の二次巻線を Ns、一次巻線の Np1 を + (正)、Np2 を - (負) とする方向に電圧が印加されて電流が流れる時に、二次巻線 Ns において正電圧が現れる端子を Ns2、負電圧が現れる端子を Ns1 としている。107 は二次側の電解コンデンサ（以下、二次電解コンデンサ 107 という）であり、二次巻線 Ns の端子 Ns1 と二次電解コンデンサ 107 の + 端子が接続されている。108 は同期整流用のスイッチング素子（以下、同期整流 FET 108 という）であり、本実施例では N チャネル型 FET を用いている。この同期整流 FET 108 のソース端子を二次電解コンデンサ 107 の - 端子に、ドレイン端子を二次巻線 Ns の Ns2 端子に接続している。また、109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122, 123 は抵抗、124, 125 は NPN トランジスタ、126, 127, 128 は PNP トランジスタである。また、129, 130 はダイオードである。131 は同期整流 FET 108 に内蔵または外付けのダイオード（ボディダイオードともいう）である。

【 0 0 1 5 】

図 1 のスイッチング電源の動作を図 2、図 3 を用いて説明する。なお、一次側スイッチング素子 106（本実施例では MOSFET を適用している。以下、一次側 FET 106 という）を制御するスイッチング制御回路、及び、フィードバック回路の動作については周知の動作であるため説明は省略する。

【 0 0 1 6 】

一次側 FET 106 がオンして、トランス 105 の一次巻線 Np に電圧が印加されると、一次電解コンデンサ 104 の + 端子からトランス 105 の一次巻線 Np、一次側 FET 106 のドレインからソースに向かう方向に電流が流れ始める。図 2 の 201 に一次側 FET 106 のゲート - ソース間電圧波形を、202 には一次側 FET 106 のドレイン電流 Id を示す。一次側 FET 106 がオンしている期間 I として示している。期間 I ではトランス 105 の一次巻線 Np には、図 2 の波形 203 で示す電圧が印加される。即ち、Np1 が高電位側になるような方向に一次電解コンデンサの電圧が印加される。図 2 の波形 203 は一次巻線 Np に現れる電圧、即ち Np1 - Np2 を表している。

【 0 0 1 7 】

図 2 の期間 I ではトランス 105 の一次巻線 Np に流れる電流は時間とともに増加する。一次巻線 Np のインダクタンスを Lp、一次側 FET 106 がオンしてからの時間を tオン とすると、一次巻線 Np の電流 I1p は、 $I_{1p} = E \times t_{\text{オン}} / L_p$ となる。このとき、トランスに蓄えられるエネルギーは $1 / 2 \times L_p \times I_{1p}^2$ となる。

【 0 0 1 8 】

トランスの二次巻線 Ns には Ns1 端子よりも Ns2 端子の方が高い電圧になるように電圧 V が発生する。図 2 の波形 204、また、二次巻線 Ns に生じる電位差は、一次巻線の巻数を n1、二次巻線の巻数を n2 とし、一次巻線 Np に印加される電圧を E とすると、 $V = E \times n_2 / n_1$ となる。この電圧は同期整流 FET 108 のボディダイオードおよびショットキーダイオード 131 により遮断される。このため二次巻線 Ns から二次電解

10

20

30

40

50

コンデンサ 107 に充電する電流は流れない。図 2 の 205 に二次巻線 N_s に流れる電流を示す。

【0019】

一次側 FET 106 をオフすると、トランス 105 に蓄えられたエネルギーが二次巻線 N_s より放出される。図 2 の期間 II は、一次側 FET 106 がオフしてトランス 105 のエネルギーが二次側に放出されている期間である。このように期間 II では、二次巻線 N_s には一次側 FET 106 がオンしていたときとは逆方向（逆極性）の電圧が発生する。即ち、 N_s 1 端子が N_s 2 端子よりも高い電圧となる。すると、ショットキーダイオード 128 および同期整流 FET 108 のボディダイオード 131 に順方向電圧が印加されてダイオードが導通状態となる。このため二次巻線 N_s から二次電解コンデンサ 107 に充電する電流が流れる。なお、ダイオード 129 のカソード端子は同期整流 FET 108 のドレイン端子に、ダイオード 130 のカソード端子は同期整流 FET 108 のソース端子に接続されている。

10

【0020】

ダイオード 129 には抵抗 115 とトランジスタ 124 から構成される定電流源回路が接続され、ダイオード 130 には抵抗 116 とトランジスタ 125 から構成される定電流源回路が接続されている。この 2 つの定電流源回路は、抵抗 112, 113, 114 とトランジスタ 121 から構成される定電圧回路とダイオード 129, 130 のカソード電圧により定められる電流を夫々流す。夫々の電流は抵抗 109、111 により再度、電圧に変換される。

20

【0021】

同期整流 FET 108 にソースからドレインに流れる電流が発生してドレイン電圧がソース電圧よりも低くなると、ダイオード 129 のアノード電圧がダイオード 130 のアノード電圧よりも低くなる。トランジスタ 124 とトランジスタ 125 はベース端子同士が接続されており、更に、トランジスタ 128 のエミッタ端子に接続されている。トランジスタ 128 は抵抗 112 ~ 114 とともに定電圧回路を構成している。従って、トランジスタ 124 とトランジスタ 125 のエミッタ電圧は、略同じ電圧になる。従って抵抗 115 の両端電圧の方が抵抗 116 の両端電圧よりも高くなり、その結果、抵抗 115 に流れる電流は抵抗 116 に流れる電流よりも大きくなる。

【0022】

従って、トランジスタ 124 のコレクタ電流はトランジスタ 125 のコレクタ電流より大きくなる。夫々のコレクタ電流は、夫々抵抗 109、111 により電圧に変換されてトランジスタ 126 のベース電圧を低下させる。従って、トランジスタ 126 の電圧の低下がトランジスタ 127 の電圧の低下よりも大きく、トランジスタ 126 のコレクタ - エミッタ間が導通してトランジスタ 127 のコレクタ - エミッタ間は遮断される。このようにトランジスタ 124、125 をベース接地とすることで電流の変化に対して高速に応答するよう構成している。またトランジスタ 124、125 互いのトランジスタのベース端子を共通とし、ペア特性の高いトランジスタを使用することにより高精度に電位差を検出することが可能となる。

30

【0023】

同期整流 FET 108 は、同期整流 FET 108 に流れる電流が 0 (A) になったときにオフする必要がある。従って、同期整流 FET 108 のドレイン - ソース間電圧が数 mV 以下となるとときにトランジスタ 126 及びトランジスタ 127 のオンオフが反転するように回路を構成している。そのため同期整流 FET 108 の外付けショットキーダイオード 131 (ボディダイオードでもよい) の導通期間は、閾値よりもはるかに大きい電位差 (数 100 mV 以上) となる。従ってダイオード 131 の導通によりトランジスタ 126 のベース電位は低下し、トランジスタ 126 のベース電流はトランジスタ 126 がオンして同期整流 FET 108 を駆動するに十分な電流となる。なお、トランジスタ 126 のコレクタ端子の出力を同期整流 FET 108 のゲート端子に抵抗 121 を介して接続している。このように接続することにより、トランス 105 の二次側に充電電流が流れたことに

40

50

より発生するダイオード131の電圧降下から、トランジスタ1回路分の遅れ時間(60 ns ~ 200 ns程度)で同期整流FET108をオンすることが可能となる。これは、例えば、汎用のコンパレータによる回路の遅れ分(400 ~ 700 ns程度)よりも高速になる。

【0024】

FET108がオフする時には、トランス105に蓄えたエネルギーが二次電解コンデンサ107に充電され、トランスに蓄えたエネルギーを放出し終わっている。その後、トランス105の1次巻線NPのNp2端子の電圧が上昇し、同期整流FET108のボディダイオードもオン出来ない状態となっている。このためNp2端子の電圧、Ns2端子の電圧ともに自由振動を始める(期間III)。この期間IIIもFET106はオフしており、トランスの一次側の制御IC133の機能によっては1次巻線NPの巻線電圧が低下した状態で一次側のFET106をオンするよう構成してもよい。

10

【0025】

本実施例で説明した疑似共振型のスイッチング電源では、トランスの二次側のダイオード131には一次側のFET106をオフした直後に最も大きな電流が流れる。そのため、ダイオード131に電流が流れ始めてから同期整流FET108をオンするまでに時間がかかると大きくエネルギーを損失してしまう。本実施例によれば、同期整流FET108が速やかにオンするため、トランスの二次側の電流が最も大きい時にもダイオード131の損失を低下できるため、同期整流方式において効率に最大限に改善することが可能となる。

20

【0026】

同期整流FET108がオンすると、ダイオード131流れていた電流は同期整流FET108に流れる。従って同期整流FET108の両端電圧はオン抵抗と電流の積となり、ダイオード131の順方向電圧Vfよりも小さい電圧となる。この様子を図3に示す。同期整流FET108の両端電圧が低下することにより、抵抗115の電流が小さくなるため抵抗109の電流も小さくなってトランジスタ126のベース電圧が上昇する。しかし、トランジスタ126のベース電圧はトランジスタ127のベース電圧よりも低いため、トランジスタ126はオンした状態を保つ。トランジスタ126のベース電流は低下するためトランジスタ126のコレクタ電流も低下するが、そのゲート電圧は維持されている状態となる。

30

【0027】

トランスの二次側に流れる電流Isは、トランス105に蓄えられたエネルギーを放出するとともに減少し、トランスに蓄えたエネルギーが放出されると0(A)になる。トランスの二次側に流れる電流が0(A)になる時間をt、一次側FET106をオフする直前に流れていた電流をI1p、二次インダクタンスをLs、二次側の電圧をVoとすると、 $V_o \times t = I_s \times L_s$ となる。ここで $I_s = n_1 / n_0 \times I_{1p}$ である。

【0028】

二次巻線Ns及び同期整流FET108に流れる電流は、t時間経過すると0(A)になる。本例では、同期整流FET108はオン抵抗が小さいものを使用しており、電流も0(A)に近づくため微小な電圧を検出する必要がある。本実施例における、この微小な電圧の検知について以下に説明する。

40

【0029】

<本実施例の特徴の説明>

本実施例の特徴である電圧電流変換 電流電圧変換による方式を説明する。本実施例の電圧電流変換回路は、同期整流FET108に対してトランス105の二次巻線Nsからのパルス電圧が入力される側に設けられる。そして、電流電圧変換回路は、同期整流FET108に対して直流電圧を出力する側に設けられる。同期整流FET108のオン抵抗を10m、電流が1.0(A)の場合を例に挙げて説明する。抵抗113の両端電圧を1.0V、ダイオード129、130の順方向電圧Vfを0.6Vとすると、トランジスタ126とトランジスタ125、124のベース-エミッタ間電圧Vbeは打ち消しあう

50

のでトランジスタ126のベース電位がトランジスタ124と125のベース電位として発生する。従って抵抗114の両端電圧は0.41V、抵抗115の両端電圧は0.40Vとなる。抵抗114、115を10kとすると、夫々、抵抗114には41 μ A、抵抗115には40 μ A流れる。抵抗109、110を例えば80kとすると抵抗109の両端電圧は3.28V、抵抗110の両端電圧は3.2Vとなりコンパレータの入力端子間の電位差は80mVとなる。

【0030】

更に、電流 I_s が低下して例えば0.125Aとなったとき、コンパレータの入力端子間電圧は10mVとなり電圧電流変換回路、電流電圧変換回路を通さない場合と同等の電圧となる。即ち本実施例では利得が8倍になったことになる。本実施例による同期整流FET108をオフにする電流の範囲は、図3の306のtbである。図3の306に示されるように、コンパレータが動作する最大電流 $I_{s\text{オフ}1}$ と最小電流 $I_{s\text{オフ}2}$ の電流の幅が狭い。コンパレータが大きい電流で(早目に)オンしても同期整流FET108のボディダイオードに電流が流れる期間が短く、また、その電流も小さいため効率はあまり低下しない。また、小さい電流で(遅く)オンしてしまう場合でも無効電流は少なく、効率の低下が少ない。このように、トランジスタ126、127より構成した比較回路の入力端子側(トランジスタ126のベース端子およびトランジスタ127のベース端子)にベース接地回路を設けて高速な応答を可能にした。更に、トランジスタ124のエミッタ端子に設けた抵抗とコレクタ端子に設けた抵抗により比較回路の前段に電圧電流変換回路と電流電圧変換回路からなる増幅回路を配置した。これにより、同期整流FET108で発生する微小な電位差を増幅して比較回路に入力することができる。

10

20

【0031】

本実施例の回路は、トランジスタ126のベース電圧がトランジスタ127のベース電圧よりも高くなった際にはトランジスタ127がオンとなり、トランジスタ126がオフとなるためトランジスタ127のコレクタ端子より同期整流FET108をオフする。即ち抵抗123およびトランジスタ132のベース端子をトランジスタ127のコレクタ端子に接続し、トランジスタ132のコレクタを同期整流FET108のゲート端子に接続している。

【0032】

この回路における同期整流FET108の動作波形の一例を図4に示す。図4の401は同期整流FETのドレイン端子の電圧(V_{drain})、図4の402は同期整流FETのドレイン電流(I_d)、図4の403はゲート端子電圧(V_{gate})である。このように、同期整流FET108のオンオフ動作が行われる。

30

【0033】

尚、本実施例に使用したトランジスタ124及び118、トランジスタ126及び120のベース-エミッタ間電圧 V_{be} とダイオード120と121の順方向電圧 V_f のばらつきは電流検出精度に大きく関わる。従ってトランジスタ124および118のペアとトランジスタ126および120のペアにはペア性の良いトランジスタを使用している。ダイオードも同じく129と130はペア性の良いダイオードを使用している。

【0034】

以上説明したように、本実施例では、差動増幅器の入力トランジスタ126で直接、同期整流FET108をオンし、差動増幅器の反対側の入力トランジスタ127の出力を利用してFET108をターンオフしている。フライバック方式の電源の二次側で同期整流する場合においては、ターンオンするときの電流が大きく、トランジスタ126のベース電流を大きく取ることができる。従ってFET108を高速にオンすることが可能である。また、トランジスタ126は出力をコレクタとしてエミッタ接地に近い形での駆動であるため、コレクタ電圧をほぼ電源電圧まで上昇させることができ、特に低電圧を出力する電源において好適である。更に同期整流FET108はターンオンした後はゲート電流をあまり必要としないため、トランジスタ126のコレクタ電流が低下しても問題ない。また、ターンオフ時にゲート駆動回路が無駄な電流を流さないことも有効である。つまり

40

50

、本実施例によれば、オン抵抗が小さいスイッチング素子を用いても電流 0 (A) を正確に検知でき、スイッチング素子のオンタイミングを高速化することができる。また、電源の出力電圧が低い状態 (例えば待機時) においても確実に電源を動作することができ、出力電圧が高い状態 (通常時) でもスイッチングによる損失を低減することができる。

【 0 0 3 5 】

以上、本実施例によれば、同期整流方式のスイッチング電源において、効率を低下させることなくオン抵抗の低いスイッチング素子 (同期整流 F E T) を用いて正しく電源を動作することができる。

【 0 0 3 6 】

本実施例では抵抗 1 1 9 と 1 2 0 は回路動作をより安定化するために挿入している抵抗であるが、動作条件等により必要がなければ削除することもできる。また、同期整流 F E T 1 0 8 の帰還容量の影響でターンオン直前の二次巻線 N_s の電圧変化により、ゲートに負の電圧が現れることがある。この負の電圧が問題となる場合は同期整流 F E T 1 0 8 のソースにアノード、ゲートにカソードとなるようダイオードを追加してゲートに現れる負の電圧を抑制しても良い。

【 0 0 3 7 】

本実施例には同期整流 F E T 1 0 8 のドレイン側にもソース側にも電流 - 電圧変換回路を夫々設けた構成とした。しかし、実際には電流 - 電圧変換回路を 1 回路のみとし、もう一方は定電圧源で構成することもできる。

【 0 0 3 8 】

(実施例 2)

実施例 2 の同期整流回路を図 5 に示す。図 5 の回路はトランス 1 0 5 の二次側の回路図である。本実施例の回路は、実施例 1 の同期整流 F E T 1 0 8 よりも更にオン抵抗値の低い F E T を使用する場合の回路である。同期整流 F E T 1 0 8 として、よりオン抵抗値の低い F E T を用いると、トランジスタ 1 2 6 による駆動能力が不足する場合がある。このような場合にはトランジスタを更に 1 個追加して駆動能力を高める構成にすると良い。なお、本実施例において実施例 1 と重複する箇所については説明を省略する。

【 0 0 3 9 】

図 5 において、5 0 1 は P N P トランジスタ、5 0 2 と 5 0 3 は抵抗である。同期整流 F E T 1 0 8 に並列接続されたダイオード 1 3 1 がオンする方向に電流が流れて F E T 1 0 8 のドレイン電圧がソース電圧よりもダイオードの順方向電圧 V_f だけ低下すると電流電圧変換用の抵抗 1 0 9 の電位差が大きくなり、トランジスタ 5 0 1 がターンオンして同期整流 F E T 1 0 8 のゲートに電流を供給する。この結果、同期整流 F E T 1 0 8 のゲート - ソース間電圧は速く上昇し、同期整流 F E T 1 0 8 はターンオンする。ダイオード 1 3 1 に流れていた電流は同期整流 F E T 1 0 8 のソースからドレインに向かって流れる。同期整流 F E T 1 0 8 のオン抵抗値は 1 0 m 程度と非常に小さいため、ドレイン - ソース間電圧は、(オン抵抗値 × 電流値) の値となり 1 0 0 m V 以下となる。この結果、抵抗 1 1 5 と抵抗 1 0 9 に流れる電流が低下して抵抗 1 0 9 の両端電圧が下がり、トランジスタ 5 0 1 のベース電流も低下する。しかし電流が 0 A 付近まで低下するまでは抵抗 1 0 9 の両端電圧は抵抗 1 1 1 の両端電圧よりも高い電圧であるため、同期整流 F E T 1 0 8 はオン状態を維持し、トランジスタ 1 2 7 及びトランジスタ 1 3 2 はオフ状態を維持している。

【 0 0 4 0 】

電流が 0 A に近づいて抵抗 1 0 9 の電圧よりも抵抗 1 1 1 の電圧が高くなると、トランジスタ 1 2 7 とトランジスタ 1 3 2 がオンして F E T 1 0 8 はターンオフする。この時はトランジスタ 5 0 1 のコレクタ電流は小さくなっており、トランジスタ 1 3 2 がターンオンしても大きな電流は流れない。以上の動作波形を図 6 に示す。

【 0 0 4 1 】

この回路における同期整流 F E T 1 0 8 の動作波形の一例を図 6 に示す。図 6 の 6 0 1 は同期整流 F E T のドレイン端子の電圧 (V_{drain})、図 6 の 6 0 2 は同期整流 F E

10

20

30

40

50

Tのドレイン電流 (I d)、図6の603はゲート端子電圧 (V g a t e)である。このように、同期整流 F E T 1 0 8 のオンオフ動作が行われる。

【0042】

本実施例も実施例1と同様、同期整流 F E T 1 0 8 のドレイン側 (二次巻線 N S からのパルス電圧が入力される側) に電流電圧変換回路、ソース側 (直流電圧が出力される側) にも電圧電流変換回路を設けた例を用いて説明したが、電流電圧変換回路を1回路のみとし、片側は定電圧源で構成しても良い。

【0043】

以上、本実施例においても上記実施例1と同様、オン抵抗が小さいスイッチング素子を用いても電流 0 (A) を正確に検知でき、スイッチング素子のオンタイミングを高速化することができる。また、電源の出力電圧が低い状態 (例えば待機時) においても確実に電源を動作することができ、出力電圧が高い状態 (通常時) でもスイッチングによる損失を低減することができる。つまり、同期整流方式のスイッチング電源において、効率を低下させることなくオン抵抗の低いスイッチング素子 (同期整流 F E T) を用いて正しく電源を動作することができる。

10

【0044】

(実施例 3)

実施例3の同期整流回路を図7に示す。本実施例は、同期整流 F E T 1 0 8 のゲート駆動回路の構成が実施例1、2と異なっている。本実施例では、実施例1、2と異なる同期整流 F E T 1 0 8 のゲート駆動回路を説明し、実施例1及び2と重複する個所については説明を省略する。

20

【0045】

図7において、701、705はNチャネルMOSFET、704はPチャネルMOSFET、702はダイオード、703と706は抵抗である。差動増幅回路の出力をNチャネルMOSFET701に入力している。ここで電源電圧を V c c 、PチャネルMOSFET704のゲート閾値電圧を V p t h 、NチャネルMOSFET705のゲート閾値電圧を V n t h 、ダイオード131の順方向電圧 V f とすると、

$$V_{p th} + V_f < V_{cc} \dots (\text{式1})$$

$$V_{n th} + V_f < V_{cc} \dots (\text{式2})$$

$$V_{p th} + V_f + V_{n th} > V_{cc} \dots (\text{式3})$$

30

この3つの式を満足するようにダイオード702を選定すれば、NチャネルMOSFETとPチャネルMOSFETの両導通を防ぎつつ、ターンオフ時0Vからターンオン時Vccまでの、いわゆるレールtoレール動作を行うことが可能である。

【0046】

必要な順方向電圧 V f について1個のダイオードで構成しているが、より簡易な構成にする場合は、ダイオードを直列に接続した構成やツェナダイオードで構成することもできる。

【0047】

この回路における同期整流 F E T 1 0 8 の動作波形の一例を図8に示す。図8の801は同期整流 F E T のドレイン端子の電圧 (V d r a i n)、図8の802は同期整流 F E T のドレイン電流 (I d)、図8の803はゲート端子電圧 (V g a t e)である。このように、同期整流 F E T 1 0 8 のオンオフ動作が行われる。

40

【0048】

以上、本実施例においても上記実施例1と同様、オン抵抗が小さいスイッチング素子を用いても電流 0 (A) を正確に検知でき、スイッチング素子のオンタイミングを高速化することができる。また、電源の出力電圧が低い状態 (例えば待機時) においても確実に電源を動作することができ、出力電圧が高い状態 (通常時) でもスイッチングによる損失を低減することができる。つまり、同期整流方式のスイッチング電源において、効率を低下させることなくオン抵抗の低いスイッチング素子 (同期整流 F E T) を用いて正しく電源を動作することができる。

50

【 0 0 4 9 】

(実施例 4)

実施例 4 の回路を図 9 に示す。なお、実施例 3 の構成に係る部分については説明し、実施例 1 と重複する箇所については説明を省略する。

【 0 0 5 0 】

実施例 4 は、二つのコンバータを有する構成を特徴としている。一例として第一のコンバータとして入力される交流電圧を変換して第一の直流電圧 (2 4 V) を出力する A C D C コンバータを構成し、第二のコンバータとして第二の直流電圧 (3 . 3 V) を出力する D C D C コンバータを有する。そして第二のコンバータの出力電圧 3 . 3 V を用いて 2 4 V の A C D C コンバータの二次側の同期整流を行う構成例である。

10

【 0 0 5 1 】

図 9 において、2 0 0 が A C D C コンバータ、3 0 0 が D C D C コンバータの回路の一例である。3 0 0 の D C D C コンバータの出力電圧を電源として、実施例 1 で説明した同期整流回路が動作する。同期整流 F E T 1 0 8 は 2 0 0 の A C D C コンバータのトランスの二次側にダイオード 1 3 1 と並列に接続されている。ダイオード 1 3 1 は同期整流 F E T 1 0 8 のボディダイオードを用いることもできるし、ショットキーダイオードを適用しても良い。A C D C コンバータ 2 0 0 は R C C 方式を用いており、例えば 2 4 V (D C) を出力するような例を一例として挙げる。また、D C D C コンバータ 3 0 0 は降圧型コンバータにより 2 4 V D C を入力として、本例では 3 . 3 V を出力するような回路である。

【 0 0 5 2 】

商用交流電源 1 0 1 から入力された電圧は、フィルタ回路 1 0 2 を通ってダイオードブリッジ 1 0 3 により整流され、一次電解コンデンサ 1 0 4 にて平滑される。電源投入時、一次電解コンデンサ 1 0 4 の電圧が徐々に上昇してくると抵抗 2 5 1 からの電流によりトランジスタ 2 5 0 がオンし、起動抵抗 2 0 5 から電流が流れ込み、抵抗 2 1 1 を通してコンデンサ 2 1 2 を充電し始める。起動抵抗 2 0 5 の電流により F E T 2 0 7 のゲート電圧が上昇し F E T 2 0 7 のゲート閾値を超えると F E T 2 0 7 がオンする。その結果、一次電解コンデンサ 1 0 4 からトランス 2 0 4 の一次巻線 N p、F E T 2 0 7 を電流が流れる。トランス 2 0 4 の一次巻線 N p と補助巻線 N b は巻線の巻いた方向が同方向である為、補助巻線 N b からの出力電圧は F E T 2 0 7 のゲート電圧を上昇させる。同時に抵抗 2 1 7 からコンデンサ 2 1 8 への充電が開始される。トランス 2 0 4 の二次巻線 N s は二次電解コンデンサ 1 0 7 の + 端子側よりもダイオード 1 3 1 のカソード端子側が高くなるよう接続されているため、F E T 2 0 7 がオンしている期間はダイオード 1 3 1 に電流は流れない。コンデンサ 2 1 8 の電圧が上昇してトランジスタ 2 1 0 のベース及びエミッタ電圧を上昇させてトランジスタ 2 1 0 がオンすると、F E T 2 0 7 のゲート - ソース間電圧が低下して F E T 2 0 7 がオフする。すると補助巻線 N b にはコンデンサ 2 1 8 抵抗 2 1 6 ダイオード 2 1 5 の経路で電流が流れ、コンデンサ 2 1 8 の電圧がリセット (放電) される。ダイオード 2 1 9 はトランジスタ 2 1 0 のベース - エミッタ間の逆バイアス電流が大きくなるようクランプする保護ダイオードである。同時にトランス 2 0 4 の二次巻線 N s と、ダイオード 1 3 1 のカソードが接続されている端子の電圧は低下し、二次電解コンデンサ 1 0 7 の - 端子から見てダイオード 1 3 1 の順方向電圧 V f 以下になる。するとダイオード 1 3 1 に電流が流れ、二次電解コンデンサ 1 0 7 に充電電流が流れて二次巻線 N s の電圧が上昇し始める。トランス 2 0 4 のエネルギーがなくなり、補助巻線 N b のリングングによる電圧で F E T 2 0 7 がオン出来ない間は起動抵抗 2 0 5 からの電流により F E T がオンし、一連の動作を繰り返す。トランス 2 0 4 の二次側からの電圧として二次電解コンデンサ 1 0 7 の電圧が上昇してくると補助巻線 N b のリングングにより F E T 2 0 7 は連続発振動作を行えるようになる。二次電解コンデンサ 1 0 7 の電圧が上昇してくるとシャントレギュレータ 2 2 3 が動作して抵抗 2 2 2、フォトカプラ 2 1 4 - b を通して電流が流れ、フォトトランジスタ 2 1 4 - a をオンして速やかに F E T 2 0 7 をオフするようになる。このように、二次電解コンデンサ 1 0 7 の両端電圧を一定に保つように動作する。3 0 0 は 2 0 0 の A C D C コンバータの出力電圧を受けて動作する D C D C

20

30

40

50

コンバータ（出力端子 172 と 173）である。

【0053】

なお、本実施例では、コンパレータを用いたリップル電圧制御型のコンバータを用いた例で説明する。コンパレータ 332 は基準電圧となるツェナダイオード 338 と出力電圧を抵抗 335 と 339 で分圧した分圧値の比較を行い、ツェナダイオード 338 の電圧が抵抗 339 の電圧よりも高いと出力を L o にする。この結果、F E T 327 がオンして、A C D C コンバータ 200 の出力電圧がツェナダイオード 338 に印加される。この結果、コンデンサ 330 の電圧が上昇し、抵抗 339 の電圧が上昇してツェナダイオード 338 の電圧よりも高くなるとコンパレータ 332 は出力を停止する。以上が基本的な動作であり非常に簡易な動作である。

10

【0054】

外部から軽負荷状態（スリープ状態）にする為の省エネ指示信号 174 を L o w にするとトランジスタ 175 がオンして、コンパレータ 333 とフォトブラ 206 - b より成る省エネ回路がオンする。コンパレータ 333 はコンパレータ 332 よりも高い電圧を基準値（抵抗 336 と 337 で生成される）として出力電圧がコンパレータ 332 で制御する電圧よりも低い電圧となるよう構成している。206 - b に電流が流れるとフォトトランジスタ 206 - a がオンして、トランジスタ 250 を停止する。また抵抗 251 は起動抵抗 205 よりも 10 倍以上高い抵抗値としおり、F E T 207 をオンするためのコンデンサ 212 を充電する電流が小さくなり、充電までの時間が長くなる。このようにして R C C 回路の起動抵抗 205 を抵抗 251 に切り替えることで出力電圧を低下させるとともに起動抵抗 205 で消費する電力を低減することが可能となる。なお、本実施例には不図示であるが、シャントレギュレータ 223 の分圧抵抗 224 及び 225 を切り替えることにより A C D C コンバータの出力電圧を低下させることを行えば、より確実に動作を安定化させることが可能となる。

20

【0055】

また、A C D C コンバータの出力電圧を 24 V、D C D C コンバータの出力電圧を 3.3 V として、A C D C コンバータを 3.2 V（D C D C コンバータの出力よりも小さい出力）に設定することで、D C D C コンバータのスイッチング損失を無くす（スイッチングのオン時間を固定する）ことが可能となる。

【0056】

なお、図 9 の 109 ~ 130 からなる回路が同期整流回路である。同期整流回路としては実施例 2 または実施例 3 で説明した回路を適用することもできる。

30

【0057】

以上、本実施例においても上記実施例 1 と同様、オン抵抗が小さいスイッチング素子を用いても電流 0（A）を正確に検知でき、スイッチング素子のオンタイミングを高速化することができる。また、電源の出力電圧が低い状態（例えば待機時）においても確実に電源を動作することができ、出力電圧が高い状態（通常時）でもスイッチングによる損失を低減することができる。つまり、同期整流方式のスイッチング電源において、効率を低下させることなくオン抵抗の低いスイッチング素子（同期整流 F E T）を用いて正しく電源を動作することができる。

40

【0058】

<スイッチング電源の適用例>

上記の実施例で説明したスイッチング電源の一例として、装置の駆動部としてのモータや制御部であるコントローラ（C P U やメモリなどを含む）に電力を供給する低圧電源がある。このような低圧電源を、例えば、記録材に画像を形成する画像形成装置の低圧電源として適用することができる。以下、画像形成装置の低圧電源として適用する場合について説明する。

【0059】

図 13（a）に画像形成装置の一例であるレーザビームプリンタの概略構成を示す。レーザビームプリンタ 10 は、画像形成部 11 として潜像が形成される像担持体としての感

50

光ドラム 12、感光ドラムに形成された潜像をトナーで現像する現像部 13 を備えている。そして感光ドラム 12 に現像されたトナー像をカセット 14 から供給された記録媒体としてのシート（不図示）に転写して、シートに転写したトナー像を定着器 15 で定着してトレイ 16 に排出する。また、図 13（b）画像形成装置の制御部としてのコントローラと駆動部としてのモータへの電源からの電力供給ラインを示す。前述の電流共振電源は、このような画像形成動作を制御する CPU 17 a を有するコントローラ 17 への電力供給、また、画像形成のための駆動部としてのモータ 18 a 及びモータ 18 b に電力を供給する低圧電源として適用できる。供給する電力としては、コントローラ 17 へは 3.3 V、モータへは 24 V を供給する。例えばモータ 18 a はシートを搬送する搬送ローラを駆動するモータ、モータ 18 b は定着器 15 を駆動するモータである。このような画像形成装置の低電圧電源として、上記の同期整流回路を用いた電源を適用した場合でも、上記実施例と同様、同期整流方式のスイッチング電源において、効率を低下させることなくオン抵抗の低いスイッチング素子（同期整流 FET）を用いて正しく電源を動作することができる。

10

【0060】

なお、上記実施例で説明した電源は、ここで示した画像形成装置に限らず他の電子機器の電源としても適用可能である。

【符号の説明】

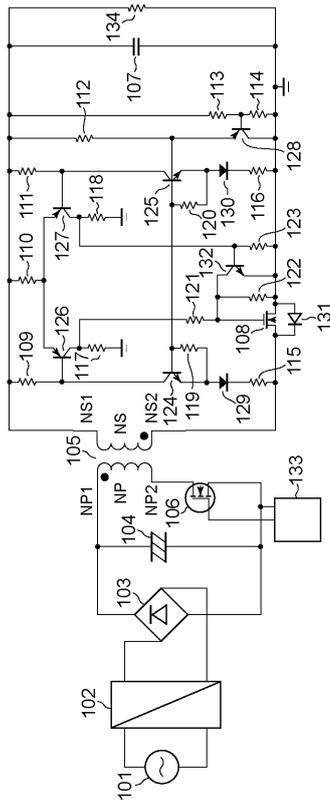
【0061】

- 104 一次電源コンデンサ
- 105 トランス
- 106 一次スイッチング素子（MOSFET）
- 107 二次電解コンデンサ
- 108 同期整流 FET
- 109, 110, 111, 112, 113, 114, 115, 116, 117, 118
- , 119, 120, 121, 122, 123 抵抗
- 124, 125 NPN トランジスタ
- 126, 127, 128 PNP トランジスタ
- 129, 130 ダイオード

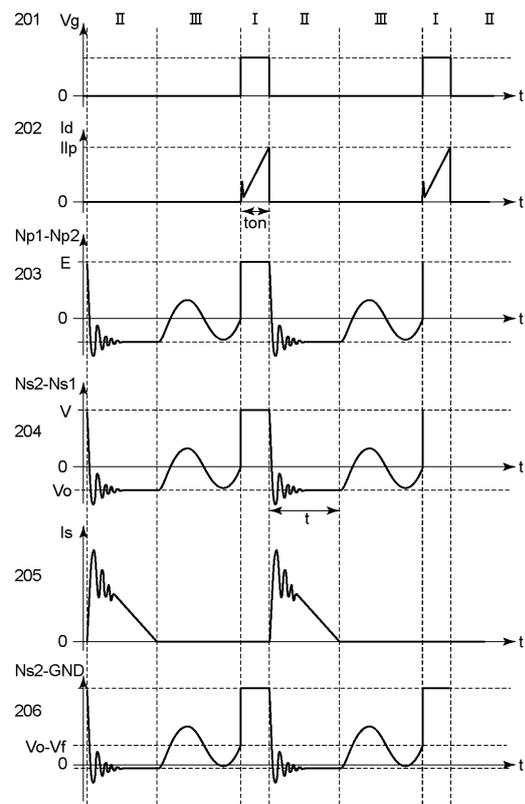
20

30

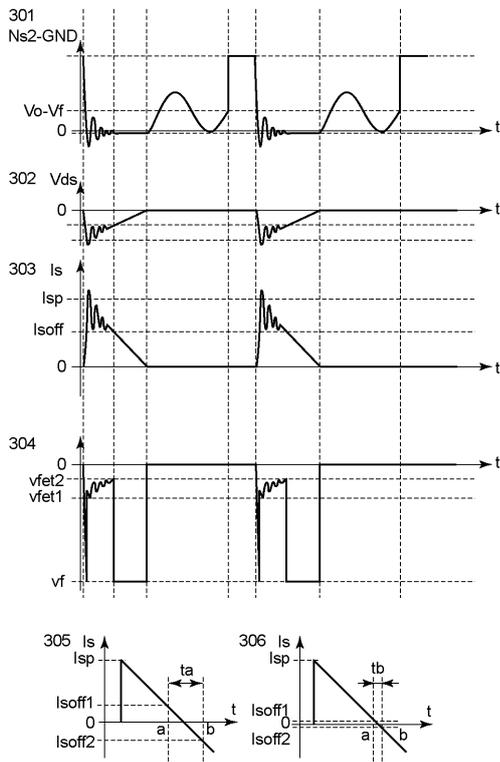
【 図 1 】



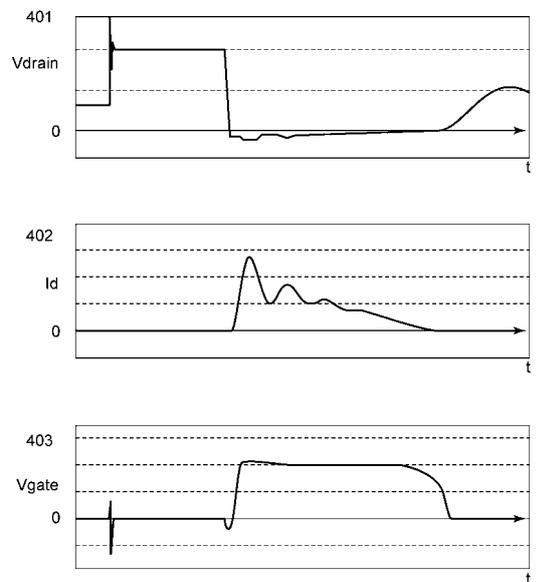
【 図 2 】



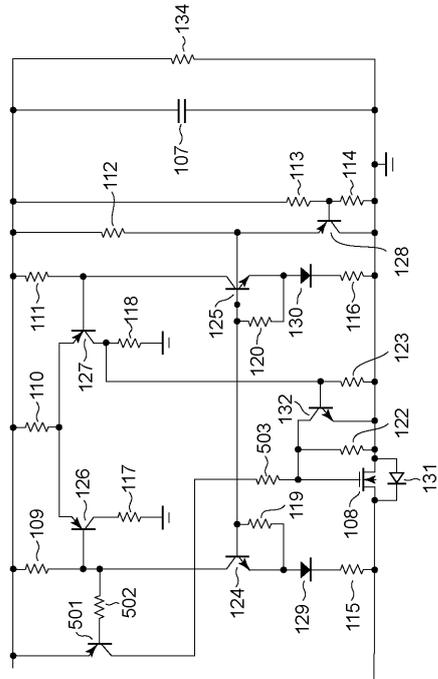
【 図 3 】



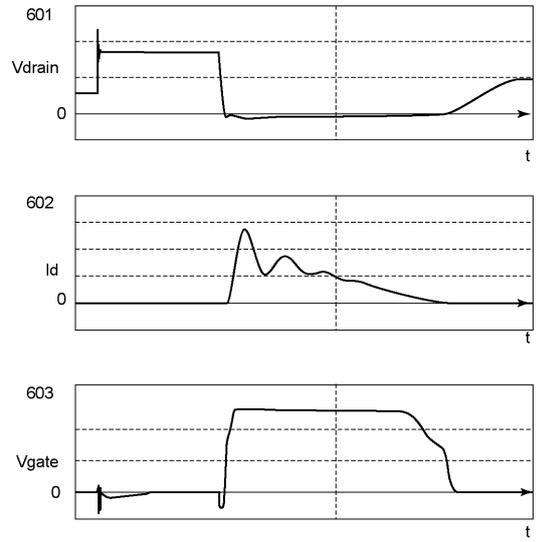
【 図 4 】



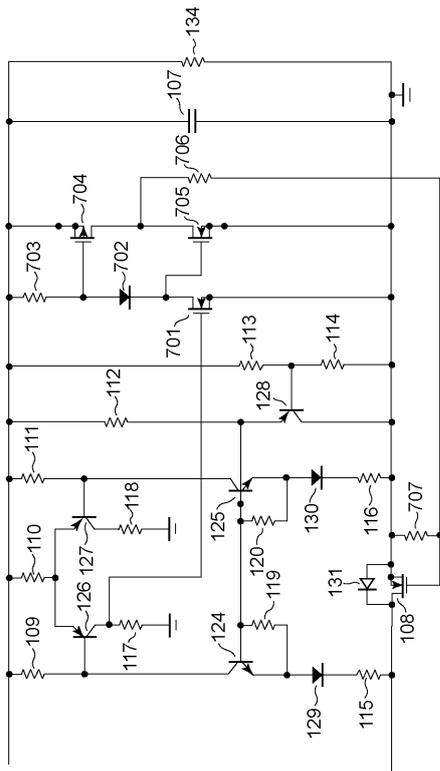
【 図 5 】



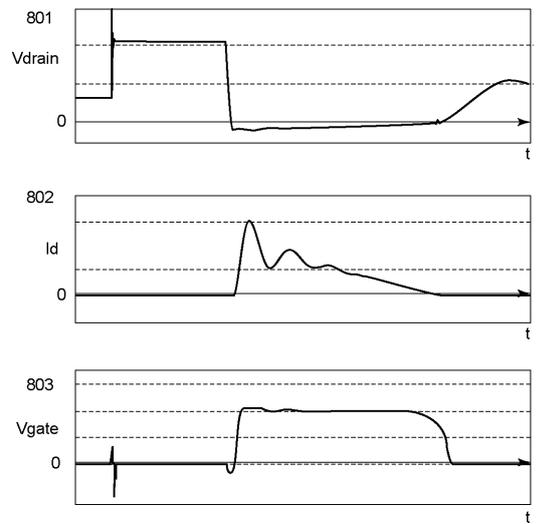
【 図 6 】



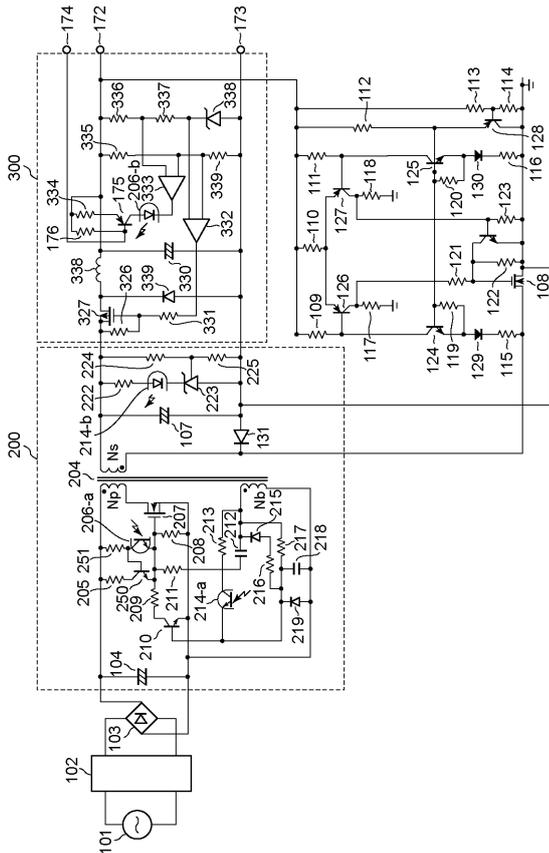
【 図 7 】



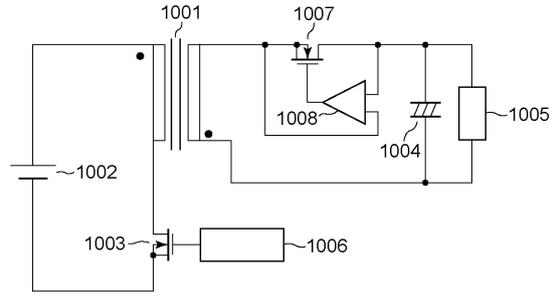
【 図 8 】



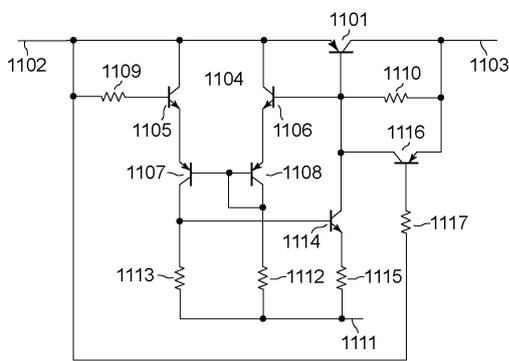
【 図 9 】



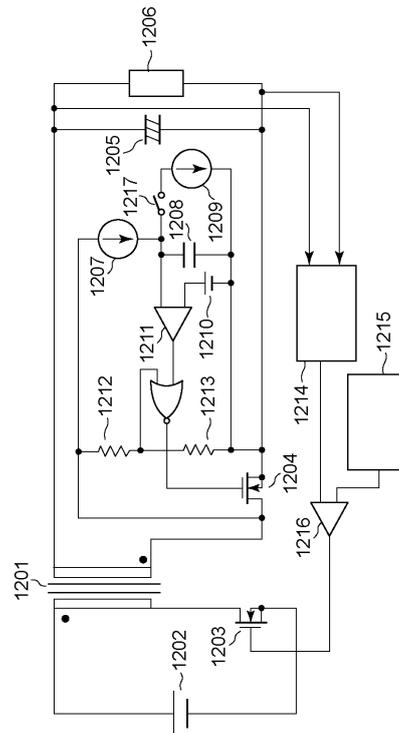
【 図 10 】



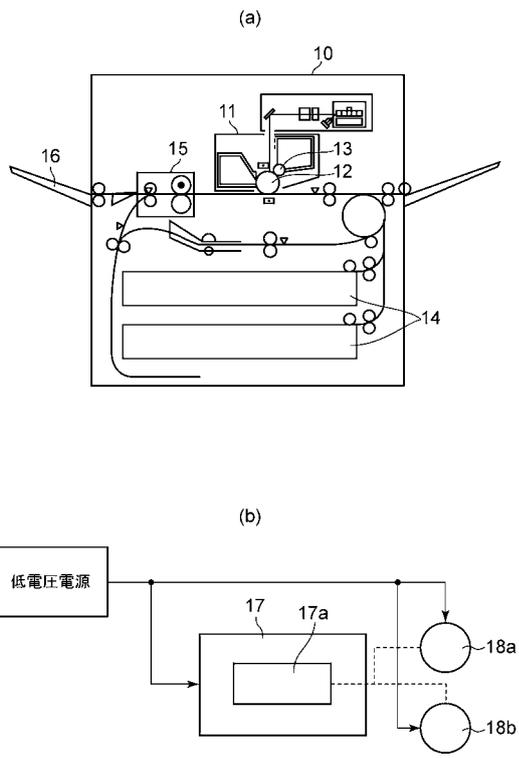
【 図 11 】



【 図 12 】



【 図 1 3 】



フロントページの続き

Fターム(参考) 5H006 AA05 CA02 CB03 CB07 DA04 DB01 DC05
5H730 AA14 BB13 BB43 BB52 BB57 BB86 CC01 DD04 EE02 EE07
EE13 FD01 FD09 FF01 VV06