



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I787255 B

(45) 公告日：中華民國 111 (2022) 年 12 月 21 日

(21) 申請案號：107113711

(22) 申請日：中華民國 107 (2018) 年 04 月 23 日

(51) Int. Cl. : G11C11/34 (2006.01)

G11C7/10 (2006.01)

(30) 優先權：2017/09/08 南韓

10-2017-0115194

(71) 申請人：韓商愛思開海力士有限公司 (南韓) SK HYNIX INC. (KR)

南韓

(72) 發明人：金顯承 KIM, HYUN SEUNG (KR)

(74) 代理人：賴安國；王立成

(56) 參考文獻：

US 4597084

US 2005/0127945A1

US 2010/0157696A1

US 2011/0153939A1

US 2011/0249510A1

US 2012/0213011A1

US 2016/0179377A1

審查人員：劉耀允

申請專利範圍項數：17 項 圖式數：7 共 35 頁

(54) 名稱

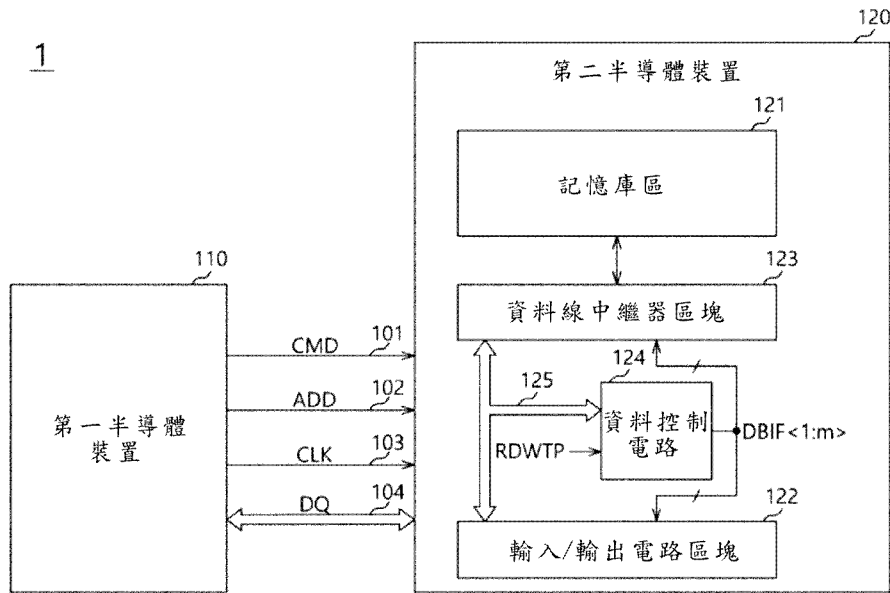
資料控制電路以及包括其的半導體記憶裝置和半導體系統

(57) 摘要

一種半導體記憶裝置可以包括資料控制電路、輸入/輸出電路區塊和資料線中繼器區塊。資料控制電路可以基於操作控制信號和資料來產生資料控制標誌信號。輸入/輸出電路區塊可以基於資料控制標誌信號來對資料執行資料匯流排反相操作。資料線中繼器區塊可以基於資料控制標誌信號來對資料執行資料掩蔽操作。

A semiconductor memory apparatus may include a data control circuit, an input/output circuit block, and a data line repeater block. The data control circuit may generate a data control flag signal based on an operation control signal and data. The input/output circuit block may perform a data bus inversion operation for the data, based on the data control flag signal. The data line repeater block may perform a data masking operation for the data based on the data control flag signal.

指定代表圖：



符號簡單說明：

1:半導體系統

101:命令匯流排

102:位址匯流排

103:時脈匯流排

104:資料匯流排

110:第一半導體裝置

120:第二半導體裝置

121:記憶庫區

122:輸入/輸出電路區塊

123:資料線中繼器區塊

124:資料控制電路

125:資料傳輸線

ADD:位址信號

CLK:時脈信號

CMD:命令信號

DBIF:資料控制標誌信號

DQ:資料

RDWTP:操作控制信號

【圖1】



公告本

I787255

【發明摘要】

【中文發明名稱】 資料控制電路以及包括其的半導體記憶裝置和半導體系統

【英文發明名稱】 DATA CONTROL CIRCUIT, AND SEMICONDUCTOR MEMORY APPARATUS AND SEMICONDUCTOR SYSTEM INCLUDING THE SAME

【中文】

一種半導體記憶裝置可以包括資料控制電路、輸入/輸出電路區塊和資料線中繼器區塊。資料控制電路可以基於操作控制信號和資料來產生資料控制標誌信號。輸入/輸出電路區塊可以基於資料控制標誌信號來對資料執行資料匯流排反相操作。資料線中繼器區塊可以基於資料控制標誌信號來對資料執行資料遮蔽操作。

【英文】

A semiconductor memory apparatus may include a data control circuit, an input/output circuit block, and a data line repeater block. The data control circuit may generate a data control flag signal based on an operation control signal and data. The input/output circuit block may perform a data bus inversion operation for the data, based on the data control flag signal. The data line repeater block may perform a data masking operation for the data based on the data control flag signal.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

1	半導體系統
101	命令匯流排
102	位址匯流排
103	時脈匯流排
104	資料匯流排
110	第一半導體裝置
120	第二半導體裝置
121	記憶庫區
122	輸入/輸出電路區塊
123	資料線中繼器區塊
124	資料控制電路
125	資料傳輸線
ADD	位址信號
CLK	時脈信號
CMD	命令信號
DBIF	資料控制標誌信號
DQ	資料
RDWTP	操作控制信號

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 資料控制電路以及包括其的半導體記憶裝置和半導體系統

【英文發明名稱】 DATA CONTROL CIRCUIT, AND SEMICONDUCTOR
MEMORY APPARATUS AND SEMICONDUCTOR
SYSTEM INCLUDING THE SAME

【技術領域】

【0001】 各種實施例總體而言關於一種半導體技術，更具體地，關於一種資料控制電路以及包括其的半導體裝置和半導體系統。

【先前技術】

【0002】 電子系統可以由大量電子元件組成。在電子系統中，電腦系統可以具有許多半導體裝置，其為利用半導體材料的電子特性的電子元件。組成電腦系統的半導體裝置可以透過執行資料輸入/輸出操作來進行通信。

【0003】 半導體記憶裝置包括其中設置有多個記憶單元的記憶庫區。

【發明內容】

【0004】 本專利申請請求於2017年9月8日向韓國智慧財產權局提交的申請號為10-2017-0115194的韓國專利申請的優先權，其全部內容透過引用合併於此。

【0005】 各種實施例關於半導體裝置以及包括集成資料控制電路的半導體系統，該集成資料控制電路能夠控制資料匯流排反相操作和資料掩蔽操作。

【0006】 在一個實施例中，一種半導體記憶裝置可以包括：資料控制電路，其被配置為基於操作控制信號和資料來產生資料控制標誌信號；輸入/輸出電路區塊，其被配置為基於資料控制標誌信號來將資料反相或不反相，並且被配置為輸出一輸出；以及資料線中繼器區塊，其被配置為基於資料控制標誌信號來選擇性地輸出資料。

【0007】 在一個實施例中，一種半導體記憶裝置可以包括：資料控制電路，其被配置為基於操作控制信號來產生資料控制標誌信號，使得針對讀取資料的資料匯流排反相操作和針對寫入資料的資料掩蔽操作中的一個操作被執行；輸入/輸出電路區塊，其被配置為基於資料控制標誌信號來將經由資料傳輸線傳輸的讀取資料反相或不反相，並且被配置為輸出一輸出；以及資料線中繼器區塊，其被配置為基於資料控制標誌信號來選擇性地將經由資料傳輸線傳輸的寫入資料輸出至記憶庫區。

【圖式簡單說明】

【0008】

〔圖1〕是示出根據一個實施例的半導體系統的示例性配置的代表示意圖。

〔圖2〕是示出根據一個實施例的半導體記憶裝置的示例性配置的代表示意圖。

〔圖3〕是示出圖2中所示的資料控制電路的示例性配置的代表示意圖。

〔圖4〕是示出圖3中所示的控制信號發生器的示例性配置的代表示意圖。

〔圖5〕是示出圖3中所示的第一多數確定器的示例性配置的代表的示意圖。

〔圖6〕是示出根據一個實施例的讀取多工器的示例性配置的代表的示意圖。

〔圖7〕圖7是示出根據一個實施例的寫入多工器的示例性配置的代表的示意圖。

【實施方式】

【0009】下面，將參照附圖透過各種示例性實施例來描述資料控制電路以及包括其的半導體裝置和半導體系統。

【0010】圖1是示出根據一個實施例的半導體系統1的示例性配置的代表的示意圖。在圖1中，半導體系統1可以包括第一半導體裝置110和第二半導體裝置120。第一半導體裝置110和第二半導體裝置120可以是相互通信的電子元件。在一個實施例中，第一半導體裝置110可以是主裝置，而第二半導體裝置120可以是透過由第一半導體裝置110控制而工作的從裝置。例如，第一半導體裝置110可以是諸如處理器或控制器的主機裝置，並且可以包括中央處理單元(CPU)、圖形處理單元(GPU)、多媒體處理器(MMP)、數位訊號處理器(DSP)或記憶體控制器。此外，第一半導體裝置110可以透過將具有各種功能的處理器晶片(諸如應用處理器(AP))組合以片上系統的形式來實現。第二半導體裝置120可以是記憶裝置，並且記憶裝置可以包括揮發性記憶體或非揮發性記憶體。揮發性記憶體可以包括SRAM(靜態RAM)、DRAM(動態RAM)或SDRAM(同步DRAM)。非揮發性記憶體可以包括ROM(唯讀記憶體)、PROM(可編程ROM)、EEPROM(電可擦除可編程ROM)、EPROM(電可編程ROM)、快閃記憶體、

PRAM(相變RAM)、MRAM(磁性RAM)、RRAM(電阻式RAM)或FRAM(鐵電RAM)。

【0011】 第一半導體裝置110可以提供各種控制信號以控制第二半導體裝置120並且藉此執行資料通信。例如，第一半導體裝置110可以透過命令匯流排101、位址匯流排102、時脈匯流排103和資料匯流排104來與第二半導體裝置120耦接。命令匯流排101可以是用於傳輸命令信號CMD的單向信號傳輸線。位址匯流排102可以是用於傳輸位址信號ADD的單向信號傳輸線。時脈匯流排103可以是用於傳輸時脈信號CLK的單向信號傳輸線。在一個實施例中，時脈信號CLK可以是多個，且可以包括系統時脈信號和資料時脈信號。資料時脈信號可以是用於透過同步化來傳輸資料的時脈信號，而系統時脈信號可以是用於傳輸除資料以外剩餘的控制信號的信號。資料匯流排104可以是用於傳輸資料DQ的雙向信號傳輸線。將資料從第一半導體裝置110傳輸到第二半導體裝置120且將資料儲存在第二半導體裝置120中的操作可以是資料輸入操作和/或寫入操作，而將儲存在第二半導體裝置120中的資料從第二半導體裝置120傳輸到第一半導體裝置110的操作可以是資料輸出操作和/或讀取操作。為了執行寫入操作，第一半導體裝置110可以將命令信號CMD、位址信號ADD和資料DQ提供給第二半導體裝置120。為了執行讀取操作，第一半導體裝置110可以將命令信號CMD和位址信號ADD提供給第二半導體裝置120，而第二半導體裝置120可以將資料DQ提供給第一半導體裝置110。

【0012】 在圖1中，第二半導體裝置120可以包括記憶庫區121、輸入/輸出電路區塊122、資料線中繼器區塊123和資料控制電路124。記憶庫區121可以是核心區，並且可以包括能夠儲存資料的多個記憶單元。多個位線和多個字線可

以設置在記憶庫區121中，並且記憶單元可以耦接至多個位線與多個字線彼此交叉的點。記憶庫區121可以包括各種核心控制電路，該核心控制電路用於將資料儲存在記憶單元中或用於輸出儲存在記憶單元中的資料。輸入/輸出電路區塊122可以透過資料匯流排104來與第一半導體裝置110耦接。輸入/輸出電路區塊122可以透過資料傳輸線125來與記憶庫區121耦接。輸入/輸出電路區塊122可以在寫入操作中將從第一半導體裝置110傳輸來的資料輸出至資料傳輸線125，並且可以在讀取操作中將經由資料傳輸線125傳輸來的資料輸出至第一半導體裝置110。在下文中，在寫入操作中從第一半導體裝置110傳輸來的且經由資料傳輸線125傳輸的資料可以被稱為寫入資料，而在讀取操作中從記憶庫區121輸出的且經由資料傳輸線125傳輸的資料可以被稱為讀取資料。輸入/輸出電路區塊122可以在讀取操作中執行資料匯流排反相操作。輸入/輸出電路區塊122可以基於資料控制標誌信號DBIF<1:m>(m為大於等於2的整數)而在讀取操作中對讀取資料執行資料匯流排反相操作。

【0013】 資料線中繼器區塊123可以耦接在資料傳輸線125和記憶庫區121之間。資料線中繼器區塊123可以驅動或重複經由輸入/輸出電路區塊122和資料傳輸線125傳輸的寫入資料，並且將寫入資料提供給記憶庫區121。資料線中繼器區塊123可以驅動或重複從記憶庫區121輸出的資料，並且可以將資料輸出至資料傳輸線125。換言之，資料線中繼器區塊123可以基於從記憶庫區121輸出的資料來驅動資料傳輸線125。資料線中繼器區塊123可以在寫入操作中執行資料掩蔽操作。資料線中繼器區塊123可以基於資料控制標誌信號DBIF<1:m>來對寫入資料執行資料掩蔽操作。

【0014】 資料控制電路124可以與資料傳輸線125耦接，並且可以接收經由資料傳輸線125傳輸的資料。資料控制電路124可以基於操作控制信號RDWTP和所接收的資料來產生資料控制標誌信號DBIF<1:m>。操作控制信號RDWTP可以包括關於第二半導體裝置120是否執行寫入操作或讀取操作的資訊。可以基於命令信號CMD來產生操作控制信號RDWTP。例如，操作控制信號RDWTP可以在讀取操作中基於讀取命令信號而被賦能，並且可以在寫入操作中基於寫入命令信號而被失能。資料控制電路124可以產生資料控制標誌信號DBIF<1:m>，使得資料匯流排反相操作和資料掩蔽操作中的一個操作可以被執行。資料控制電路124可以在讀取操作中產生資料控制標誌信號DBIF<1:m>，使得對讀取資料執行資料匯流排反相操作，並且可以在寫入操作中產生資料控制標誌信號DBIF<1:m>使得對寫入資料執行資料掩蔽操作。資料控制電路124可以用於資料匯流排反相操作和資料掩蔽操作的集成邏輯電路。資料控制標誌信號DBIF<1:m>可以被共同提供至輸入/輸出電路區塊122和資料線中繼器區塊123。因此，根據一個實施例的半導體記憶裝置可以提高設計效率並且可以充分地確保電路面積。資料控制電路124可以在讀取操作中透過確定經由資料傳輸線125傳輸的資料的所有位元的電平來產生資料控制標誌信號DBIF<1:m>。資料控制電路124可以在寫入操作中透過確定經由資料傳輸線125傳輸的資料的部分位元的電平來產生資料控制標誌信號DBIF<1:m>。

【0015】 圖2是示出根據一個實施例的半導體記憶裝置200的示例性配置的代表示意圖。圖2中所示的半導體記憶裝置200可以用作圖1中所示的第二半導體裝置120。在圖2中，半導體記憶裝置200可以包括記憶庫區、輸入/輸出電路區塊、資料線中繼器區塊和資料控制電路240。記憶庫區可以包括第一記

憶庫區211和第二記憶庫區212。雖然在圖2中示出了半導體記憶裝置200包括兩個記憶庫區，但是並不意圖將該實施例限制於此。半導體記憶裝置200可以包括至少兩個記憶庫區，其中可以有偶數個記憶庫區。在一個實施例中，半導體記憶裝置200可以以第一位元組模式和第二位元組模式來操作。例如，第一位元組模式可以是X16操作模式，並且可以是其中可能實現16-位元資料的連續輸入/輸出的操作模式。例如，第二位元組模式可以是X8操作模式，並且可以是其中可能實現8-位元資料的連續輸入/輸出的操作模式。在第二位元組模式中，第一記憶庫區211和第二記憶庫區212中的任意一個可以選擇性地執行資料輸入/輸出操作。圖2示出了用於以第二位元組模式中操作的半導體記憶裝置200的元件。

【0016】 輸入/輸出電路區塊可以包括多個輸入/輸出電路221、222、223、224、……、22n-1和22n。多個輸入/輸出電路221、222、223、224、……、22n-1和22n可以耦接在資料匯流排DQ<1:n>(n是大於等於2的整數)與資料傳輸線250之間，該資料匯流排DQ<1:n>與外部裝置(諸如圖1中所示的第一半導體裝置110)耦接。多個輸入/輸出電路221、222、223、224、……、22n-1和22n可以透過資料匯流排DQ<1:n>來接收資料或者將資料輸出至資料匯流排DQ<1:n>。多個輸入/輸出電路221、222、223、224、……、22n-1和22n可以使透過資料匯流排DQ<1:n>接收到的資料並行化，並且將並行化的資料輸出至資料傳輸線250。多個輸入/輸出電路221、222、223、224、……、22n-1和22n可以使透過資料傳輸線250接收到的資料序列化，並且將序列化的資料輸出至資料匯流排DQ<1:n>。多個輸入/輸出電路221、222、223、224、……、22n-1和22n中的每個輸入/輸出電路可以包括用於使所接收的資料並行化的並行化器和

用於使所接收的資料序列化的序列化器。多個輸入/輸出電路221、222、223、224、……、22n-1和22n可以對讀取資料執行資料匯流排反相操作。多個輸入/輸出電路221、222、223、224、……、22n-1和22n可以基於資料控制標誌信號DBIF<1:m>來將透過資料傳輸線250接收到的讀取資料反相或不反相，並且可以將已反相的讀取資料或未反相的讀取資料輸出至資料匯流排DQ<1:n>。多個輸入/輸出電路221、222、223、224、……、22n-1和22n可以包括讀取多工器，該讀取多工器用於基於資料控制標誌信號DBIF<1:m>來將資料透過資料傳輸線250接收到的資料反相或不反相並且輸出已反相的或未反相的資料。稍後將對讀取多工器進行描述。

【0017】資料線中繼器區塊可以包括多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m。多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以耦接在第一記憶庫區211與資料傳輸線250之間以及第二記憶庫區212與資料傳輸線250之間。多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以驅動和/或重複透過資料傳輸線250接收到的資料，並且可以將所重複的資料提供給第一記憶庫區211和第二記憶庫區212。多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以驅動和/或重複從第一記憶庫區211和第二記憶庫區212輸出的資料，並且可以將所重複的資料輸出到資料傳輸線250。多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以包括寫入驅動器和讀取驅動器，該寫入驅動器用於重複透過資料傳輸線250接收到的資料，而讀取驅動器用於重複從第一記憶庫區211和第二記憶庫區212輸出的資料。多個中繼器RPT11、RPT12、……、

RPT1m、RPT21、RPT22、……和RPT2m可以對寫入資料執行資料掩蔽操作。多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以基於資料控制標誌信號DBIF<1:m>來將透過資料傳輸線250接收到的寫入資料選擇性地提供給第一記憶庫區211和第二記憶庫區212。例如，當執行資料掩蔽操作時，多個中繼器RPT11、RPT12……、RPT1m、RPT21、RPT22、……和RPT2m可以在資料掩蔽信號DM被賦能時阻止透過資料傳輸線250接收到的寫入資料被輸出至第一記憶庫區211和第二記憶庫區212。在一個示例中，多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以在資料掩蔽信號被失能時將透過資料傳輸線250接收到資料輸出至第一記憶庫區211和第二記憶庫區212。多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以包括寫入多工器，該寫入多工器基於資料控制標誌信號DBIF<1:m>來產生資料掩蔽信號，使得透過資料傳輸線250接收到的資料可以被選擇性地輸出。稍後將對寫入多工器進行描述。

【0018】 在圖2中，半導體記憶裝置200可以以例如第二位元組模式來操作，並且第一記憶庫區211和第二記憶庫區212中的一個記憶庫區可以根據外部裝置(諸如圖1中所示的第一半導體裝置110)的控制來選擇性地執行寫入操作和讀取操作。例如，半導體記憶裝置200可以與n個資料匯流排耦接，並且可以用突發長度m來操作。可以提供若干(諸如m*n)條資料傳輸線250。在圖2中，多個輸入/輸出電路221、222、223、224、……、22n-1和22n和多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以透過資料傳輸線250來彼此耦接。為了清楚地說明，在圖2中，要由多個輸入/輸出電路221、222、223、224、……、22n-1和22n輸入/輸出的資料與要由多個中繼器

RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m輸入/輸出的資料被分開表示。第一輸入/輸出電路221可以輸入/輸出第一突發長度至第m突發長度的第一資料GIO1<1>至GIOm<1>，而第二輸入/輸出電路222可以輸入/輸出第一突發長度至第m突發長度的第二資料GIO1<2>至GIOm<2>。第三輸入/輸出電路223可以輸入/輸出第一突發長度至第m突發長度的第三資料GIO1<3>至GIOm<3>，而第四輸入/輸出電路224可以輸入/輸出第一突發長度至第m突發長度的第四資料GIO1<4>至GIOm<4>。第(n-1)輸入/輸出電路22n-1可以輸入/輸出第一突發長度至第m突發長度的第(n-1)資料GIO1<n-1>至GIOm<n-1>，而第n輸入/輸出電路22n可以輸入/輸出第一突發長度至第m突發長度的第n資料GIO1<n>至GIOm<n>。與第一記憶庫區211耦接的第一中繼器RPT11和與第二記憶庫區212耦接的第一中繼器RPT21中的每個可以輸入/輸出第一突發長度的第一資料至第n資料GIO1<1:n>。與第一記憶庫區211耦接的第二中繼器RPT12和與第二記憶庫區212耦接的第二中繼器RPT22中的每個可以輸入/輸出第二突發長度的第一資料至第n資料GIO2<1:n>。與第一記憶庫區211耦接的第m中繼器RPT1m和與第二記憶庫區212耦接的第m中繼器RPT2m中的每個可以輸入/輸出第m突發長度的第一資料至第n資料GIOm<1:n>。

【0019】資料控制電路240可以接收操作控制信號RDWTP和經由資料傳輸線250傳輸的資料GIO1<1:n>至GIOm<1:n>兩者。資料控制電路240可以基於操作控制信號RDWTP來產生資料控制標誌信號DBIF<1:m>，使得資料匯流排反相操作和資料掩蔽操作中的一個操作可以被執行。資料控制電路240可以基於在讀取操作中被賦能的操作控制信號RDWTP來產生用於資料匯流排反相操作的資料控制標誌信號DBIF<1:m>，並且可以基於在寫入操作中被失能的操作

控制信號RDWTP來產生用於資料掩蔽操作的資料控制標誌信號DBIF<1:m>掩蔽。資料控制電路240可以透過確定用於配置一個突發長度的多個資料的電平來產生資料控制標誌信號DBIF<1:m>中的每個資料控制標誌信號。資料控制標誌信號DBIF<1:m>可以具有與突發長度相對應的數量的位元。資料控制電路240可以在讀取操作中透過確定一個突發長度中的所有資料位元的電平來產生資料控制標誌信號DBIF<1:m>中的每個資料控制標誌信號。例如，當配置一個突發長度的資料位元之中的具有預定電平的位元的數量為多數時，資料控制電路240可以賦能資料控制標誌信號DBIF<1:m>中的每個資料控制標誌信號，而當該數量不是多數時，資料控制電路240可以失能資料控制標誌信號DBIF<1:m>中的每個資料控制標誌信號。資料控制電路240可以在寫入操作中透過確定一個突發長度中的部分資料位元的電平來產生資料控制標誌信號DBIF<1:m>中的每個資料控制標誌信號。例如，當一個突發長度的部分資料位元之中的具有預定電平的位元的數量大於或等於預定數量時，資料控制電路240可以賦能資料控制標誌信號DBIF<1:m>中的每個資料控制標誌信號，而當該數量小於預定數量時，資料控制電路240可以失能資料控制標誌信號DBIF<1:m>中的每個資料控制標誌信號。

【0020】多個輸入/輸出電路221、222、223、224、……、22n-1和22n可以基於被賦能的資料控制標誌信號DBIF<1:m>來將資料GIO1<1>至GIOm<n>反相，並且可以將已反相的資料輸出至資料匯流排DQ<1:n>。多個輸入/輸出電路221、222、223、224、……、22n-1和22n可以基於被失能的資料控制標誌信號DBIF<1:m>而不將資料GIO1<1>至GIOm<n>反相，並且可以將未反相的資料輸出至資料匯流排DQ<1:n>。為了提供如下通知：不管是經由資料傳輸線250傳輸

的資料GIO1<1>至GIOm<n>由多個輸入/輸出電路221、222、223、224、……、22n-1和22n反相並且因此已反相的資料被輸出至資料匯流排DQ<1:n>，還是經由資料傳輸線250傳輸的資料GIO1<1>至GIOm<n>未被反相並且因此未反相的資料被輸出至資料匯流排DQ<1:n>，資料控制標誌信號DBIF<1:m>都可以透過獨立的焊盤和匯流排來被輸出至外部裝置。

【0021】 多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以基於被賦能的資料控制標誌信號DBIF<1:m>來賦能資料掩蔽信號，以阻止資料GIO1<1:n>至GIOm<1:n>被輸出至第一記憶庫區211和第二記憶庫區212。多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以基於被失能的資料控制標誌信號DBIF<1:m>來失能資料掩蔽信號，以將資料GIO1<1:n>至GIOm<1:n>輸出至第一記憶庫區211和第二記憶庫區212。

【0022】 圖3是示出圖2中所示的資料控制電路240的示例性配置的代表的示意圖。在圖3中，資料控制電路240可以包括控制信號發生器310以及多個多數確定器321、322、……和32m。控制信號發生器310可以基於操作控制信號RDWTP以及操作設置信號RDDBI和WTDBI來產生第一位元選擇信號DBI12和第二位元選擇信號DBI38。基於半導體記憶裝置200的操作設置資訊而產生的操作設置信號RDDBI和WTDBI可以是從例如模式暫存器組產生的信號，該模式暫存器組基於命令信號(CMD)而儲存資訊。操作設置信號RDDBI和WTDBI可以包括資料匯流排反相設置信號RDDBI和資料掩蔽設置信號WTDBI，該資料匯流排反相設置信號RDDBI指示在讀取操作中是否執行資料匯流排反相操作，而資料掩蔽設置信號WTDBI指示在寫入操作中是否執行資料掩蔽操作。當資料匯流排

反相設置信號RDDBI被賦能時，資料控制電路240可以產生用於資料匯流排反相操作的資料控制標誌信號DBIF<1:m>。當資料掩蔽設置信號WTDBI被賦能時，資料控制電路240可以產生用於資料掩蔽操作的資料控制標誌信號DBIF<1:m>掩蔽。當操作控制信號RDWTP和資料匯流排反相設置信號RDDBI處於被賦能的狀態時，控制信號發生器310可以賦能第一位元選擇信號DBI12和第二位元選擇信號DBI38兩者。當操作控制信號RDWTP被失能且資料掩蔽設置信號WTDBI被賦能時，控制信號發生器310可以失能第一位元選擇信號DBI12並且賦能第二位元選擇信號DBI38。

【0023】 多個多數確定器321、322、……和32m可以分別接收已分配的突發長度的資料GIO1<1:n>、GIO2<1:n>、……和GIOm<1:n>以及第一位元選擇信號DBI12和第二位元選擇信號DBI38。多個多數確定器321、322、……和32m可以基於第一位元選擇信號DBI12和第二位元選擇信號DBI38而透過分別確定已分配的突發長度的資料GIO1<1:n>、GIO2<1:n>、……和GIOm<1:n>的所有位元或部分位元的電平來產生資料控制標誌信號DBIF<1:m>。第一位元選擇信號DBI12可以用於選擇由多個多數確定器321、322、……和32m所接收的資料的部分位元，而第二位元選擇信號DBI38可以用於選擇多個多數確定器321、322、……和32m所接收的資料的剩餘位元。例如，當一個突發長度由八個資料位元來配置時(即，n為8時)，第一位元選擇信號DBI12可以是選擇八個資料位元之中的第一位元和第二位元的信號，而第二位元選擇信號DBI38可以是選擇八個資料位元之中的第三位元至第八位元的信號。然而，第一位元選擇信號DBI12和第二位元選擇信號DBI38所選擇的位元的數量可以有各種變化。第一多數確定器321可以接收第一突發長度的資料GIO1<1:n>，並且可以在第一位元

選擇信號DBI12和第二位元選擇信號DBI38被賦能時透過確定第一突發長度的資料GIO1<1:n>的所有位元的電平來產生資料控制標誌信號DBIF<1>。例如，當第一位元至第八位中的多數具有高電平時，第一多數確定器321可以賦能資料控制標誌信號DBIF<1>，而當第一位元至第八位元中的多數具有低電平時，第一多數確定器321可以失能資料控制標誌信號DBIF<1>。第一多數確定器321可以接收第一突發長度的資料GIO1<1:n>，並且可以在第一位元選擇信號DBI12被失能且第二位元選擇信號DBI38被賦能時透過確定第一突發長度的資料GIO1<1:n>的部分位元的電平來產生資料控制標誌信號DBIF<1>。例如，第一多數確定器321可以確定資料的第三位元至第八位元的電平，當資料的第三位元至第八位元之中的具有高電平的資料位元的數量大於或等於預定數量時，第一多數確定器321可以賦能資料控制標誌信號DBIF<1>，而當資料的第三位元至第八位元之中的具有高電平的資料位元的數量小於預定數量時，第一多數確定器321可以失能資料控制標誌信號DBIF<1>。第二多數確定器至第m多數確定器322、……和32m可以分別接收已分配的突發長度的資料GIO2<1:n>、……和GIOm<1:n>，並且可以基於第一位元選擇信號DBI12和第二位元選擇信號DBI38而透過確定所接收的資料GIO2<1:n>、……和GIOm<1:n>的所有位元或部分位元的電平來產生資料控制標誌信號DBIF<2:m>。

【0024】圖4是示出圖3中所示的控制信號發生器310的示例性配置的代表示意圖。在圖4中，控制信號發生器310可以包括第一反相器411、第一反及閘412、第二反及閘413、第三反及閘414、第二反相器415、第四反及閘416、第三反相器417、第五反及閘418、第四反相器419和反或閘420。第一反相器411可以接收操作控制信號RDWTP，將操作控制信號RDWTP反相並且輸出已

反相的操作控制信號RDWTP。第一反及閘412可以接收資料掩蔽設置信號WTDBI以及已反相的操作控制信號RDWTP。第二反及閘413可以接收操作控制信號RDWTP和資料匯流排反相設置信號RDDBI。第三反及閘414可以接收第一反及閘412的輸出和第二反及閘413的輸出，並且對第一反及閘412的輸出和第二反及閘413的輸出執行反及運算。第二反相器415可以將第二反及閘413的輸出反相並且輸出已反相的輸出。第四反及閘416可以接收第三反及閘414的輸出和反或閘420的輸出，並且第三反相器417可以將第四反及閘416的輸出反相並且產生第二位元選擇信號DBI38。第五反及閘418可以接收第二反相器415的輸出和反或閘420的輸出，並且第四反相器419可以將第五反及閘418的輸出反相並且產生第一位元選擇信號DBI12。反或閘420可以接收訓練信號TR和測試模式信號TM。半導體記憶裝置200可能在訓練操作和測試操作期間不執行資料匯流排反相操作和資料掩蔽操作。即使在訓練信號TR和測試模式信號TM中的一個被賦能時，反或閘420也可以產生低電平的輸出信號，因而可以將第一位元選擇信號DBI12和第二位元選擇信號DBI38失能為低電平。當半導體記憶裝置200不執行訓練操作或測試操作而執行正常操作時，訓練信號TR和測試模式信號TM可以被失能，並且反或閘420可以輸出高電平的信號。如果資料匯流排反相設置信號RDDBI被賦能為高電平且操作控制信號RDWTP被賦能為高電平，則第四反及閘416和第五反及閘418接收高電平的信號，並且第一位元選擇信號DBI12和第二位元選擇信號DBI38兩者都可以被賦能為高電平。如果資料掩蔽設置信號WTDBI被賦能為高電平且操作控制信號RDWTP被失能為低電平，則第四反及閘416可以接收高電平的信號，但是第五反及閘418可以接收低電平的

信號。因此，第一位元選擇信號DBI12可以被失能為低電平，而第二位元選擇信號DBI38可以被賦能為高電平。

【0025】圖5是示出圖3中所示的第一多數確定器321的示例性配置的示意圖。除了其中接收到的資料之外，圖3中所示的第二多數確定器至第m多數確定器322、……和32m可以與第一多數確定器321具有基本相同的配置。第一多數確定器321可以包括資料位元選擇器510和解碼器520。資料位元選擇器510可以接收第一突發長度的資料GIO1<1:8>以及第一位元選擇信號DBI12和第二位元選擇信號DBI38。資料位元選擇器510可以包括多個及閘。當一個突發長度的資料配置為八時，資料位元選擇器510可以包括八個及閘。第一及閘511和第二及閘512可以分別接收已分配的資料GIO1<1:2>以及第一位元選擇信號DBI12。第一及閘511和第二及閘512可以在第一位元選擇信號DBI12被賦能時分別輸出已分配的資料GIO1<1:2>，且可以在第一位元選擇信號DBI12被失能時分別阻止已分配的資料GIO1<1:2>被輸出。第三及閘至第八及閘513、514、515、516、517和518可以分別接收已分配的資料GIO1<3:8>以及第二位元選擇信號DBI38。第三及閘至第八及閘513、514、515、516、517和518可以在第二位元選擇信號DBI38被賦能時分別輸出已分配的資料GIO1<3:8>，且可以在第二位元選擇信號DBI38被失能時分別阻止已分配的資料GIO1<3:8>被輸出。因此，當第一位元選擇信號DBI12和第二位元選擇信號DBI38兩者都被賦能時，資料位元選擇器510可以輸出所接收的資料GIO1<1:8>的所有位元。此外，當第一位元選擇信號DBI12被失能而第二位元選擇信號被賦能時，資料位元選擇器510可以輸出所接收的資料位元的部分。

【0026】 解碼器520可以接收資料位元選擇器510的輸出並且對資料位元選擇器510的輸出進行解碼。當在讀取操作中資料位元選擇器510的輸出之中的多數位元具有預定電平時，解碼器520可以賦能資料控制標誌信號DBIF<1>，而當位元的數量不是多數時，解碼器520可以失能資料控制標誌信號DBIF<1>。當在寫入操作中資料位元選擇器510的輸出之中的具有預定電平的位元的數量大於或等於預定數量時，解碼器520可以賦能資料控制標誌信號DBIF<1>，而當位元的數量小於預定數量時，解碼器520可以失能資料控制標誌信號DBIF<1>。例如，當資料位元選擇器510的輸出之中的至少五個位元為邏輯高電平時，解碼器520可以賦能資料控制標誌信號DBIF<1>，而當資料位元選擇器510的輸出之中的最多四個位元為邏輯高電平時，解碼器520可以失能資料控制標誌信號DBIF<1>。

【0027】 圖6是示出根據一個實施例的讀取多工器600的示例性配置的代表示意圖。讀取多工器600可以用作圖2中所示的多個輸入/輸出電路221、222、223、224、……、22n-1和22n的部分。讀取多工器600可以包括第一反相器至第五反相器611、612、613、614和615以及通過閘616。第一反相器611可以將已分配的資料控制標誌信號DBIF<k>(k是1與m之間的整數)反相並且輸出或提供輸出。第二反相器612可以將已分配的資料GIOk<l>(l是1與n之間的整數)反相並且提供輸出。第三反相器613可以將第一反相器611的輸出反相並且提供輸出。第四反相器614可以是具有PMOS端子和NMOS端子的三態反相器，該PMOS端子由第一反相器611的輸出控制，NMOS端子由第三反相器613的輸出控制。第四反相器614可以透過在已分配的資料控制標誌信號DBIF<k>被賦能為高電平時被導通來將第二反相器612的輸出反相並且提供輸出。通過閘616可以

由其PMOS端子中的第三反相器613的輸出來控制，並且可以由其NMOS端子中的第一反相器611的輸出來控制。通過閘616可以透過在已分配的資料控制標誌信號DBIF<k>被失能為低電平時被導通來輸出第二反相器612的輸出。第五反相器615可以與通過閘616以及第四反相器614的輸出端子共同耦接。此外，第五反相器615可以將通過閘616的輸出或第四反相器614的輸出反相，並且產生輸出信號DOUT。因此，讀取多工器600可以在已分配的資料控制標誌信號DBIF<k>被賦能時將已分配的資料GIOk<l>反相並且將已反相的資料輸出為輸出信號DOUT，而在已分配的資料控制標誌信號DBIF<k>被失能時不將已分配的資料GIOk<l>反相並且將未反相的資料輸出為輸出信號DOUT。已反相的資料和未反相的資料可以被輸出至資料匯流排104(參見圖1)。

【0028】圖7是示出根據一個實施例的寫入多工器700的示例性配置的代表的示意圖。寫入多工器700可以用作圖2中所示的多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m的部分。寫入多工器700可以接收已分配的資料控制標誌信號DBIF<k>和選通脈衝信號STBP。在圖2中，多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以同步於選通脈衝信號STBP而驅動和/或重複所接收的資料，並且可以基於資料掩蔽信號DM來選擇性地輸出所重複的資料。寫入多工器700可以包括第一反相器至第六反相器711、712、713、714、715和716。第一反相器711可以將選通脈衝信號STBP反相並且提供輸出。第二反相器712可以是具有PMOS端子和NMOS端子的三態反相器，該PMOS端子由第一反相器711的輸出控制，NMOS端子由選通脈衝信號STBP控制。當選通脈衝信號STBP被賦能為高電平時，第二反相器712可以將已分配的資料控制標誌信號DBIF<k>反相並且

提供輸出。第三反相器713可以將第二反相器712的輸出反相並且驅動節點721。第四反相器714可以是具有PMOS端子和NMOS端子的三態反相器，該PMOS端子由選通脈衝信號STBP控制，NMOS端子由第一反相器711的輸出控制。當選通脈衝信號STBP被失能為低電平時，第四反相器714可以將節點721與第三反相器713的電壓電平一起進行鎖存。第五反相器715和第六反相器716可以順序將節點721的電壓電平反相並且產生資料掩蔽信號DM。因此，寫入多工器700可以在選通脈衝信號STBP被賦能時基於已分配的資料控制標誌信號DBIF<k>來產生資料掩蔽信號DM，且可以在選通脈衝信號STBP被失能時保持資料掩蔽信號DM的電平。換言之，寫入多工器700可以在資料控制標誌信號DBIF<k>處於賦能狀態時賦能資料掩蔽信號DM，而可以在資料控制標誌信號DBIF<k>處於失能狀態時失能資料掩蔽信號DM。因此，在圖2中，多個中繼器RPT11、RPT12、……、RPT1m、RPT21、RPT22、……和RPT2m可以接收資料掩蔽信號DM，並且將透過資料傳輸線250接收到的資料GIO1<1:n>至GIOm<1:n>選擇性地輸出至第一記憶庫區211和第二記憶庫區212。

【0029】雖然上面已經描述了各種實施例，但是本領域技術人員要理解的是所描述的實施例僅為示例。因此，不應基於所描述的實施例來限制本文描述的資料控制電路以及包括資料控制電路的半導體記憶裝置和半導體系統。

【符號說明】

【0030】

- 1 半導體系統
- 101 命令匯流排

102	位址匯流排
103	時脈匯流排
104	資料匯流排
110	第一半導體裝置
120	第二半導體裝置
121	記憶庫區
122	輸入/輸出電路區塊
123	資料線中繼器區塊
124	資料控制電路
125	資料傳輸線
200	半導體記憶裝置
211	第一記憶庫區
212	第二記憶庫區
221	輸入/輸出電路
222	輸入/輸出電路
223	輸入/輸出電路
224	輸入/輸出電路
22n-1	輸入/輸出電路
22n	輸入/輸出電路
240	資料控制電路
250	資料傳輸線
310	控制信號發生器

321	第一多數確定器
322	第二多數確定器
32m	第m多數確定器
411	第一反相器
412	第一反及閘
413	第二反及閘
414	第三反及閘
415	第二反相器
416	第四反及閘
417	第三反相器
418	第五反及閘
419	第四反相器
420	反或閘
510	資料位元選擇器
511	第一及閘
512	第二及閘
513	第三及閘
514	第四及閘
515	第五及閘
516	第六及閘
517	第七及閘
518	第八及閘

520	解碼器
600	讀取多工器
611	第一反相器
612	第二反相器
613	第三反相器
614	第四反相器
615	第五反相器
616	通過閘
700	寫入多工器
711	第一反相器
712	第二反相器
713	第三反相器
714	第四反相器
715	第五反相器
716	第六反相器
ADD	位址信號
CLK	時脈信號
CMD	命令信號
DBI	位元選擇信號
DBIF	資料控制標誌信號
DM	資料掩蔽信號
DOUT	輸出信號

DQ	資料
DQ<1:n>	資料匯流排
GIO	資料
RDDBI	資料匯流排反相設置信號
RDWTP	操作控制信號
RPT	中繼器
STBP	選通脈衝信號
TM	測試模式信號
TR	訓練信號
WTDBI	資料掩蔽設置信號

【發明申請專利範圍】

【請求項1】 一種半導體記憶裝置，包括：

一控制信號發生器，其被配置為基於一操作控制信號和一操作設置信號來產生一第一位元選擇信號和一第二位元選擇信號；

一多數確定器，其被配置為基於該第一位元選擇信號和第二位元選擇信號而透過確定該資料的部分位元或所有位元的電平來產生一資料控制標誌信號；

一輸入/輸出電路區塊，其被配置為基於該資料控制標誌信號來將該資料反相或不反相，並且被配置為輸出一輸出；以及

一資料線中繼器區塊，其被配置為基於該資料控制標誌信號來選擇性地輸出該資料。

【請求項2】 如請求項1所述的半導體記憶裝置，其中，該資料控制電路在一讀取操作中透過確定資料的所有位元的電平來產生該資料控制標誌信號，而在一寫入操作中透過確定該資料的部分位元的電平來產生該資料控制標誌信號。

【請求項3】 如請求項1所述的半導體記憶裝置，其中，該多數確定器包括：

一資料位元選擇器，其被配置為在該第一位元選擇信號和第二位元選擇信號兩者都被賦能時輸出該資料的所有位元，而在該第一位元選擇信號被失能且該第二位元選擇信號被賦能時輸出該資料的部分位元；以及

一解碼器，其被配置為對該資料位元選擇器的輸出進行解碼並且產生該資料控制標誌信號。

【請求項4】如請求項1所述的半導體記憶裝置，
其中，該半導體記憶裝置還包括：

- 一記憶庫區，其被配置為儲存該資料；以及
- 一資料傳輸線，其被配置為傳輸該資料，

其中，該輸入/輸出電路區塊將與一外部裝置耦接的一資料匯流排與該資料傳輸線耦接，以及

其中，該資料線中繼器區塊將該資料傳輸線與該記憶庫區耦接。

【請求項5】如請求項4所述的半導體記憶裝置，其中，該輸入/輸出電路區塊將透過該資料匯流排接收到的資料輸出至該資料傳輸線，或者將透過該資料傳輸線接收到的資料輸出至該資料匯流排。

【請求項6】如請求項5所述的半導體記憶裝置，其中，該輸入/輸出電路區塊包括至少一個輸入/輸出電路，該輸入/輸出電路包括一讀取多工器，該讀取多工器在該資料控制標誌信號為一賦能狀態時透過將該資料反相來輸出一輸出，而在該資料控制標誌信號為一失能狀態時透過將該資料不反相來輸出一輸出。

【請求項7】如請求項4所述的半導體記憶裝置，其中，該資料線中繼器區塊將透過該資料傳輸線接收到的資料提供給該記憶庫區，或者將從該記憶庫區輸出的資料提供給該資料傳輸線。

【請求項8】如請求項7所述的半導體記憶裝置，其中，該資料線中繼器區塊包括至少一個中繼器，該中繼器包括一寫入多工器，該寫入多工器在該資料控制標誌信號處於一賦能狀態時賦能一資料掩蔽信號，而在該資料控制標誌信號處於一失能狀態時失能該資料掩蔽信號。

【請求項9】如請求項8所述的半導體記憶裝置，其中，該資料線中繼器區塊包括至少一個中繼器，該中繼器在該資料掩蔽信號為一賦能狀態時阻止透過該資料傳輸線接收到的資料被輸出至該記憶庫區，而在該資料掩蔽信號為一失能狀態時將透過該資料傳輸線接收到的資料輸出至該記憶庫區。

【請求項10】一種半導體記憶裝置，包括：

一控制信號發生器，其被配置為基於一讀取操作或一寫入操作是否被執行來產生一第一位元選擇信號和一第二位元選擇信號；

一多數確定器，其被配置為基於該第一位元選擇信號和第二位元選擇信號而透過確定所接收的資料的所有位元或部分位元的電平來產生一資料控制標誌信號；

一輸入/輸出電路區塊，其被配置為基於該資料控制標誌信號來將經由一資料傳輸線傳輸的讀取資料反相或不反相，並且被配置為輸出一輸出；
以及

一資料線中繼器區塊，其被配置為基於資料控制標誌信號來選擇性地將經由該資料傳輸線傳輸的寫入資料輸出至一記憶庫區。

【請求項11】如請求項10所述的半導體記憶裝置，其中，該資料控制電路在該讀取操作中透過確定該讀取資料的所有位元的電平來產生該資料控制標誌信號，而在該寫入操作中透過確定該寫入資料的部分位元的電平來產生該資料控制標誌信號。

【請求項12】如請求項10所述的半導體記憶裝置，其中，該多數確定器包括：

一資料位元選擇器，其被配置為在該第一位元選擇信號和第二位元選擇信號被賦能時輸出所接收的資料的所有位元，而在該第一位元選擇信號

被失能且該第二位元選擇信號被賦能時輸出所接收的資料的部分位元；以及

一解碼器，其被配置為對該資料位元選擇器的輸出進行解碼並且產生該資料控制標誌信號。

【請求項13】如請求項10所述的半導體記憶裝置，其中，該輸入/輸出電路區塊將與一外部裝置耦接的一資料匯流排與該資料傳輸線耦接。

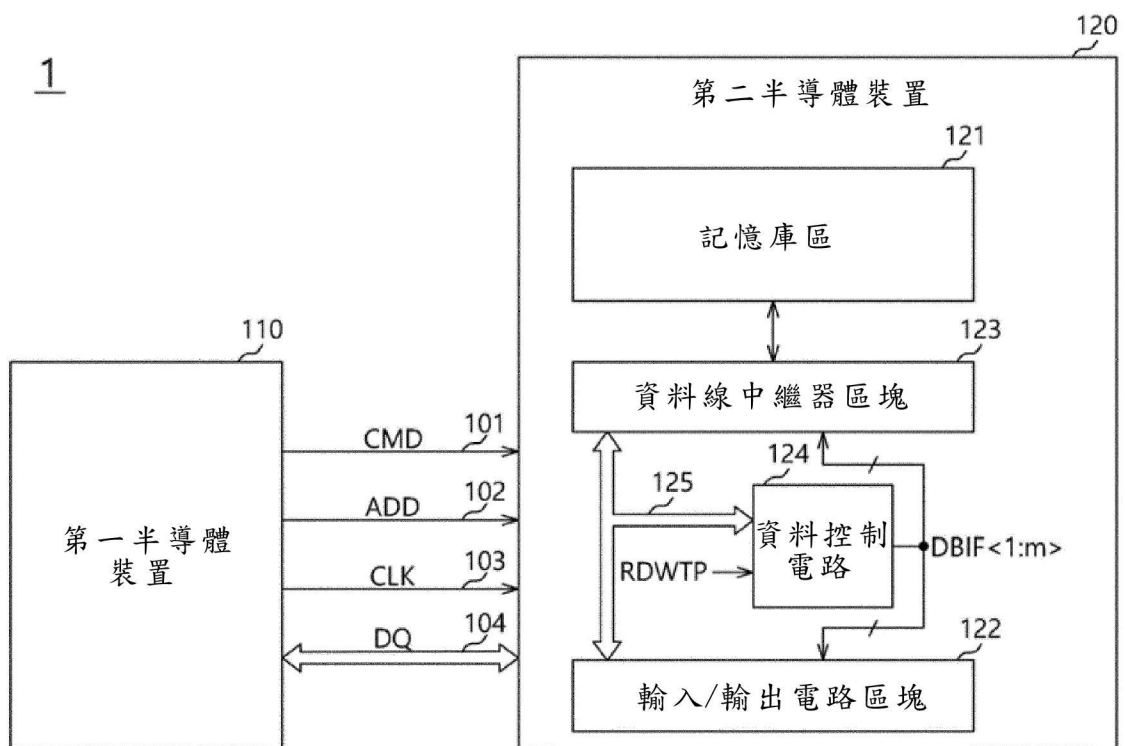
【請求項14】如請求項13所述的半導體記憶裝置，其中，該輸入/輸出電路區塊包括至少一個輸入/輸出電路，該輸入/輸出電路包括一讀取多工器，該讀取多工器在該資料控制標誌信號為一賦能狀態時將該讀取資料反相並且將已反相的讀取資料輸出至該資料匯流排，而在該資料控制標誌信號處於一失能狀態時將該讀取資料不反相並且將未反相的讀取資料輸出至該資料匯流排。

【請求項15】如請求項10所述的半導體記憶裝置，其中，該資料線中繼器區塊將該資料傳輸線與該記憶庫區耦接。

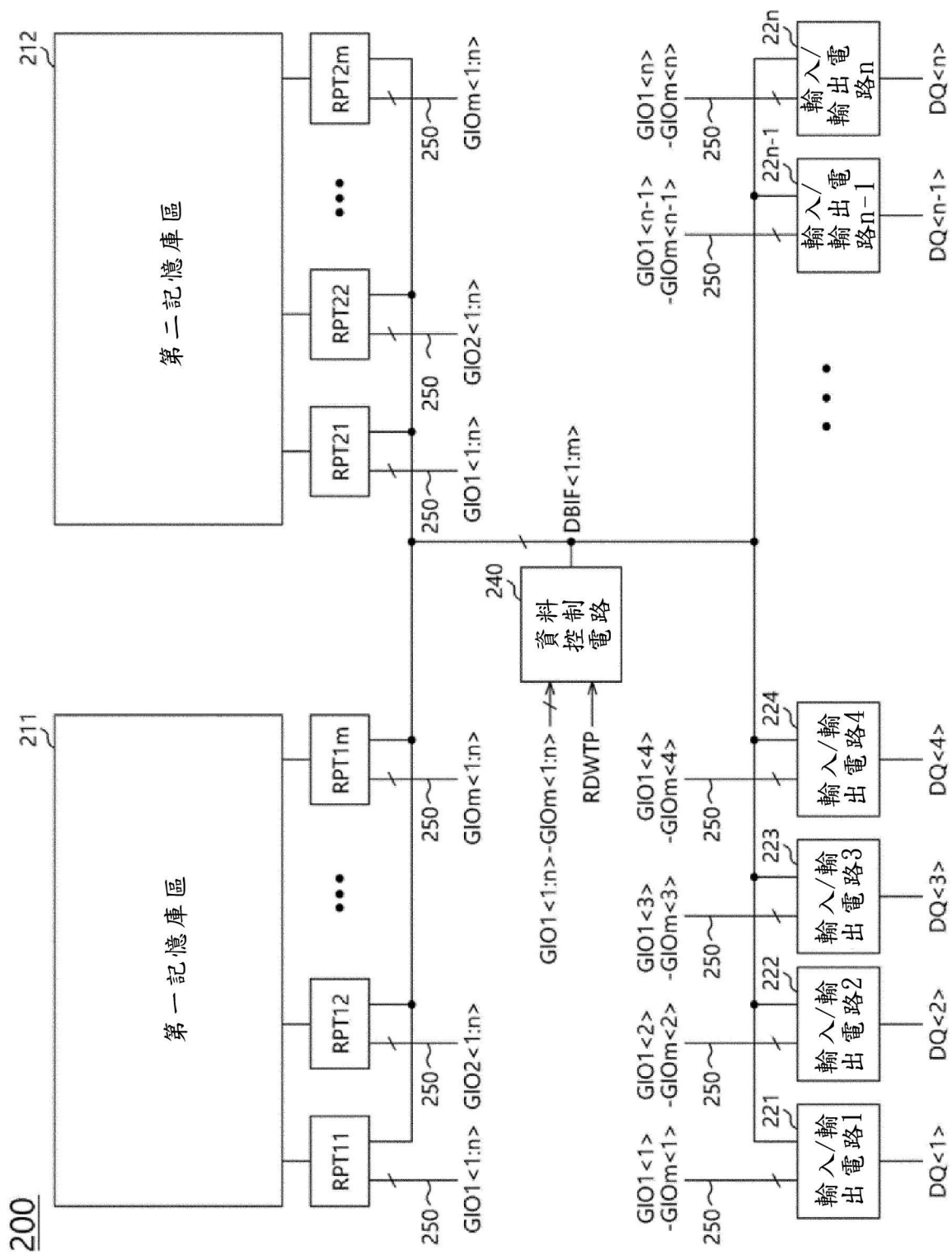
【請求項16】如請求項15所述的半導體記憶裝置，其中，該資料線中繼器區塊包括至少一個中繼器，該中繼器包括一寫入多工器，該寫入多工器在該資料控制標誌信號處於一賦能狀態時賦能一資料掩蔽信號，而在該資料控制標誌信號處於一失能狀態時失能該資料掩蔽信號。

【請求項17】如請求項16所述的半導體記憶裝置，其中，該中繼器在該資料掩蔽信號為一賦能狀態時阻止透過該資料傳輸線接收到的資料被輸出至該記憶庫區，而在該資料掩蔽信號為一失能狀態時將透過該資料傳輸線接收到的資料輸出至該記憶庫區。

【發明圖式】

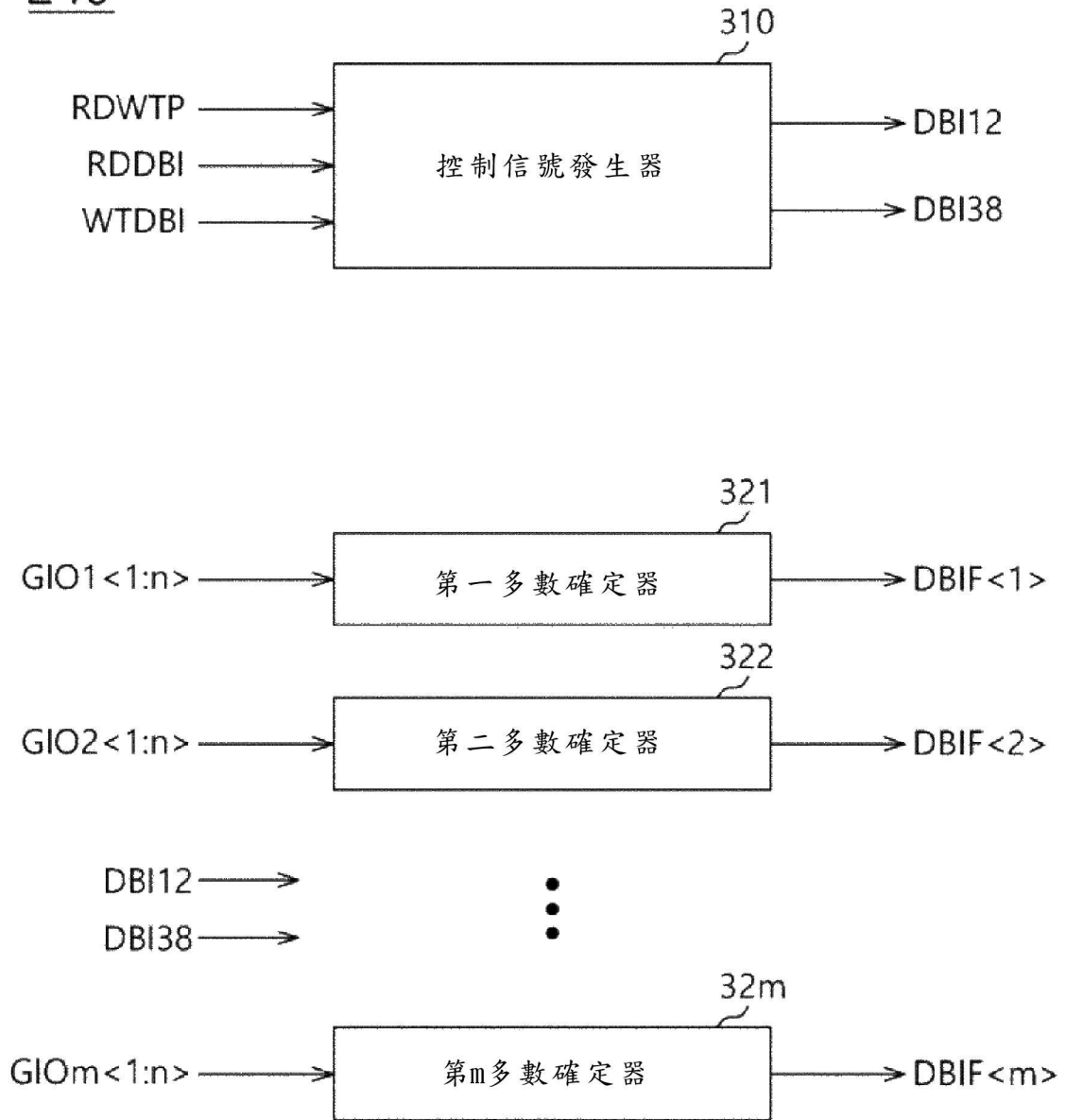


【圖1】



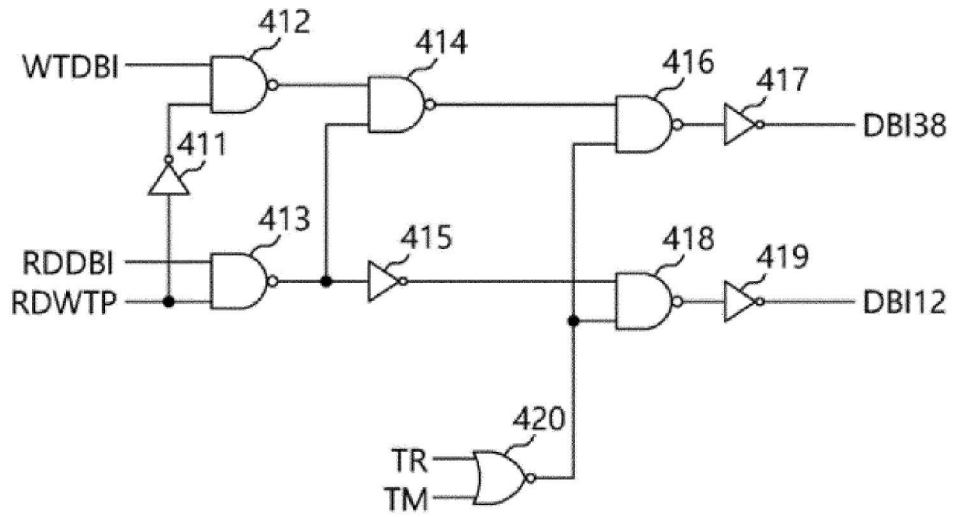
【圖2】

240



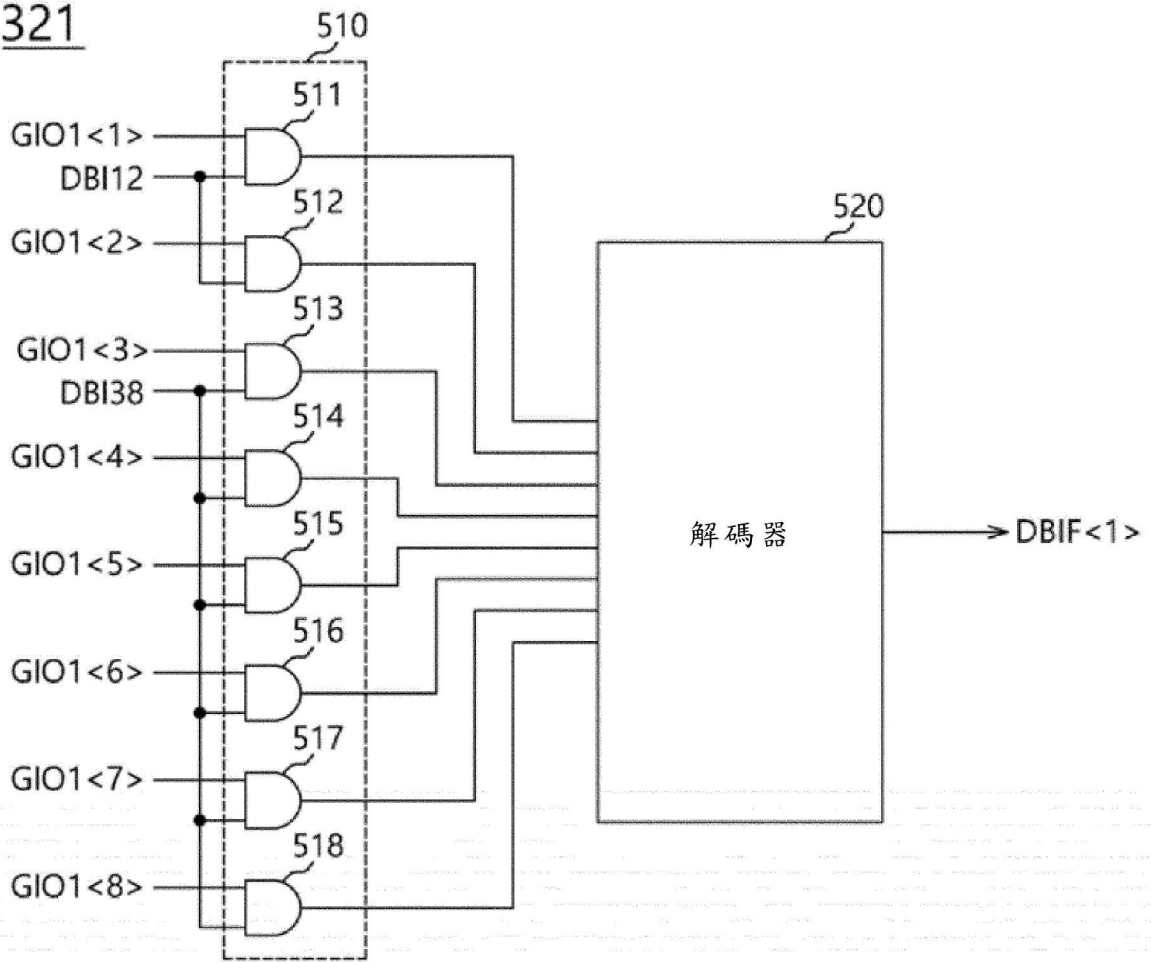
【圖3】

310



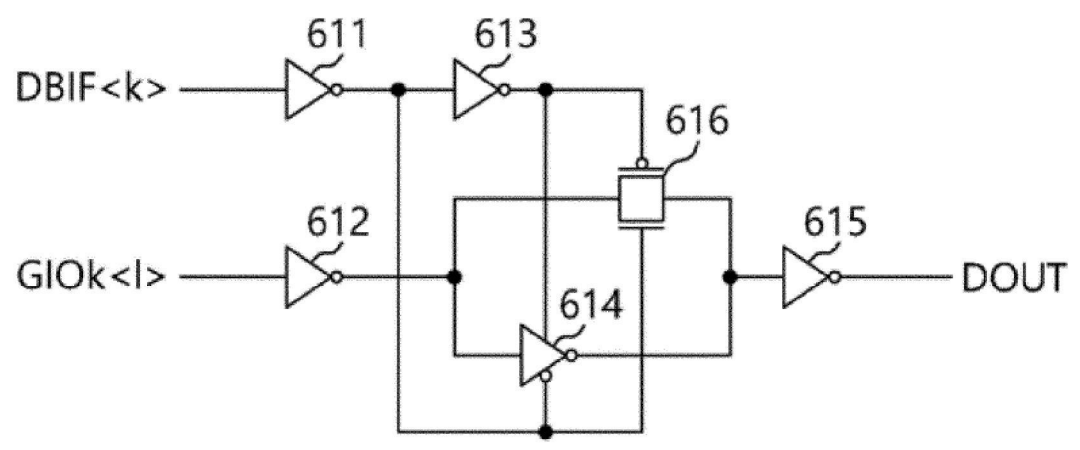
【圖4】

321



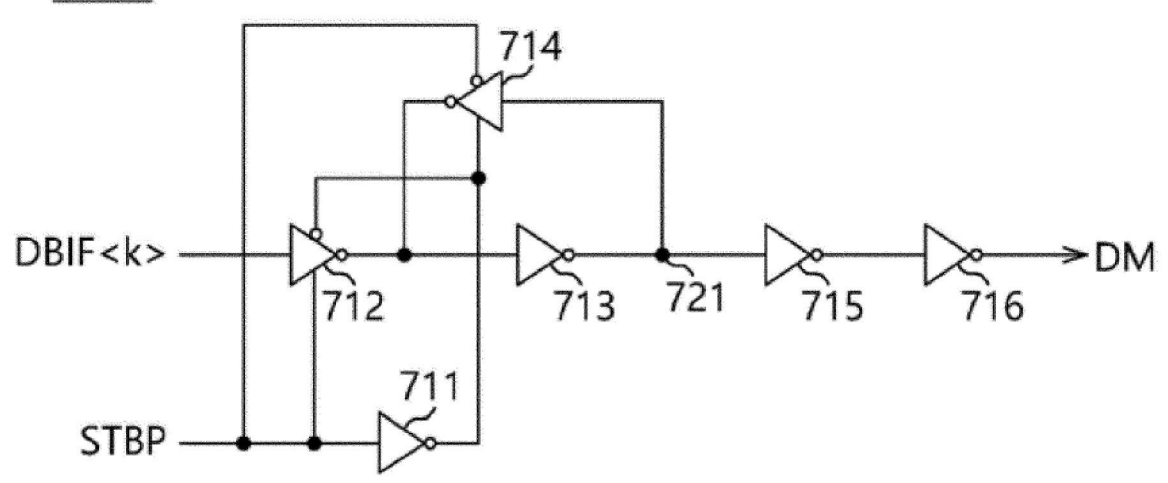
【圖5】

600



【圖6】

700



【圖7】