

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-189131

(P2007-189131A)

(43) 公開日 平成19年7月26日(2007.7.26)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 A 4 M 1 1 8

審査請求 未請求 請求項の数 8 O L (全 31 頁)

(21) 出願番号 特願2006-7190 (P2006-7190)
 (22) 出願日 平成18年1月16日 (2006.1.16)

(71) 出願人 000004112
 株式会社ニコン
 東京都千代田区丸の内3丁目2番3号
 (74) 代理人 100078189
 弁理士 渡辺 隆男
 (74) 代理人 100119839
 弁理士 大澤 圭司
 (72) 発明者 成井 禎
 東京都千代田区丸の内3丁目2番3号 株
 式会社ニコン内
 Fターム(参考) 4M118 AB01 BA14 CA03 CA04 CA18
 DA31 EA01 EA06 EA14 FA06
 FA26 FA28 FA33 GC07

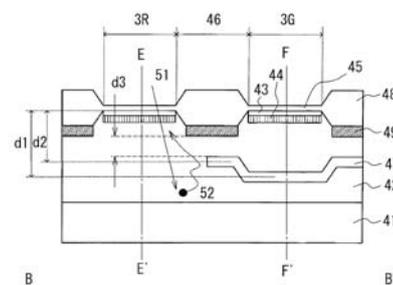
(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【課題】第1導電型の半導体上に、より低濃度の第1導電型のウエルを設け、このウエルに光電変換部を配置させた固体撮像素子において、クロストークが低減されたまま各色の信号出力の増大された固体撮像素子を提供する。

【解決手段】本発明の固体撮像素子は、第1導電型の第1半導体層と、前記第1半導体層の上に配置され前記第1半導体層より第1導電型の不純物濃度が低濃度である第2半導体層と、前記第2半導体層の内部に配置される第2導電型のバリア層を有し、前記バリア層は最も長波長の色に対応するカラーフィルタが配置される光電変換部以外の光電変換部の下に設けられ、且つ、アクティブ領域の下に配置されるバリア層の方が分離領域の下に配置されるバリア層よりも前記第1半導体層側に配置される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 半導体層と、
前記第 1 半導体層の上面に配置され、前記第 1 半導体層より第 1 導電型の不純物濃度が低濃度である第 2 半導体層と、
前記第 2 半導体層の内部に配置され、前記第 2 半導体層より不純物濃度が高濃度である第 2 導電型のバリア領域層とを有し、
入射光量に応じて電荷を生成し蓄積する光電変換部を少なくとも有するアクティブ領域、
前記光電変換部と対応して配置され所定の色に対応する波長の入射光を透過するカラーフィルタ、及び、前記アクティブ領域間を電氣的に分離する分離領域とを含む画素が前記第 2 半導体層の表面に二次元状に複数配置され、
前記バリア領域層は、最も長波長の色に対応する前記カラーフィルタが配置される光電変換部以外の光電変換部の下に設けられ、
前記アクティブ領域の下に配置される前記バリア領域層は、前記分離領域の下に配置される前記バリア領域層よりも前記第 1 半導体層側に配置されることを特徴とする固体撮像素子。

10

【請求項 2】

前記光電変換部は、第 2 導電型の電荷蓄積層を有し、
前記アクティブ領域は、前記電荷蓄積層に蓄積された電荷を転送する転送ゲート部と、前記転送ゲート部の動作により前記電荷蓄積層と電氣的に接続され前記電荷蓄積層に蓄積された電荷が転送されるフローティング拡散部と、前記フローティング拡散部に転送された電荷に対応する信号を出力する画素アンプ部と、前記フローティング拡散部を一定電位にリセットするリセットトランジスタと、画素を選択する選択トランジスタとをさらに有し、
前記分離領域には選択酸化によるシリコン酸化膜が配置されることを特徴とする請求項 1 に記載の固体撮像素子。

20

【請求項 3】

前記アクティブ領域は、前記光電変換部が少なくとも配置される第 1 のアクティブ領域と、
前記画素アンプ部、及び、前記選択トランジスタとが少なくとも配置される第 2 のアクティブ領域とを有し、
前記第 1 のアクティブ領域と前記第 2 のアクティブ領域とは、前記選択酸化によるシリコン酸化膜によって電氣的に分離されていることを特徴とする請求項 2 に記載の固体撮像素子。

30

【請求項 4】

前記バリア領域層と前記第 2 半導体層表面との間には前記第 1 導電型のクロストーク防止層が配置されることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の固体撮像素子。

【請求項 5】

前記画素から信号を出力するための回路がさらに配置され、前記回路は、
前記第 2 半導体層に配置される MOS トランジスタと、
前記第 2 半導体層表面に第 2 導電型のウエル領域を設け、該第 2 導電型のウエル領域に配置される MOS トランジスタと、
前記第 2 半導体層とは電氣的に分離される第 1 導電型のウエル領域を設け、該第 1 導電型のウエル領域に配置される MOS トランジスタと、
を有することを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の固体撮像素子。

40

【請求項 6】

前記第 1 半導体層の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上であり、前記第 2 半導体層の不純物濃度は、前記第 1 半導体層の不純物濃度に比べて $1/10$ 以下であることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の固体撮像素子。

50

【請求項 7】

第 1 導電型の第 1 半導体層と、
前記第 1 半導体層の上に配置され、前記第 1 半導体層より第 1 導電型の不純物濃度が低濃度である第 2 半導体層と、
入射光量に応じて電荷を生成し蓄積する光電変換部、及び、前記光電変換部と対応して配置され所定の色に対応する波長の入射光を透過するカラーフィルタとを少なくとも有する画素が前記第 2 半導体層の表面に二次元状に複数配置され、
最も長波長の色に対応する前記カラーフィルタが配置される光電変換部の下には、その他のカラーフィルタが配置される光電変換部の下よりも厚さの厚い前記第 2 半導体層が配置されることを特徴とする固体撮像素子。

10

【請求項 8】

前記第 2 半導体層表面と前記第 1 半導体層との間少なくとも一部には、第 1 導電型のクロストーク防止層が配置されることを特徴とする請求項 7 に記載の固体撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、カラーフィルタを有する固体撮像素子に関するものである。

【背景技術】

【0002】

近年、ビデオカメラや電子カメラが広く一般に普及している。これらのカメラには、C C D 型、C M O S 型等の固体撮像素子が使用されている。固体撮像素子は、光電変換部を有する画素がマトリクス状に複数配置されており、各画素の光電変換部にて信号電荷を生成する。各光電変換部の間は、分離領域によって電気的に分離されている。C M O S 型の固体撮像素子は、各画素に画素アンプを有し、信号電荷に対応する電気信号を生成し出力する。

20

【0003】

生成され蓄積された信号電荷は、光電変換部に隣接して配置される転送部の動作に従い、電荷蓄積部から C C D または画素アンプに転送される。そして、信号電荷または信号電荷に応じた電気信号が C C D や信号線を介して外部に出力される。

【0004】

C M O S 型の固体撮像素子は、C M O S を形成するために N 型のシリコン基板上に P 型のウエルを設け、P 型ウエルに画素領域を配置することが広く行われている。しかしながら、上記のような N 型のシリコン基板上に P 型のウエルを設ける構成は、感度（即ち、入射量に対する発生する電荷の量）不足になる傾向がある。

30

【0005】

これは、P 型のウエル中で発生した電荷が N 型シリコン基板に取り込まれ、信号電荷として寄与しない成分が生ずるためである。このため、P 型シリコン基板上にこれより低濃度の P 型ウエルを配置させる構成が提案されている（例えば特許文献 1）。

【0006】

また、カラー信号を得る固体撮像素子は、画素の光電変換部の上部に所定のカラーフィルタを有している。カラーフィルタは、R G B 系においては赤（R）、緑（G）、青（B）のいずれかが、補色系においてはシアン、マゼンタ、イエローのいずれかが、光電変換部に対応して配置される。さらに、4 色以上のカラーフィルタを用いることもある。

40

【0007】

ところで、このようにカラー信号を得る固体撮像素子は、波長の長い光（R G B 系なら R）に対する感度が低いことが知られている。これは、波長が長い光ほど半導体の表面から深い位置まで侵入して光電変換するためである。深い位置で光電変換すると、電荷は、ドリフトする距離が長くなるため所望の光電変換部に到達する確率が低くなる。

【0008】

このため、波長の長い光は感度が低下する。また、このような電荷が隣接する画素の光

50

電変換部に到達すると、クロストークとなる。近年、画素サイズを縮小化してより解像度を向上させることが望まれている。しかし、画素サイズが縮小化されると、隣接する光電変換部間の距離も縮小され、波長の長い光によって生成されるクロストーク成分が増大し、S/N比は悪化する。

【0009】

そこで、特許文献2においては、Rのカラーフィルタが配置される光電変換部（以下、R画素、R光電変換部、或は単にRと記載する。B、Gについても同様）以外の光電変換部の下部にバリア領域を配置させ、Rのカラーフィルタから入射して隣接する光電変換部に進入してクロストークとなる電荷を阻止することによって、S/N比を向上させることが提案されている。

10

【特許文献1】特開2002-170945号公報

【特許文献2】特開2004-152819号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

特許文献1に従ってP型半導体基板に低濃度のP型ウエルを設け、特許文献2に従ってバリア領域を配置させるなら、光出力が向上しクロストークの低減された固体撮像素子が得られるはずである。

しかしながら、実際にはRの感度は向上しクロストークは低減されるものの、R以外の光信号の出力値が小さくなってしまおうという新たな問題点が生じていた。

20

【0011】

本発明は、このような問題点に鑑みてなされたものであり、クロストークが低減されたまま、各色の信号出力が増大される固体撮像素子を提供する。

【課題を解決するための手段】

【0012】

本発明者は、更なる研究の結果、上記特許文献に開示されている構成では、バリア領域が分離領域の最下部より光電変換部側に設けられており、これが上記問題点の原因であることを突き止め、発明するに至った。すなわち、上記の構成では、R以外の光電変換部は、表面からの幅が十分ではなく光電変換する領域が少なくなってしまう。よって、従来の構成では、入射する光が効率良く光電変換されていなかったのである。

30

そこで、本発明の第1の態様による固体撮像素子は、第1導電型の第1半導体層と、前記第1半導体層の上面に配置され前記第1半導体層より第1導電型の不純物濃度が低濃度である第2半導体層と、前記第2半導体層の内部に配置され前記第2半導体層より不純物濃度が高濃度である第2導電型のバリア領域層とを有し、入射光量に応じて電荷を生成し蓄積する光電変換部を少なくとも有するアクティブ領域と前記光電変換部と対応して配置され所定の色に対応する波長の入射光を透過するカラーフィルタ及び前記アクティブ領域間を電氣的に分離する分離領域とを含む画素が前記第2半導体層の表面に二次元状に複数配置され、前記バリア領域層は最も長波長の色に対応する前記カラーフィルタが配置される光電変換部以外の光電変換部の下に設けられ、前記アクティブ領域の下に配置される前記バリア領域層は前記分離領域の下に配置される前記バリア領域層よりも前記第1半導体層側に配置されることを特徴とする。

40

この構成により、クロストークが低減されたまま、光電変換を行う厚さ方向の幅が増大して入射光を効率よく光電変換することが可能となる。このため、光信号の出力が増大する。

【0013】

本発明の第2の態様による固体撮像素子は、前記第1の態様において、前記光電変換部は第2導電型の電荷蓄積層を有し、前記アクティブ領域は前記電荷蓄積層に蓄積された電荷を転送する転送ゲート部と前記転送ゲート部の動作により前記電荷蓄積層と電氣的に接続され前記電荷蓄積層に蓄積された電荷が転送されるフローティング拡散部と前記フローティング拡散部に転送された電荷に対応する信号を出力する画素アンプ部と前記フローテ

50

イング拡散部を一定電位にリセットするリセットトランジスタと画素を選択する選択トランジスタとをさらに有し、前記分離領域には選択酸化によるシリコン酸化膜が配置されることを特徴とする。

【0014】

ある画素から入射した光によって生成された電荷が隣接する画素の光電変換部に進入すれば、そのような電荷はクロストークとなる。しかし、このような電荷が同一内の画素においても悪影響を及ぼすこともある。つまり、画素内に光電変換部以外の能動素子が配置され、そのような能動素子に不要な電荷が進入すると誤動作等の悪影響を及ぼし、能動素子を不安定な状態にする。本態様のように画素内に複数の能動素子を有する構成では、単にクロストーク低減に留まらず、画素内の光電変換部以外の能動素子にノイズとなる電荷が侵入することが防止され、よって、能動素子をより安定的な状態に保持することが可能となる。また、分離領域にいわゆるLOCOS酸化膜を用いると、段差を有するバリア領域層の形成が容易となる。

10

【0015】

本発明の第3の態様による固体撮像素子は、前記第2の態様において、前記アクティブ領域は、前記光電変換部が少なくとも配置される第1のアクティブ領域と、前記画素アンブ部及び前記選択トランジスタとが少なくとも配置される第2のアクティブ領域とを有し、前記第1のアクティブ領域と前記第2のアクティブ領域とは前記選択酸化によるシリコン酸化膜によって電気的に分離されていることを特徴とする。

本態様は、第1のアクティブ領域に電荷蓄積部を有する光電変換部を配置させ、第2のアクティブ領域にはノイズを嫌う能動素子を配置するものである。この構成により、画素アンブ及び選択トランジスタに上記のノイズが侵入することは、更に困難となり、より安定的な動作が保持される。

20

【0016】

本発明の第4の態様による固体撮像素子は、前記第1から第3のいずれかの態様において、前記バリア領域層と前記第2半導体層表面との間には前記第1導電型のクロストーク防止層が配置されることを特徴とする。この構成により、クロストークは、さらに低減される。

【0017】

本発明の第5の態様による固体撮像素子は、前記第1から第4のいずれかの態様において、前記画素から信号を出力するための回路がさらに配置され、前記回路は、前記第2半導体層に配置されるMOSトランジスタと、前記第2半導体層表面に第2導電型のウエル領域を設け該第2導電型のウエル領域に配置されるMOSトランジスタと、前記第2半導体層とは電気的に分離される第1導電型のウエル領域を設け該第1導電型のウエル領域に配置されるMOSトランジスタとを有する。

30

本発明の第6の態様による固体撮像素子は、前記第1から第5のいずれかの態様において、前記第1半導体層の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以上であり、前記第2半導体層の不純物濃度は前記第1半導体層の不純物濃度に比べて $1/10$ 以下であることを特徴とする。

【0018】

本発明の第7の態様による固体撮像素子は、第1導電型の第1半導体層と、前記第1半導体層の上に配置され前記第1半導体層より第1導電型の不純物濃度が低濃度である第2半導体層と、入射光量に応じて電荷を生成し蓄積する光電変換部及び前記光電変換部と対応して配置され所定の色に対応する波長の入射光を透過するカラーフィルタとを少なくとも有する画素が前記第2半導体層の表面に二次元状に複数配置され、最も長波長の色に対応する前記カラーフィルタが配置される光電変換部の下にはその他のカラーフィルタが配置される光電変換部の下よりも厚さの厚い前記第2半導体層が配置されることを特徴とする。

40

【0019】

このような構成においても、第1の態様と同様にクロストークが低減されたまま、光電変換を行う厚さ方向の幅が増大して入射光を効率よく光電変換することが可能となる。こ

50

のため、光信号の出力が増大する。

また、第7の態様において、前記第2半導体層表面と前記第1半導体層との間少なくとも一部には、第1導電型のクロストーク防止層が配置されても良い。

【発明の効果】

【0020】

本発明によれば、光電変換を行う厚さ方向の幅が増大して入射光を効率よく光電変換し、且つ、クロストークを低減することが可能となる。このため、光信号の出力が増大する。

【発明を実施するための最良の形態】

【0021】

以下、本発明による固体撮像素子について、図面を参照して説明する。

10

[第1の実施形態]

図1は、本発明の第1の実施形態に係る固体撮像素子の2×2個の画素概略平面図である。各配線電極は略して記載している。また、前記した通り「R」はRのカラーフィルタを有する画素（又は光電変換部。以下、同様）を「G」はGのカラーフィルタを有する画素を「B」はBのカラーフィルタを有する画素を示している。ここではカラーフィルタはベイヤー配列にされている。しかし、これに限らずストライプ配列にしても構わない。

【0022】

各画素2は、光電変換部3、転送トランジスタ4、画素アンプ5、行選択トランジスタ6、リセットトランジスタ7を有している。ここでは、転送トランジスタ4、画素アンプ5、行選択トランジスタ6、リセットトランジスタ7のいずれもNMOSトランジスタを用いている。

20

【0023】

符号31、32、38、39及び40は、各トランジスタの一部となっているN型不純物拡散領域であり、符号33、34、35及び36は、ポリシリコンによる各トランジスタのゲート（電極）である。なお、符号38は、電源電圧VDDが印加される電源拡散部であり、符号31、32は、後述するようにフローティング拡散部である。

【0024】

光電変換部3は、電荷蓄積層44と空乏化防止層43からなる埋め込み型フォトダイオードである（図2参照）。光電変換部3に対応してR、G、Bのいずれかのカラーフィルタが配置される。なお、ここでは、RGB系のカラーフィルタとしたが、それに限られるものではなく、補色系のカラーフィルタを用いても良い。また、埋め込みフォトダイオードに代えて、空乏化防止層の無いフォトダイオードにしても良い。

30

【0025】

光電変換部3は、カラーフィルタを透過して入射した光を光電変換し、生じた電荷を電荷蓄積層44に蓄積する。光電変換部3の電荷蓄積層44に蓄積された電荷は、転送トランジスタ4がオン状態とされることによってフローティング拡散部31、32に転送される。

【0026】

転送トランジスタ4は、光電変換部3の電荷蓄積層44をドレイン、一方のフローティング拡散部31をソースとしたMOSトランジスタである。転送トランジスタ4は、そのゲート33（以下、転送ゲートと称す）に印加される駆動信号により駆動される。

40

【0027】

フローティング拡散部31、32は、転送ゲート33と隣接配置される第1のフローティング拡散部31と、第1のフローティング拡散部31とは分離領域46によって隔てられた第2のフローティング拡散部32とを有し、それらは配線電極37によって電氣的に接続されている。また、フローティング拡散部31、32は、配線電極37によって画素アンプ5のゲート35と電氣的に接続されている。

【0028】

画素アンプ5は、電源拡散部38をドレイン、拡散領域39をソースとするMOSトランジスタである。上記のように、画素アンプ5のゲート35は、フローティング拡散部3

50

1、32（転送トランジスタ4のソース）に接続されている。そして画素アンプ5は、そのゲートの電圧に応じた電気信号を出力する。したがって、画素アンプ5は、光電変換部3で生成された電荷の量に応じた電気信号を出力する。

【0029】

行選択トランジスタ6は、拡散領域39をドレイン、拡散領域40をソースとするMOSトランジスタである。行選択トランジスタ6は、オン状態にされることで画素アンプ5の出力を垂直信号線22に出力する。すなわち、画素アンプ5と行選択トランジスタ6によってソースフォロワによる読み出しが可能となっている。

【0030】

リセットトランジスタ7は、電源拡散部38をドレイン、第2のフローティング拡散部32をソースとするMOSトランジスタである。リセットトランジスタ7は、オン状態にされることでフローティング拡散部31、32に蓄積されている電荷をリセットする。図2は、図1のB-B'部における断面図である。なお、シリコン酸化膜より上方部の構成は省略している。実際には、シリコン酸化膜45、48の上方部には配線電極、保護膜、カラーフィルタ等が配置されている。

10

【0031】

本固体撮像素子は、不純物濃度が高濃度であるP型シリコン基板41に、それより低濃度であるP型エピタキシャル層42が配置される。即ち、第1導電型の第1半導体層と、第1導電型の第2半導体層とによって一つの基体をなしている。P型エピタキシャル層42の厚さは、6マイクロメートルである（後述する図3にて算出。過度期的濃度の領域も含む）。ただし、これに限られるものではなく、5-12マイクロメートルの範囲なら良い。

20

【0032】

P型シリコン基板41の不純物濃度は $1 \times 10^{18} / \text{cm}^3$ （単位立方センチメートル当たり 10 の 18 乗。以下同様。）であり、P型エピタキシャル層42の不純物濃度（以下、単に濃度と記載する）は、 $1 \times 10^{15} / \text{cm}^3$ である。しかし、これらの濃度に限定されず、P型シリコン基板41の濃度は、 1×10^{16} から $5 \times 10^{20} / \text{cm}^3$ の範囲で、P型エピタキシャル層42の濃度は、それより低濃度であれば良い。

【0033】

このように本固体撮像素子1は、P型シリコン基板41の濃度の方がその上部に配置されるP型エピタキシャル層42より高濃度とされている。一方、光電変換によって発生し信号となる電荷は、ここでは電子であり、ポテンシャルの高い方へ移動して行く。P型不純物が高濃度に含まれるP型シリコン基板41は、P型エピタキシャル層42に比べてポテンシャルが低い。このため、P型エピタキシャル層42で生成される電荷（電子）は、ドリフトしても、基板側ではなく、P型エピタキシャル層42の表面側に導かれる。P型エピタキシャル層42の表面側には光電変換部3が配置されている。したがって、上記の構成により、基板側に吸収される電荷が少なくなり、高い光出力が得られる。

30

【0034】

P型エピタキシャル層42の濃度は、P型シリコン基板41より低濃度であれば上記の効果を得られる。しかし、P型シリコン基板41の濃度が $1 \times 10^{18} / \text{cm}^3$ 以上であり、P型エピタキシャル層42の濃度がP型シリコン基板41の濃度の $1 / 10$ 以下の濃度であれば、2つの濃度差によって生ずるポテンシャル差の絶対値は十分に大きく、より好ましい。

40

【0035】

光電変換部3R、3Gは、N型の電荷蓄積層44と、その上面にP型の空乏化防止層43とを有する埋め込み型フォトダイオードである。なお、Rのカラーフィルタを有する光電変換部を光電変換部3R、Gのカラーフィルタを有する光電変換部を光電変換部3G、Bのカラーフィルタを有する光電変換部を光電変換部3Bと記載する。電荷蓄積層44の厚さは0.3マイクロメートルであり、濃度は 5×10^{16} から $5 \times 10^{17} / \text{cm}^3$ の範囲である。また、空乏化防止層43の厚さは0.2マイクロメートルであり、濃度は 1×10^{18} か

50

ら $1 \times 10^{19} / \text{cm}^3$ の範囲である。

【0036】

空乏化防止層 43 の上面には薄いシリコン酸化膜 45 が配置される。ここでは、膜厚を 0.05 マイクロメートルとしている。各画素間は、分離領域 46 で電氣的に分離されている。分離領域 46 には、厚い LOCOS シリコン酸化膜（以下、LOCOS 酸化膜）48 と、その下部におよそ 0.5 マイクロメートルの厚さの P 型不純物による分離拡散 49 が配置される。LOCOS 酸化膜 48 の膜厚は、0.8 マイクロメートルである。しかし、これに限るものではない。また、LOCOS 酸化膜で十分に分離されるなら、分離拡散 49 を配置する必要は必ずしも無い。

【0037】

上記のように、ここでは、分離領域 46 に選択酸化（LOCOS）によるシリコン酸化膜 48 とその下の分離拡散 49 を用いている。しかし、トレンチによる分離などを用いてもよい。

【0038】

図 3 (a) は、図 2 における E - E' 部分の正味の不純物濃度分布図であり、図 3 (b) は、図 2 における F - F' 部分の正味の不純物濃度分布図である。いずれも縦軸に濃度、横軸に基体表面（空乏化防止層の表面）からの深さを示している。なお、縦軸は、対数表示で規格化をしている。本図より明白なとおり、光電変換部 3G（及び、図 2 に図示されていない光電変換部 3B）の下には、厚さが約 1 マイクロメートルのバリア領域層 47 が配置される。

【0039】

図 3 (a) から理解されるように、バリア領域層 47 は、光電変換部 3R の下には配置されない。また、図 3 (b) から理解されるように、バリア領域層 47 は、表面からおよそ 4 マイクロメートルの深さに配置されている（即ち、図 2 の d1 は、4 マイクロメートルである）。また、表面からおよそ 0.5 マイクロメートルの深さに電荷蓄積層 44 と P 型ウエル層 42 との PN 接合がある。

【0040】

バリア領域層 47 は、P 型エピタキシャル層 42 と同じ P 型の導電型であり、これより高濃度である。ここでは、ピーク濃度を $3 \times 10^{17} / \text{cm}^3$ としている。しかし、バリア領域層 47 のピーク濃度は、P 型エピタキシャル層 42 より高濃度であればよい。ただし、P 型エピタキシャル層 42 の濃度の 10 倍以上が好ましい。

【0041】

前記したように、光電変換されて信号となる電荷は、ここでは電子であり、ポテンシャルの低い P 型不純物が高濃度である領域には導かれにくい。したがって、バリア領域層 47 が存在するため、光電変換部 3R から入射した光 72 により発生する電荷 76 は、隣接する光電変換部 3G に向かってドリフトすることが困難になる。以下、これを説明する。

【0042】

光電変換部 3R より入射した光 51 は、波長が長いので P 型エピタキシャル層 42 の深部で電荷（電子）52 を発生させる。電荷 52 は、P 型シリコン基板 41 が高濃度であるため P 型シリコン基板 41 から遠ざかるように P 型エピタキシャル層 42 中をドリフトする。

【0043】

光電変換部 3R の下にはバリア領域層 47 が配置されておらず、多くの電荷は、光電変換部 3R の電荷蓄積層 44 に導かれ R の信号となる。残りの電荷 52 のうち、隣接する光電変換部 3G に向かってドリフトする電荷 52 は、低いポテンシャル（高濃度）であるバリア領域層 47 に向かうことになる。このため、バリア領域層 47 は、障壁となって電荷 52 のドリフトを遮る。つまり、電荷 52 は、たとえ一時的に 3G に向かってドリフトしても、より高いポテンシャルである光電変換部 3R の電荷蓄積部 44 に向かってドリフトすることになる。したがって、クロストークが低減される。

【0044】

10

20

30

40

50

さらに、クロストークが低減されるばかりではなく、同一画素内の各トランジスタにノイズとなる電荷が侵入することが防止される。よって、同一画素内の各トランジスタをより安定的な状態に保持することが可能となる。

【0045】

また、バリア領域層47は、P型ウエル層42の内部であって、分離拡散49及び電荷蓄積層44と隔てて配置される。図3(b)から明らかのように、この間隔は、およそ2マイクロメートルである。このように、光電変換部3G、3Bの下には、十分な厚さのP型エピタキシャル層42が配置される。したがって、入射光が光電変換される空乏層が十分得られる。このため、生成される電荷量が増大し、これに伴い光出力値が増加する。さらに、光電変換部3G、3Bの下に配置されるバリア領域層47は、分離領域46の下に配置されるバリア領域層47よりもP型シリコン基板41側に配置される。即ち、バリア領域層47は、電荷蓄積層44の下に配置される深さd1と、分離領域46の下に配置される深さd2が異なる。これにより、分離領域46において段差が生じている。なお、この段差の値(d1 - d2)は、およそ0.4マイクロメートルであり、LOCOS酸化膜48の1/2である。

10

【0046】

このような段差が生じているため、さらにクロストークが低減される。つまり、光電変換部3Rの下で発生する電荷52がG隣接する光電変換部3Gに向かってドリフトしてクロストークとなるには、分離領域46の下を通過せねばならない。しかし、その通路は、分離拡散層49とバリア領域層47との僅かの幅d3である。しかも、分離拡散層49及びバリア領域層47はP型不純物濃度が高濃度(したがってポテンシャルが低い)であり、電子は通過するのが困難となる。このため、光電変換部3G、3Bの下には十分な厚さのP型エピタキシャル層42が配置されて光出力値が増加するとともに、上記段差によりクロストークが低減される。

20

【0047】

上記のように、この段差は、ここではおよそ0.4マイクロメートルである。しかし、この段差は0.3マイクロメートルでも効果があり、また、段差が大きいほど効果も大きい。なお、本実施形態において、LOCOS酸化膜48の膜厚が0.8マイクロメートル、分離拡散層49の厚さが0.5マイクロメートルであるので、d3は1.1マイクロメートルとなる。しかし、LOCOS酸化膜48の膜厚や、分離拡散層49の厚さを変えることにより、d3の幅は、より狭くされてもよい。d3の幅は、1.5マイクロメートル以下であるのが好ましい。

30

【0048】

また、この段差は、LOCOS酸化膜48を用いて形成されている。このため、段差のあるバリア領域層47が一度のイオン注入により容易に形成することが可能となる。後述するとおり、バリア領域層47は、イオン注入により形成される。イオン注入では、シリコン酸化膜の厚さが厚いほど、シリコン表面からイオンが注入される距離が低減される。分離領域46にはLOCOS酸化膜48が配置されており、分離領域46は、その他の領域よりシリコン酸化膜の厚さが大きい。したがって、分離領域46は、その他の領域よりもイオンが到達する深さを低減させる。このため、分離領域46とその他の領域とでバリア領域層47の深さに段差が生ずる。

40

【0049】

ここでは、バリア領域層47を形成する製造工程において、分離領域46の酸化膜(LOCOS酸化膜48)を0.8マイクロメートルとし、光電変換部3上のシリコン酸化膜をプロテクト膜として0.05マイクロメートル配置させている。このため、薄いシリコン酸化膜の下に注入されるイオンは、厚いLOCOS酸化膜48の下に注入されるイオンより、およそ0.4マイクロメートルほど深く注入される。このように、シリコン酸化膜の膜厚に差が生じている画素領域にイオン注入することによって、段差のあるバリア領域層47が一度のイオン注入工程により容易に形成することができる。

【0050】

50

LOCOS酸化膜48の膜厚が厚いほど上記の段差は大きくなり、その効果は増大する。しかし、シリコン酸化膜は、製造工程上1.6マイクロメートル程度を超えると製造が困難となる。

【0051】

さらに、LOCOS酸化膜48は、バリア領域層47を形成した後にそのまま残され分離領域として使用される。このため、バリア領域層47の段差部と電荷蓄積層44とは、自己整合的にアライメントされる。したがって、浅い部分のバリア領域層47が光電変換部3G、3Bの下にはみ出し、光電変換する幅が低減されることがなく、より好ましい。しかし、それに限らず、バリア領域層47を形成するマスクとしてレジストを用いても良いし、あるいはLOCOS酸化膜48をマスクに用いた後、これを除去して再度シリコン酸化膜を形成してもよい。

10

【0052】

ところで、図2に記されたd3の値は、d2が2.5マイクロメートル、LOCOS酸化膜48の膜厚と分離拡散49の深さの合計が1.6マイクロメートル、バリア領域層47の厚さが1マイクロメートルとすれば、0.4マイクロメートルである。このように、分離領域46における電荷が通過できる幅d3は、小さい。クロストークを発生させるためには、電荷はこの狭い幅d3を通過せねばならない。したがって、クロストークは、さらに低減される。

【0053】

ここで、クロストーク値を計算により算出した。このクロストーク値は、画素の寸法を8マイクロメートル角とし、この画素に垂直に光が入射したと仮定して、隣接する画素へドリフトしてクロストークとなる電荷数を光が入射する画素に捕獲される電荷数で割った値としている。

20

【0054】

Rの光電変換部から入射して隣接するG画素の出力値に寄与するクロストーク値は0.35%、Gの光電変換部から入射して隣接するR画素の出力値に寄与するクロストーク値は0.14%であった。この値は、画像の乱れとして顕著に認識される1%を大幅に下回っている。

【0055】

図4は、本実施形態に係る固体撮像素子1の分光感度特性を示すグラフである。なお、比較例として、N型シリコン基板上にP型半導体層を配置させてこのP型半導体層に光電変換部を設けた従来の固体撮像素子の分光感度特性も合わせて示した。縦軸は、光電流を規格化した値をリニア表示している。この値は、各画素から出力される光電荷による電気信号に相当する。横軸は波長である。

30

【0056】

B(青色)の波長領域である0.45マイクロメートル程度の波長においては、本固体撮像素子1の光電流は、比較例の固体撮像素子と差が無い。しかし、G(緑)の波長領域である0.5マイクロメートル付近の波長より長波長側において、本固体撮像素子1の光電流は、明らかに比較例の固体撮像素子より増大している。光電流値は、比較例と比べてGの波長である0.53マイクロメートルの波長で17%、Rの波長である0.6マイクロメートルの波長で60.7%向上している。

40

【0057】

図5は、図1のC-C'部における断面図である。また、図6は、図1のD-D'部における断面図である。なお、いずれもシリコン酸化膜より上方部の構成は、ポリシリコンによるゲート電極を除き省略している。

【0058】

分離領域46以外の領域は、シリコン表面に拡散領域が形成され、或は、ゲート電極が配置され、アクティブ領域となる。本実施形態の固体撮像素子1は、各画素に複数のアクティブ領域55、56を有している。一つは、光電変換部3を少なくとも有する第1のアクティブ領域55であり、もう一つは、少なくとも画素アンプ5及び行選択トランジスタ

50

6を有する第2のアクティブ領域56である。このように、光電変換部3と、ソースフォロワ読み出しを行うための能動素子である画素アンプ5及び行選択トランジスタ6は、異なるアクティブ領域55、56に配置されている。

【0059】

第1のアクティブ領域55には、その他の能動素子として転送ゲート33やフローティング拡散部31などが配置される。また、第2のアクティブ領域56には、その他能動素子であるリセットトランジスタを構成するN型の拡散領域32とそのゲート電極34が配置される。

【0060】

これらの能動素子のうち、画素アンプ5及び行選択トランジスタ6は、ソースフォロワ読み出しを行うためノイズを低減させるのが好ましい。光によって生成される電荷は、光電変換部から光が進入して所定の電荷蓄積部44に捕捉されないとノイズ電荷となる。そして、例えば、ノイズ電荷がN型の拡散領域39、40に入ると、出力値がそれによって変化し、安定的な動作ではなくなる。

【0061】

しかしながら、図5、図6から理解されるように、画素アンプ5及び行選択トランジスタ6の配置されている第2のアクティブ領域56は、その周囲をバリア領域層47の段差にて囲まれている。このバリア領域層47の段差により、上記のようにノイズ電荷の進入幅d3は狭くなり、ノイズ電荷の障壁となる。したがって、画素アンプ5及び行選択トランジスタ6に上記のノイズが侵入することは困難となり、ソースフォロワ読み出しは、より安定的に実行される。

【0062】

図7は、本実施形態に係る固体撮像素子1の各製造工程における断面図であり、図1のD-D'部に相当する。以下、この図面を引用して本固体撮像素子1の製造工程を説明する。まず、P型シリコン基板41の所定の領域にP型エピタキシャル層42を周知の技術に従い形成する。

【0063】

次に、LOCOS酸化膜48による分離領域を形成する工程を行う。即ち、先ず、シリコン窒化膜(図示せず)をCVD法により形成し、アクティブ領域となる部分を残すようにパターニングする。開口部は、後に厚いLOCOS酸化膜が形成されるが、開口部に前もって分離拡散49を設けておく。分離拡散49は、最終的に深さが0.8マイクロメートル、濃度が $1E17$ から $1E18/cm^3$ となる。次いで、この開口部に熱酸化法により膜厚が0.8マイクロメートルのLOCOS酸化膜を分離領域に選択的に形成する。シリコン窒化膜を除去した後に、アクティブ領域にイオン注入のプロテクト膜を目的として薄いシリコン酸化膜45を熱酸化法により形成する。この状態を示したのが図7(a)である。

【0064】

次に、バリア領域層47を形成する工程を行う。すなわち、光電変換部3R及び周辺回路となる領域に膜厚が3マイクロメートル乃至5マイクロメートルのレジストマスクを設け、イオン注入して所定の熱処理を行い、ピーク濃度 $3E17/cm^3$ のバリア領域層47を形成する。このとき、薄いシリコン酸化膜45の部分は深く、厚いLOCOS酸化膜48の部分は浅くイオンが打ち込まれ、これより段差を持ったバリア領域層47が所定の深さに容易に形成される。また、光電変換部3R及び周辺回路の下にはバリア領域層47は形成されない。この状態を示したのが図7(b)である。

【0065】

また、説明を簡略化するため、薄いシリコン酸化膜45は、固体撮像素子1の完成まで保持されるものとして説明する。しかし、ここで用いた薄いシリコン酸化膜45は本工程終了後に除去され、各部の酸化膜は空乏化防止層43上の保護膜、ゲート酸化膜など目的により膜厚を変えて再度形成されてもよい。

【0066】

10

20

30

40

50

次に、所定の拡散部を設ける工程を行う。即ち、周知のフォトリソエッチング法及び不純物拡散法による工程を繰り返し、画素内の能動素子、及び、周辺回路の能動素子を形成する。MOSトランジスタの拡散部（例えば符号40）等は、LOCOS酸化膜、及び、ポリシリコンを用いたセルフラインにより形成する。光電変換部に配置する拡散部（電荷蓄積部44、空乏化防止層43）は、電荷転送のバラツキを抑えるためポリシリコンによる各ゲート電極を設けた後に形成するのが好ましい。この状態を示したのが、図7（c）である。そして、配線、カラーフィルタ、マイクロレンズ、保護膜等を形成して本固体撮像素子1は完成する。

【0067】

ここでは、バリア領域層47の段差は、LOCOS酸化膜と薄い酸化膜45の断面形状を利用して形成されている。しかし、前記したようにレジストを利用しても良い。 10

図8は、本発明に係る第1の実施形態による固体撮像素子1の回路図である。ここでは、3行3列の画素2を有する構成としたが、画素数はこれに限られるものではない。

【0068】

本固体撮像素子1は、画素2が配置される画素領域、画素2から出力される信号を外部に導く読み出し部（垂直信号線、水平信号線等）、画素2及び読み出し部を動作させる読み出し回路（垂直走査回路10、水平走査回路20等）とを有している。なお、ここでは、読み出し回路を周辺回路と記載することもある。

【0069】

各画素2は、光電変換部3、転送トランジスタ4、画素アンプ5、行選択トランジスタ6、リセットトランジスタ7を有している。ここでは、転送トランジスタ4、画素アンプ5、行選択トランジスタ6、リセットトランジスタ7のいずれもNMOSトランジスタを用いている。 20

【0070】

転送トランジスタ4は、そのゲートが駆動配線11によって行方向に共通に接続され、垂直走査回路10の駆動信号TG(n, n+1)に従って動作する。行選択トランジスタ6は、そのゲートが駆動配線12によって行方向に共通に接続され、垂直走査回路10の駆動信号L(n, n+1)に従って動作する。また、リセットトランジスタ7は、そのゲートが駆動配線13によって行方向に共通に接続され、垂直走査回路10の駆動信号RS(n, n+1)に従って動作する。画素アンプ5のドレインとリセットトランジスタ7のドレインは、全画素共通接続され、配線14を介して電源電圧VDDに接続されている。画素アンプ5のソースは行選択トランジスタ6のドレインと接続され、行選択トランジスタ6のソースは垂直信号線22と列方向に共通に接続されている。 30

【0071】

各垂直信号線22の一方の端部には定電流源23と、垂直信号線22をリセットする垂直信号線リセットトランジスタ24が配置される。定電流源23には一定電圧VCSが、垂直信号線リセットトランジスタ10には一定電圧VRVが印加される。ここでは、VCS、VRVの両方とも接地電位としている。垂直信号線リセットトランジスタ24のゲートには駆動信号RVが印加され、この駆動信号RVに従って垂直信号線22がリセットされる。 40

【0072】

各垂直信号線22の他方の端部は、列アンプ25、サンプルホールド回路26、水平スイッチトランジスタ27を介して水平信号線21に接続されている。水平信号線21には出力アンプ28、水平リセットトランジスタ29が接続されている。水平スイッチトランジスタ27のゲートは、駆動配線15と接続されている。水平スイッチトランジスタ27は、水平走査回路20からの駆動信号によって動作する。水平リセットトランジスタ29は駆動信号RHで動作し、水平信号線21を一定電位VRHにリセットする。

【0073】

サンプルホールド回路26は、相関二重サンプリングを行う回路である。画素アンプ6から出力される電気信号には、固定パターンノイズやリセットノイズなど（以下、単にノ 50

イズと記載する)に対応するダークレベルが含まれている。ダークレベルは、画素アンプ6のゲート電位をリセットするごとに変化する。そこで、まず、リセット直後のノイズに対応する電気信号(ダークレベル)を画素から出力し、サンプルホールド回路26に一旦蓄積させる。次いで、光電変換部3に蓄積されている光電荷を画素アンプ6のゲートに転送しノイズと重畳した光電荷に対応する電気信号を画素からサンプルホールド回路26に出力し、両者を差し引いて光電荷に対応する真の電気信号を水平信号線28に出力する。サンプルホールド回路26は、ここでは、各列ごとにダークレベルを一時的に蓄積するクランプ容量16と、クランプ容量16の一方の電極を一定電位VRHに設定するクランプトランジスタ17とを有している。サンプルホールド回路及び相関二重サンプリングの手法は周知技術であり、ここでは詳細の説明を省略する。

10

【0074】

図9は、本実施形態に係る固体撮像素子1の駆動タイミングチャートである。この図を引用して本固体撮像素子1の動作について説明する。なお、各画素に含まれるトランジスタはNMOSTランジスタであり、ハイレベルの駆動信号を受けてオン状態とされる。また、T1の期間に至るまでに露光期間(入射光による電荷が電荷蓄積部に蓄積される期間)が開始されているものとする。

【0075】

まず、期間T1において、L(n)がハイレベルとされる。これにより、n行目の行選択トランジスタ6がオン状態とされ、ソースフォロワ読み出しが開始される。その他の行は非選択状態である。

20

【0076】

L(n)がハイレベルにされるのと同時にRS(n)がハイレベルとされ、n行目のリセットトランジスタ7が期間T2の間オン状態とされる。これにより、フローティング拡散部及び画素アンプ5のゲートは、電源電圧VDDの電圧にリセットされる。また、このリセット動作により、フローティング拡散部はリセット電圧に対応したダークレベルとなる。T2の終了時にリセットトランジスタ7は、オフ状態に戻るが、フローティング拡散部及び画素アンプのゲートは、ダークレベルを保持する。

【0077】

この動作と並行して、T3の期間にSHがハイレベルにされてクランプトランジスタ17がオン状態とされる。これにより、ソースフォロワ読み出しが行われ、n行目の行選択トランジスタ6を介して画素アンプ5から、上記のリセット電圧に対応するダークレベルが垂直信号線22に出力される。期間T3の終了時において、クランプトランジスタ17がオフ状態とされると、ダークレベルがクランプ容量16に保持されたままクランプ容量16の出力側の電極がフローティングの状態となり、サンプルホールド回路26にてダークレベルの保持動作が行われる。

30

【0078】

期間T4において、TG(n)がハイレベルとされて転送トランジスタ4がオン状態とされる。これにより電荷蓄積部に蓄積されていた入射光による電荷がフローティング拡散部に転送される。そして、この行の行選択トランジスタ6がオン状態であるため、ダークレベルと入射光による電荷の重畳された電圧に対応する電気信号が垂直信号線22に出力される。期間T4の終了時において、転送トランジスタT4はオフ状態とされる。出力された電気信号は、水平走査期間の始まるまでの間サンプルホールド回路26の前段における垂直信号線22に保持される。

40

【0079】

期間T6は、水平走査期間である。H1がハイレベルとされて水平スイッチトランジスタ27がオン状態とされる。これにより、サンプルホールド回路26にてダークレベルが差し引かれて光電荷に対応する真の電気信号が一行目の垂直信号線22から水平信号線21に出力される。そして、順次、二列目、三列目から同様に電気信号が出力される。

【0080】

すべての列から電気信号が読み出された後、期間T7において次の行であるn+1行が

50

選択されて、電気信号が同様に読み出される。このように順次選択された行から電気信号が読み出され一つの画像が得られる。なお、ここでは露光期間をT4の終了時からT4の開始時までとしている。しかし、周知の電子シャッター動作を行っても良く、また、メカシャッターを併用しても構わない。

【0081】

ところで、固体撮像素子の周辺回路は、CMOS回路が用いられる。CMOS回路は、PMOSトランジスタとNMOSトランジスタから構成されている。そして、周知のようにPMOSトランジスタはN型ウエルに配置され、NMOSトランジスタはP型ウエルに配置される。

このうち、NMOSトランジスタは、その使用目的等によって、異なる複数のP型ウエル電位に配置することを要求されることがある。このような場合において、複数の電氣的に分離されたP型ウエルが設けられ、複数種類のNMOSトランジスタが異なる電位を印加されたP型ウエルに配置される。

【0082】

N型シリコン基板中に複数の電氣的に分離されたP型ウエルを配置するなら、N型シリコン基板に複数のP型ウエルを設けて各々の間で逆バイアスを印加すれば、P型ウエル間で電氣的に分離される。しかし、本固体撮像素子のようにP型シリコン基板にP型エピタキシャル層を配置させる構成では、このような分離はできない。そこで、本固体撮像素子の周辺回路は、図10のような構成を有している。図10は、本実施形態に係る固体撮像素子の周辺回路部分断面図である。

【0083】

PMOSトランジスタは、P型エピタキシャル層42の表面に設けられるN型ウエル61中に配置される。PMOSトランジスタは、同一のN型ウエル電位で構わない。しかし、異なる電位が要求されるなら、このようなN型ウエル61を複数配置させ、各々のN型ウエル61とP型エピタキシャル層42とを逆バイアスにすればよい。

PMOSトランジスタは、P型拡散領域であるソース・ドレイン64、65と、その間に薄いシリコン酸化膜45を介して配置されるゲート電極66からなる。N型ウエル61には、電位を印加するための拡散領域63が設けられており、この拡散領域63に配線によって所定の電圧が導かれる。図示されていないが、N型ウエル61中には、複数のPMOSトランジスタが配置され、各々は、厚いLOCOS酸化膜48及びその下に配置されるN型の分離拡散62によって分離されている。

【0084】

NMOSトランジスタは電氣的に各々が分離された第1のP型ウエル67、及び、第2のP型ウエル73中に配置される。なお、便宜上、ここでは二つの異なるP型ウエル67、73で例示するが、これに限らず、3つ以上配置してもよい。3つ以上配置させるなら、それらのP型ウエルは電氣的に分離される。

【0085】

第1のP型ウエル67は、P型エピタキシャル層42の一部を用いており、ここに第1のNMOSトランジスタが配置される。第1のNMOSトランジスタは、N型拡散領域であるソース・ドレイン70、71と、その間に薄いシリコン酸化膜45を介して配置されるゲート電極72からなる。P型ウエル67には、電位を印加するための拡散領域69が設けられており、この拡散領域69に配線によって所定の電圧が導かれる。図示されていないが、P型ウエル67中には、複数のNMOSトランジスタが配置され、各々は、厚いLOCOS酸化膜48及びその下に配置されるN型の分離拡散68によって分離されている。

一方、第2のP型ウエル73は、その周囲をN型領域79で囲まれている。このため、第2のP型ウエル73は、第1のP型ウエル67(つまりP型エピタキシャル層42)と電氣的に分離される。N型領域79は、この領域にイオン注入によるN型不純物の拡散によって形成されている。しかし、N型領域79の形成は、これに限らない。まず、P型ウエル73となる部分、及び、N型領域79となる部分にN型拡散領域を形成し、次いで、P

10

20

30

40

50

型ウエル73となる領域にP型拡散を行って、内側にP型ウエル73と、その周囲にN型領域79を形成してもよい。

P型ウエル73の濃度は 1×10^{14} から $5 \times 10^{16} / \text{cm}^3$ である。所望の電位を印加すると、N型領域79とP型エピタキシャル層42の界面、及び、N型領域79と第2のP型ウエル73の界面には空乏層が生ずる。この二つの空乏層がつながると、パンチスルーが発生し、第2のP型ウエル73とP型エピタキシャル層42とが電氣的に接続され、これに伴い、第2のP型ウエル73と第1のP型ウエル67も電氣的に接続される。すなわち、第1のP型ウエル67と、第2のP型ウエル73は、別々のウエルとして機能しなくなる。このため、N型領域79は、 $1 \times 10^{18} / \text{cm}^3$ 以上とするか、または、厚さを厚くするのが好ましい。

10

また、P型シリコン基板の不純物をボロンにて、且つ、濃度を $1 \times 10^{19} / \text{cm}^3$ 以上とすれば、鉄などの重金属イオンをゲッターリングすることが可能となる。すなわち、基板がゲッターリングサイトとなる。このため、固体撮像素子1全面に渡ってゲッターリングサイトが配置され、ゲッターリングとしての格段な効果が生ずる。これに伴い、固体撮像素子の暗電流は非常に小さくなる。

[第2の実施形態]

図11は、第2の実施形態に係る固体撮像素子80の断面図であり、図1におけるB-B'部断面図に相当する。なお、ここでもシリコン酸化膜より上方部の構成を省略している。実際には、シリコン酸化膜45、48の上方部には配線電極、保護膜、カラーフィルタ等が配置されている。

20

【0086】

本固体撮像素子80は、実施形態1と同様に、不純物濃度が高濃度であるP型シリコン基板81に、それより低濃度であるP型エピタキシャル層82を有している。即ち、第1導電型の第1半導体層と、第1導電型の第2半導体層とによって一つの基体をなしている。また、空乏化防止層43、電荷蓄積層44を有する光電変換部3を有する画素を有している点も実施形態1と同様である。

【0087】

したがって、本固体撮像素子80は、P型シリコン基板81の濃度の方がその上部に配置されるP型エピタキシャル層82より高濃度とされている。よって、P型エピタキシャル層82で生成される電荷(電子)は、ドリフトしても、基板側ではなく、P型エピタキシャル層82の表面側に導かれる。そして、P型エピタキシャル層82の表面側には光電変換部3が配置されている。したがって、上記の構成により、基板側に吸収される電荷が少なくなり、高い光出力が得られる。

30

【0088】

P型エピタキシャル層82の濃度は、P型シリコン基板81より低濃度であれば上記の効果が得られる。しかし、P型シリコン基板41の濃度が $1 \times 10^{18} / \text{cm}^3$ 以上であり、P型エピタキシャル層82の濃度がP型シリコン基板81の濃度の $1/10$ 以下の濃度であれば2つの濃度差によって生ずるポテンシャル差の絶対値は十分に大きく、より好ましい。

ここでは、P型シリコン基板81の濃度は $1 \times 10^{18} / \text{cm}^3$ であり、P型エピタキシャル層82の濃度は、 $1 \times 10^{15} / \text{cm}^3$ である。しかし、これらの濃度に限定されず、P型シリコン基板81の濃度は、 1×10^{16} から $5 \times 10^{20} / \text{cm}^3$ の範囲で、P型エピタキシャル層82の濃度は、それより低濃度であれば良い。

40

【0089】

また、本固体撮像素子80は、Rの光電変換部3Rの下に配置されるエピタキシャル層の厚さと、G及びBの光電変換部3G、3Bの下に配置されるエピタキシャル層の厚さが異なる。即ち、最も長波長の色に対応するカラーフィルタが配置される光電変換部3Rの下には、その他のカラーフィルタが配置される光電変換部3G、3Bの下よりも厚さの厚いP型エピタキシャル層が配置される。このため、光電変換部3Rから入射した光83によって発生する電荷84は、隣接する光電変換部3Gに向かってドリフトすることが困難

50

になる。以下、これを説明する。

【0090】

光電変換部3Rより入射した光83は、波長が長いのでP型エピタキシャル層82の深部で電荷(電子)84を発生させる。電荷84は、P型シリコン基板81が高濃度であるためP型シリコン基板81から遠ざかるようにP型エピタキシャル層82中をドリフトする。

【0091】

入射した光83によって生成された電荷のうち、隣接する光電変換部3Gに向かってドリフトする電荷84は、低いポテンシャル(高濃度)であるP型シリコン基板81の段差部に向かうことになる。この段差部は、障壁となって電荷84のドリフトを遮る。このため、電荷84は、たとえ一時的に3Gに向かってドリフトしても、より高いポテンシャルである光電変換部3Rの電荷蓄積部44に向かってドリフトすることになる。したがって、クロストークが低減される。

10

【0092】

さらに、クロストークが低減されるばかりではなく、同一画素内の各トランジスタにノイズとなる電荷が侵入することが防止される。よって、同一画素内の各トランジスタをより安定的な状態に保持することが可能となる。

【0093】

P型エピタキシャル層82の厚さは、光電変換部3Rの下(d4)で6マイクロメートルである。ただし、これに限られるものではなく、5-12マイクロメートルの範囲ならよい。また、その他の光電変換部3G、3Bの下(d5)におけるP型エピタキシャル層82の厚さは、4マイクロメートルである。ただし、これに限られるものではなく、d4より薄ければ効果がある。d4とd5の差は、1マイクロメートル以上が好ましい。

20

【0094】

また、d5の値は、上記のように4マイクロメートルとしている。このため、光電変換部3G、3Bの下には、十分な厚さのP型エピタキシャル層82が配置される。したがって、入射光が光電変換される空乏層が十分得られる。よって、生成される電荷量が増大し、これに伴い光出力値が増加する。

【0095】

このようなP型エピタキシャル層82の段差を含め、本固体撮像素子は、次のようにして形成される。図12は、本実施形態に係る固体撮像素子80の各製造工程における断面図であり、図11に対応する。ただし、光電変換部3やその他のアクティブ領域とは別の領域に配置されるアライメント領域も示している。図13は、それに続く各製造工程における断面図である。以下、この図面を引用して本固体撮像素子80の製造工程を説明する。

30

【0096】

まず、P型シリコン基板81を準備して、領域85が開口されるようにマスク材をパターンニングし、領域81のP型シリコン基板81をドライエッチングする。このエッチングは、後述する領域86のエッチングに比べて、表面から深くまで行う。ここでは、表面から6マイクロメートルまで行う。この領域85は、後にアライメントマークとなる領域である。マスク材は、シリコンエッチングに耐久性のあるものなら何でもよい。ここでは、レジストを使用している。また、ドライエッチングに変えて、ウエットエッチングにしてもよい。

40

【0097】

次に、領域86が開口されるように、同様にマスク材をパターンニングしてP型シリコン基板81をドライエッチングする。ここでは、表面から5マイクロメートルの深さまでエッチングを行う。この状態を示したのが図12(a)である。次いで、P型のエピタキシャル層82を周知のエピタキシャル技術を用いて形成する。ここでは、P型エピタキシャル層82を6マイクロメートル成長させている。この状態を示したのが図12(b)である。このように、表面には段差が生じている。d6の段差はおよそ5マイクロメートルで

50

あり、d 7 の段差はおよそ 6 マイクロメートルである。

【0098】

次に、周知のCMP技術に従い、段差を有するP型エピタキシャル層82の表面を研磨して平坦化を行う。このとき、d6の段差が無くなり平坦化され、d7の段差が残存する状態で研磨を停止する。この制御は、研磨時間、又は、光学的な終点検出にて実施ことができる。この状態を示したのが図12(c)である。

【0099】

次に、LOCOS酸化膜48による分離領域を形成する工程を行う。即ち、先ず、シリコン窒化膜(図示せず)をCVD法により形成し、アクティブ領域となる部分を残すようにパターニングする。このとき、P型エピタキシャル層82の段差部88が、所定の分離領域89の下に配置されるように段差部88をアライメントマークとして位置合せする。このようにすれば、後に形成する光電変換部3Rの下には厚いP型エピタキシャル層が、光電変換部3G、3Bの下には薄いP型エピタキシャル層が配置される。

開口部は、後に厚いLOCOS酸化膜が形成されるが、開口部に前もって分離拡散49を設けておく。分離拡散49は、最終的に深さが0.8マイクロメートル、濃度が $1E17$ から $1E18/cm^3$ となる。次いで、この開口部に熱酸化法により膜厚が0.8マイクロメートルのLOCOS酸化膜を形成する。

【0100】

次いで、第1の実施形態と同様に、光電変換部、画素内のその他の素子、周辺回路等を形成し、本固体撮像素子80は完成する。

なお、本固体撮像素子80の回路図、駆動方法などは、第1の実施形態に係る固体撮像素子1と同様であり、説明は省略する。

【0101】

[第3の実施形態]

図14は、第3の実施形態に係る固体撮像素子の断面図である。なお、(a)の固体撮像素子90は、第1の実施形態に係る固体撮像素子1を基に、(b)の固体撮像素子91は、第2の実施形態に係る固体撮像素子80を基にしている。また、ここでもシリコン酸化膜より上方部の構成を省略している。

【0102】

まず、図14(a)を参照して本実施形態を説明する。本実施形態による固体撮像素子90が第1の実施形態に係る固体撮像素子1と異なる点は、クロストーク防止層92が配置されている点にある。その他の構成は、第1の実施形態と同様なので説明を省略する。クロストーク防止層92はP型不純物による拡散層であり、クロストーク防止層92のピーク濃度及び厚さは、バリア領域層47と同じである。クロストーク防止層92は、バリア領域層47とP型エピタキシャル層42の表面の間に配置される。さらに詳細には、クロストーク防止層92は、分離領域46の下であって、バリア領域層47との間に配置される。図においては、クロストーク防止層92は、バリア領域層47と密着配置されている。しかし、密着させる必要は必ずしも無い。ただし、このように配置させる方が好ましく、さらに分離拡散49とも接触される方が好ましい。

【0103】

このクロストーク防止層92を設けることにより、光電変換部3Rから入射して発生した電荷が隣接する光電変換部3G、3Bに捕捉されてクロストークとなることがさらに低減される。

【0104】

また、本実施形態による固体撮像素子91(図14(b))が第2の実施形態に係る固体撮像素子80と異なる点も、クロストーク防止層93が配置されている点にある。この場合、クロストーク防止層93は、P型シリコン基板81とP型エピタキシャル層42の表面の間に配置される。さらに詳細には、クロストーク防止層92は、分離領域46の下であって、P型シリコン基板81の表面に突出している部分との間に配置される。図においては、クロストーク防止層92は、P型シリコン基板81と密着配置されている。しか

10

20

30

40

50

し、密着させる必要は必ずしも無い。ただし、このように配置させる方がより好ましく、さらに分離拡散 4 9 とともに接触される方が好ましい。

【0105】

このクロストーク防止層 9 3 を設けることにより、光電変換部 3 R から入射して発生した電荷が隣接する光電変換部 3 G、3 B に捕捉されてクロストークとなることがさらに低減される。

【産業上の利用可能性】

【0106】

本発明の固体撮像素子は、静止画を撮像する電子カメラや動画を撮影するデジタルビデオカメラに利用できる。

10

【図面の簡単な説明】

【0107】

【図1】本発明に係る第1の実施形態による固体撮像素子の2×2個の画素概略平面図である。

【図2】図1のB-B'部における断面図である。

【0108】

第1の実施形態に係る固体撮像素子の駆動タイミングチャートである。

【図3】(a)は図2におけるE-E'部分の正味の不純物濃度分布図であり、(b)は、図2におけるF-F'部分の正味の不純物濃度分布図である。

【図4】第1の実施形態に係る固体撮像素子の分光感度特性を示すグラフである。

20

【図5】図1のC-C'部における断面図である。

【図6】図1のD-D'部における断面図である。

【図7】第1の実施形態に係る固体撮像素子の各製造工程における断面図である。

【図8】第1の実施形態に係る固体撮像素子の回路図である。

【図9】第1の実施形態に係る固体撮像素子の駆動タイミングチャートである。

【図10】第1の実施形態に係る固体撮像素子の周辺回路部分断面図である。

【図11】本発明の第2の実施形態に係る固体撮像素子の断面図である。

【図12】第2の実施形態に係る固体撮像素子の各製造工程における断面図である。

【図13】図12に続く第2の実施形態に係る固体撮像素子の各製造工程における断面図である。

30

【図14】本発明の第3の実施形態に係る固体撮像素子の断面図である。

【符号の説明】

【0109】

- 1、80、90、91 固体撮像素子
- 2 画素
- 3 光電変換部
- 4 転送トランジスタ
- 5 画素アンプ
- 6 行選択トランジスタ
- 7 リセットトランジスタ
- 31、32 フローティング拡散部
- 33 転送ゲート
- 41、81 P型シリコン基板
- 42、82、P型エピタキシャル層
- 44 電荷蓄積部
- 45 薄いシリコン酸化膜
- 46、89 分離領域
- 47 バリア領域層
- 48 LOCOS酸化膜
- 49 分離拡散

40

50

5 5、5 6 アクティブ領域

6 1 N型ウエル

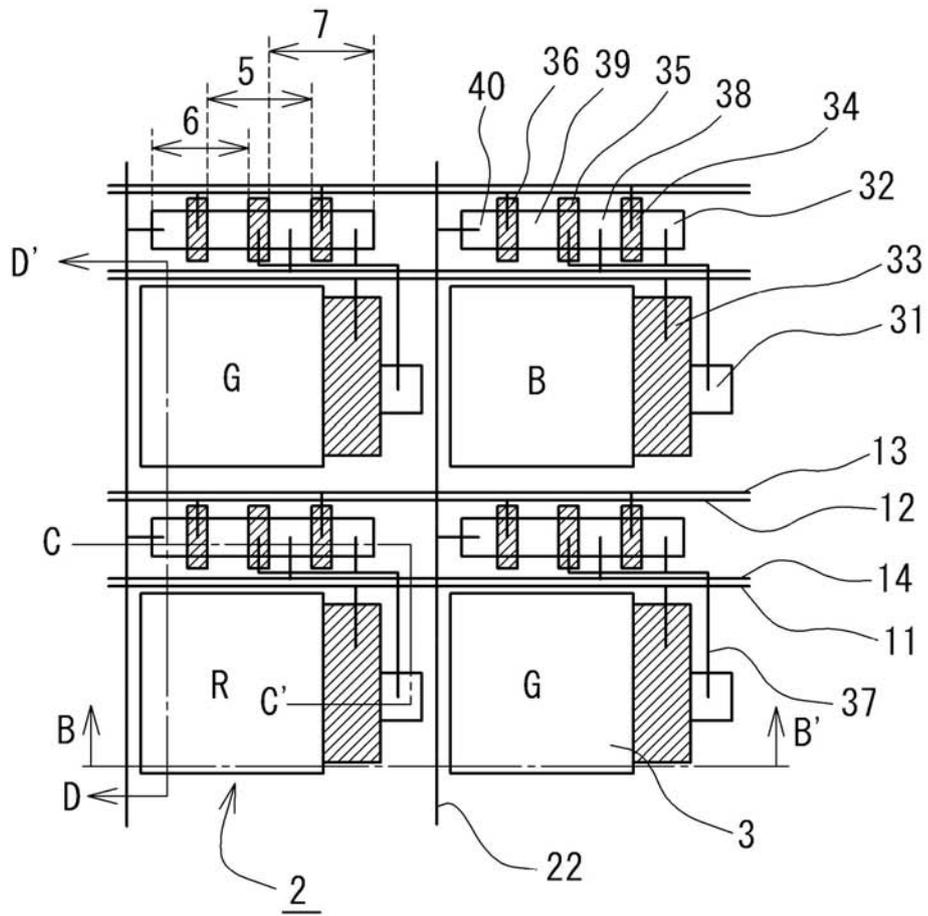
6 7 第1のP型ウエル

7 3 第2のP型ウエル

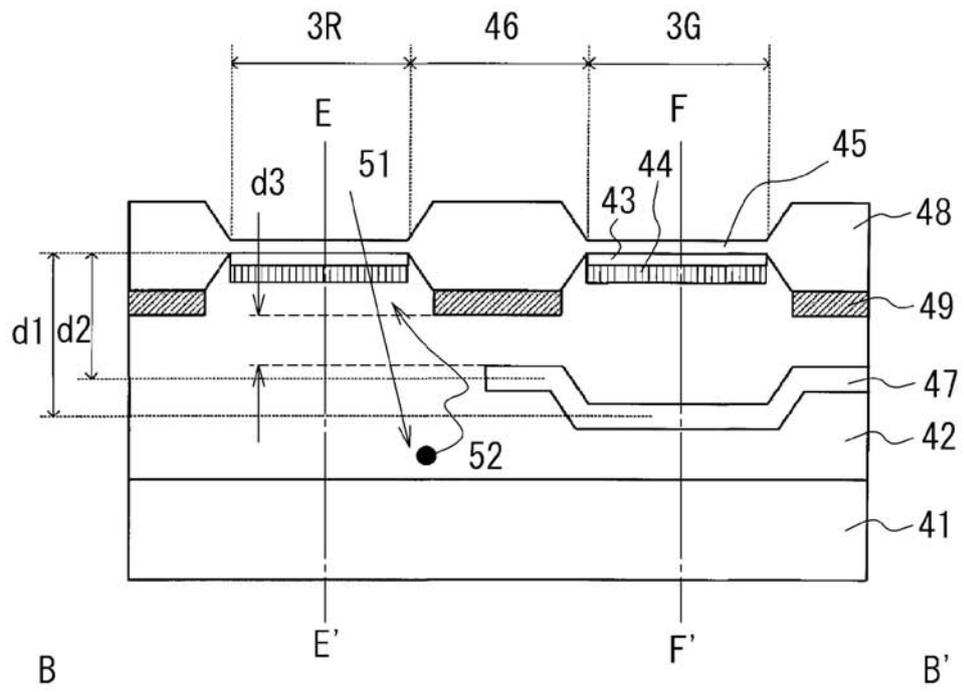
9 2、9 3 クロストーク防止層

6 4、7 4、8 4、9 4 上層バリア領域層

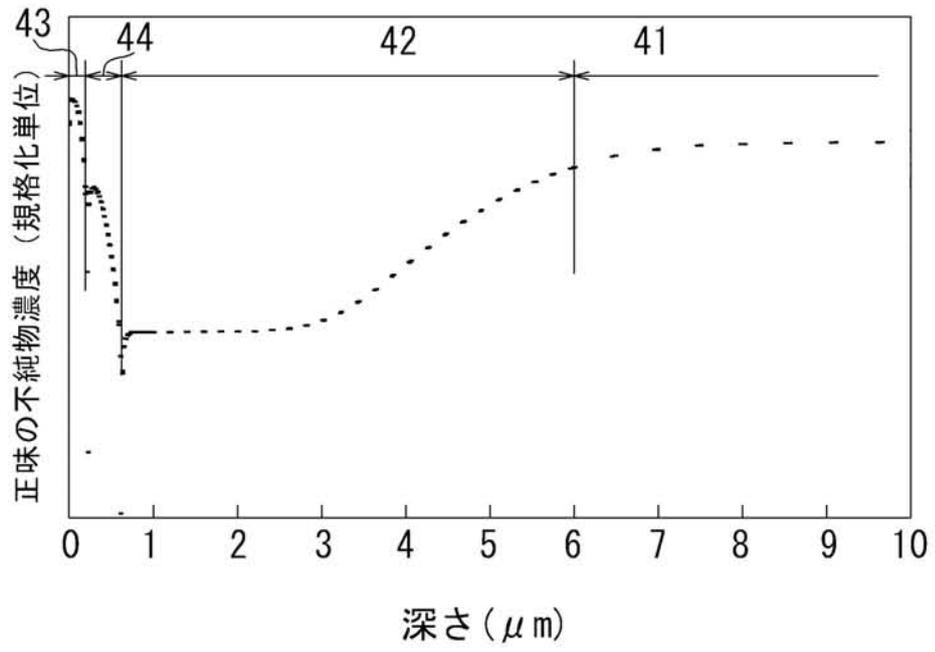
【 図 1 】



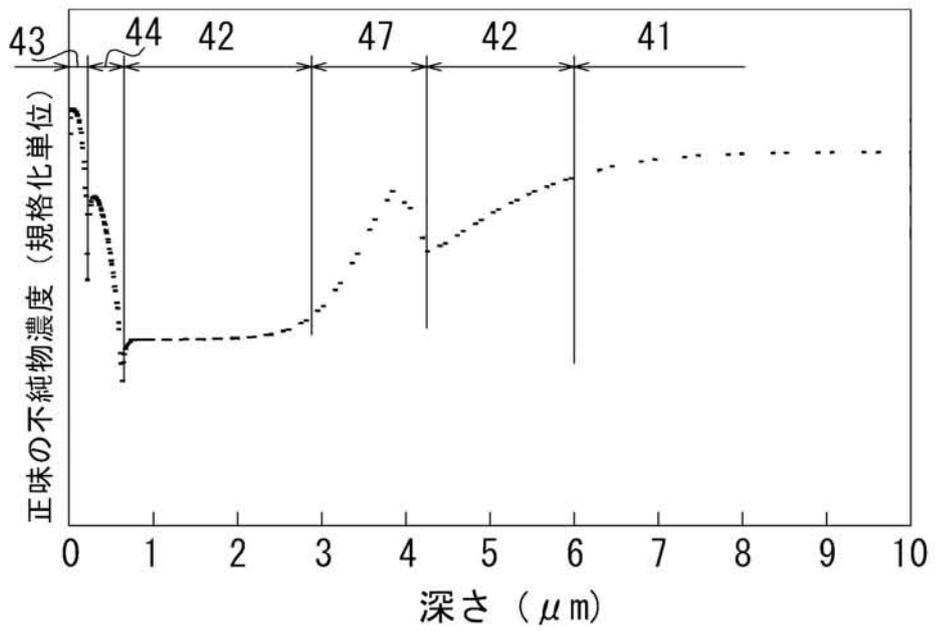
【 図 2 】



【 図 3 】

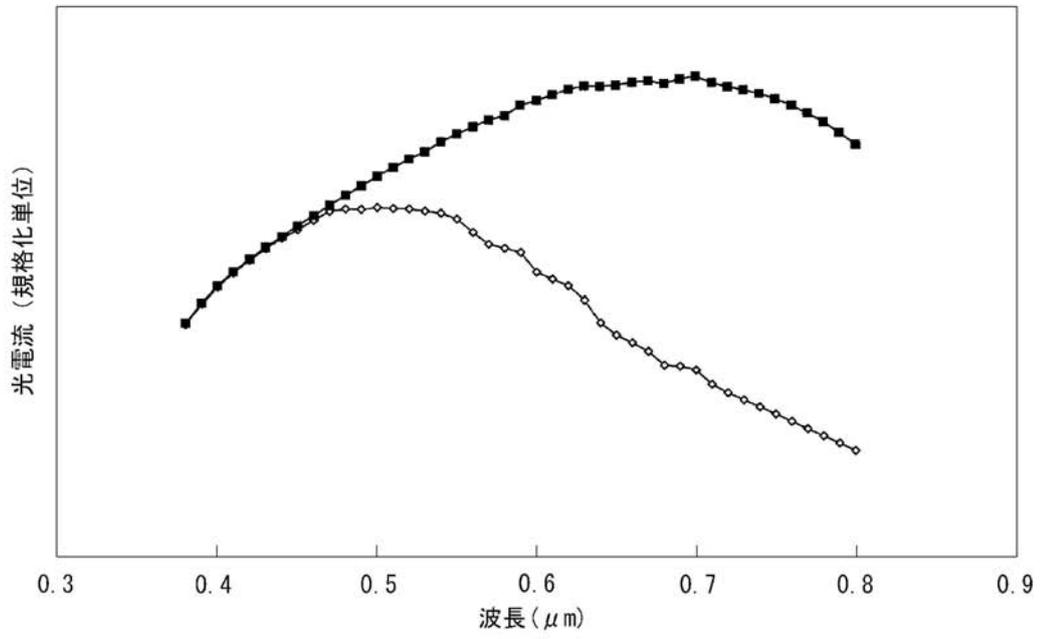


(a)

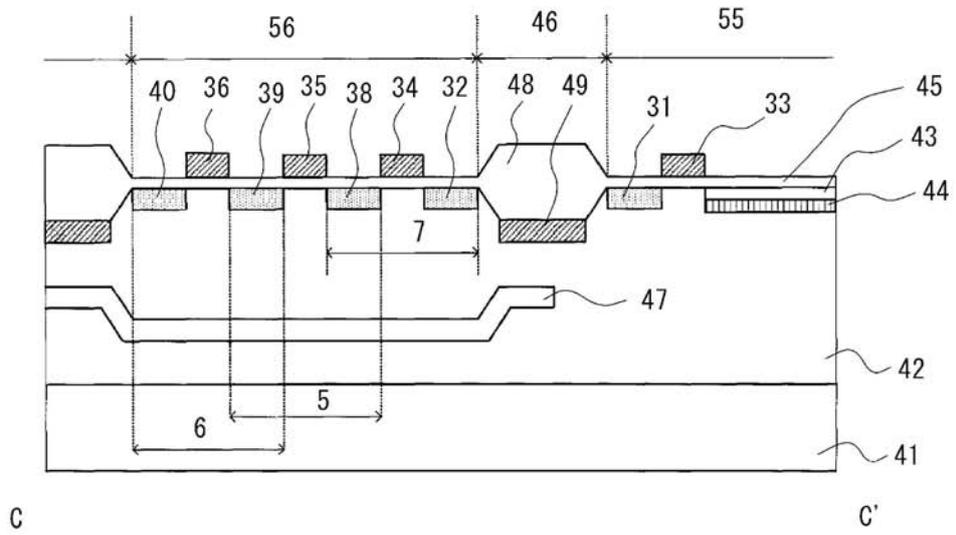


(b)

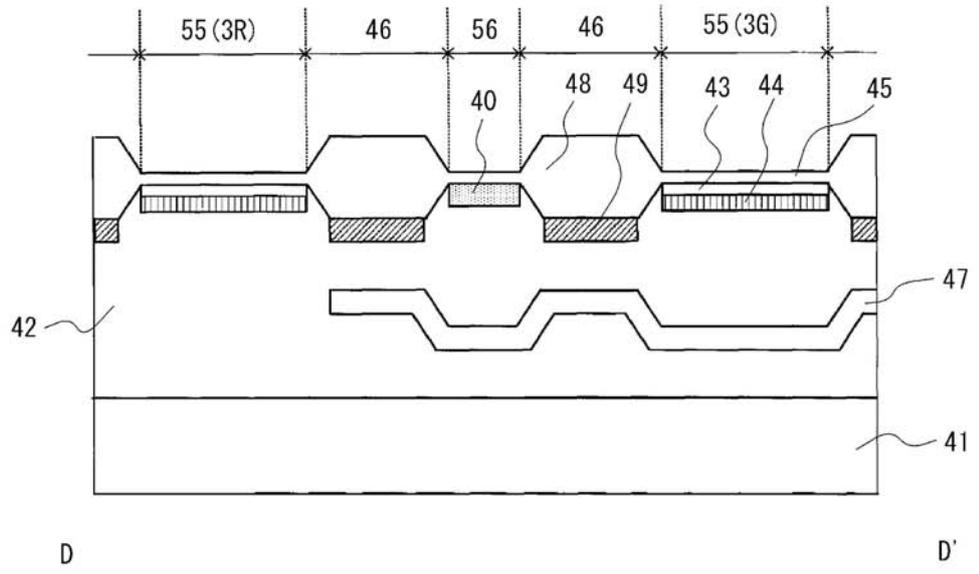
【 図 4 】



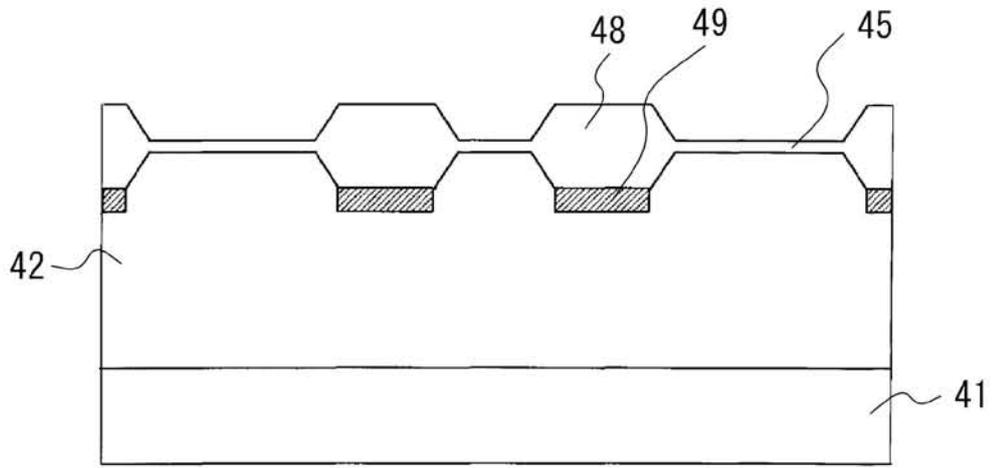
【 図 5 】



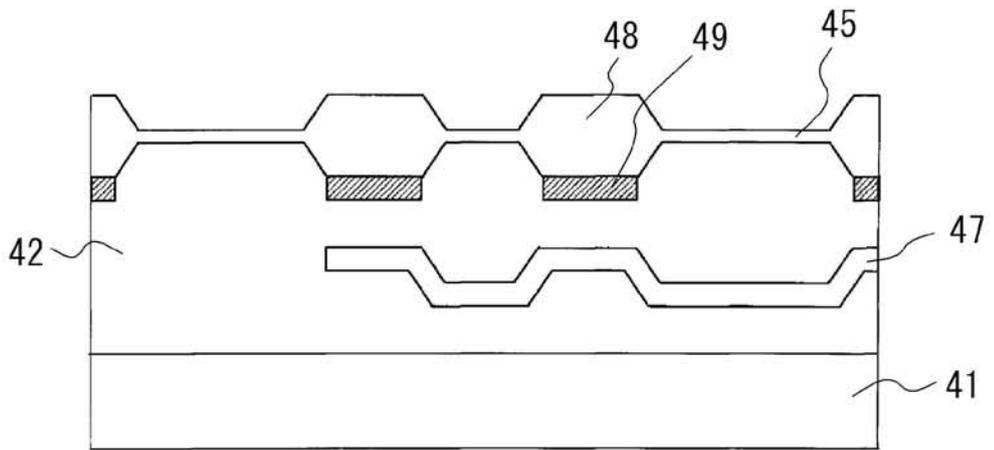
【 図 6 】



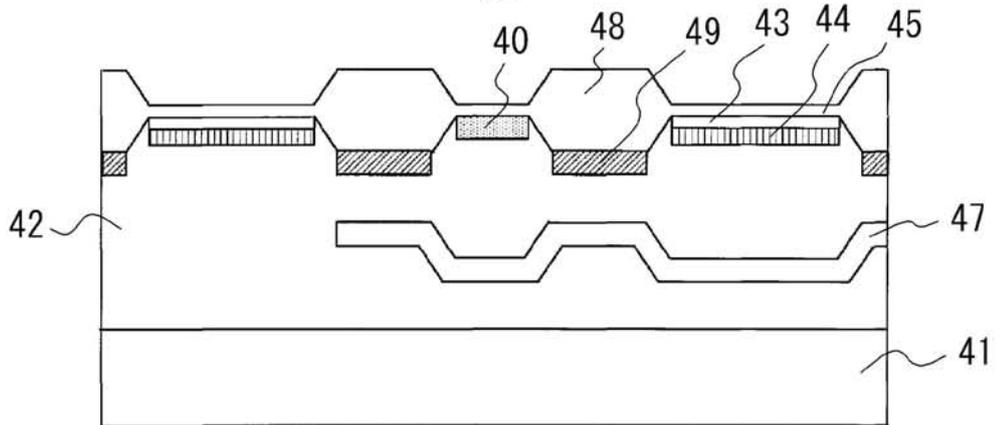
【 図 7 】



(a)

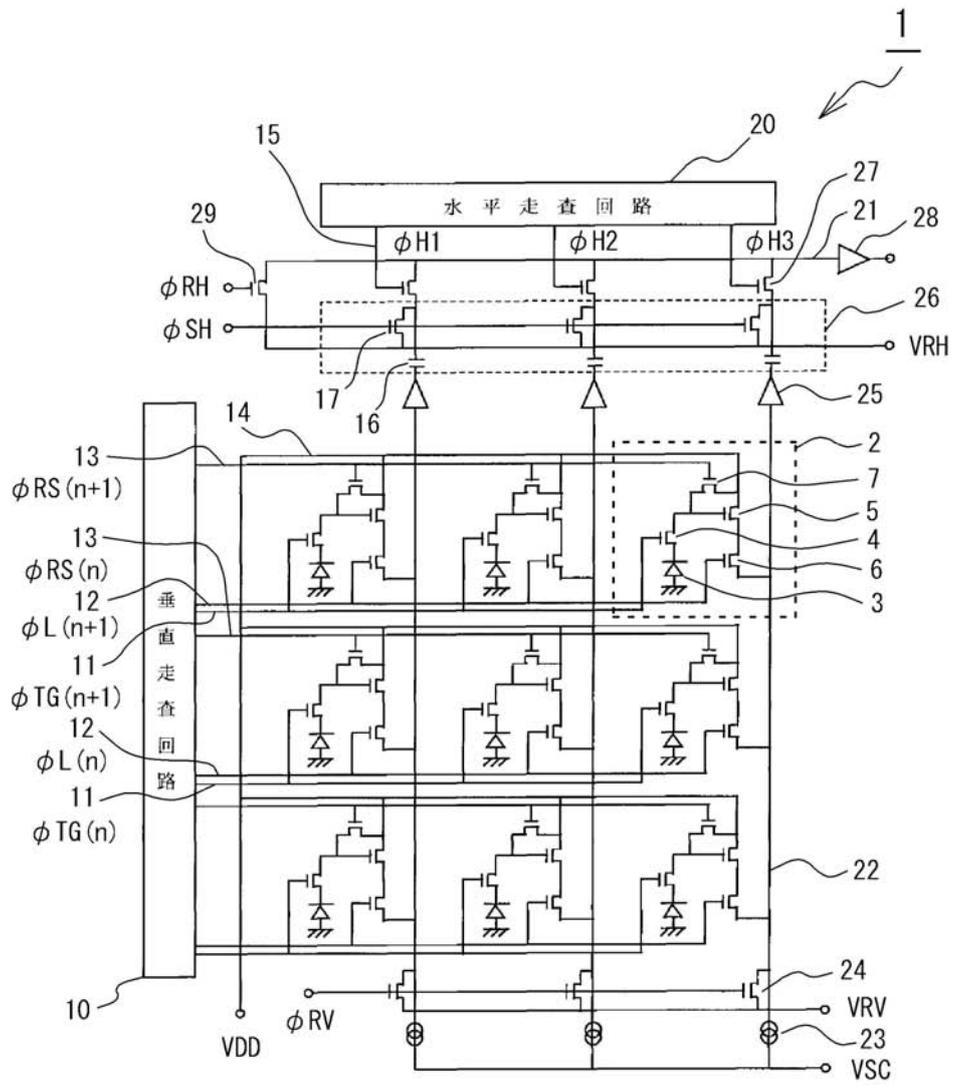


(b)

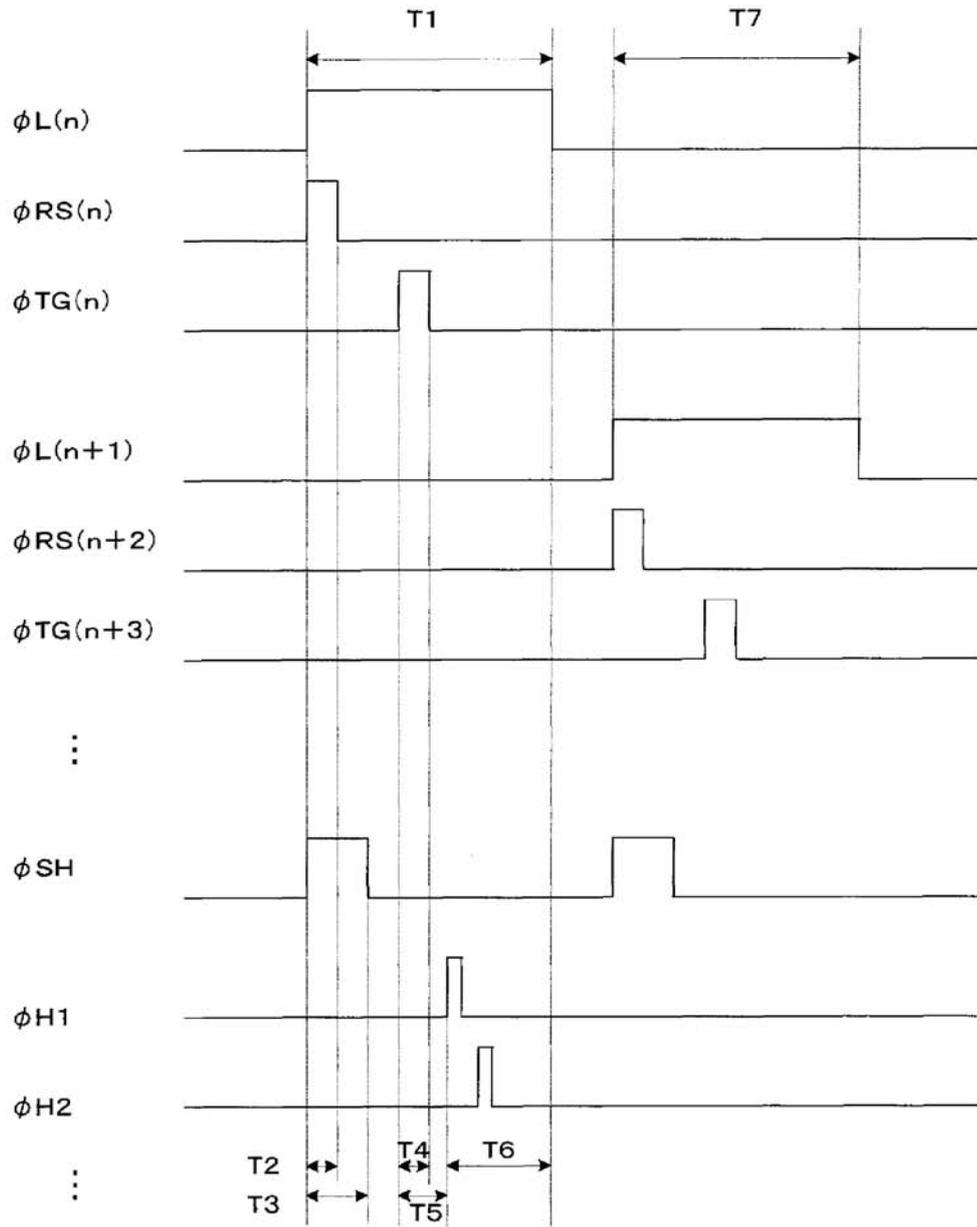


(c)

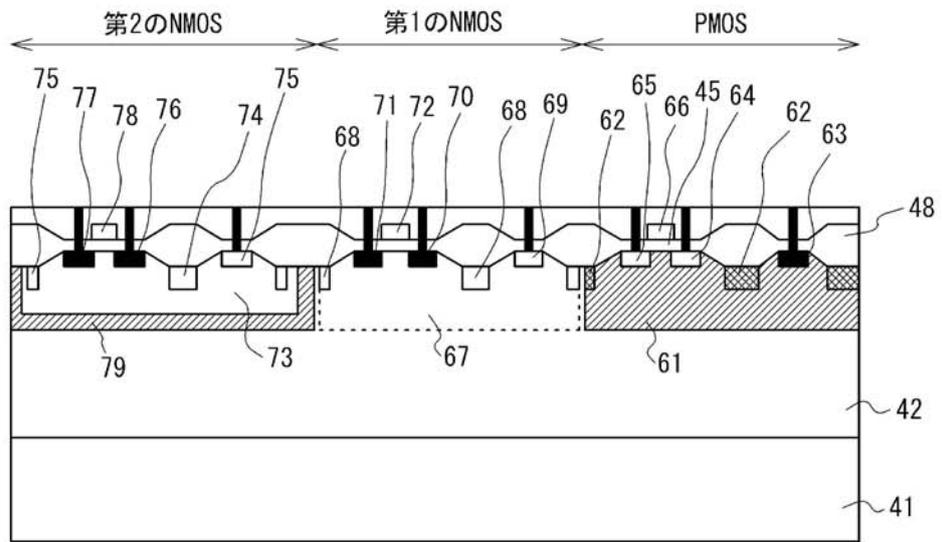
【 图 8 】



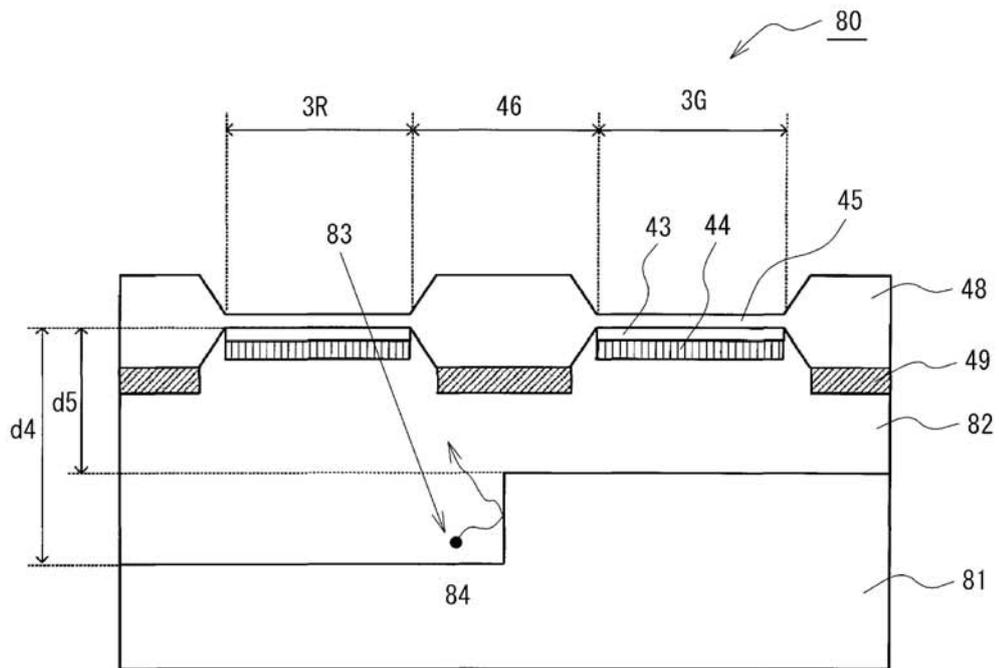
【 図 9 】



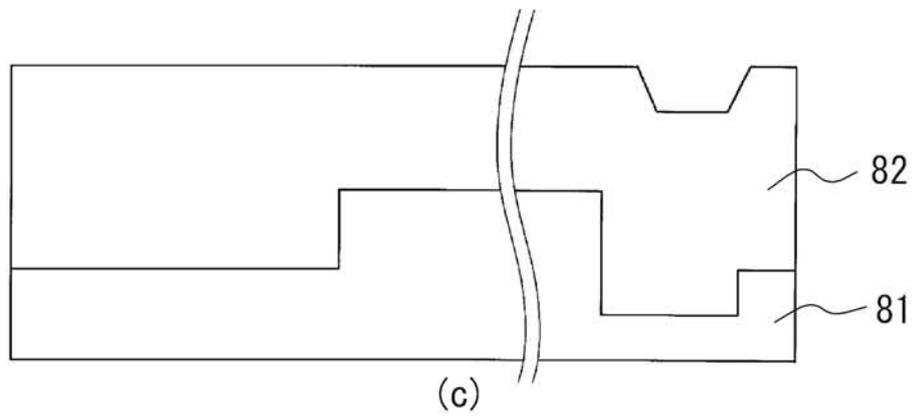
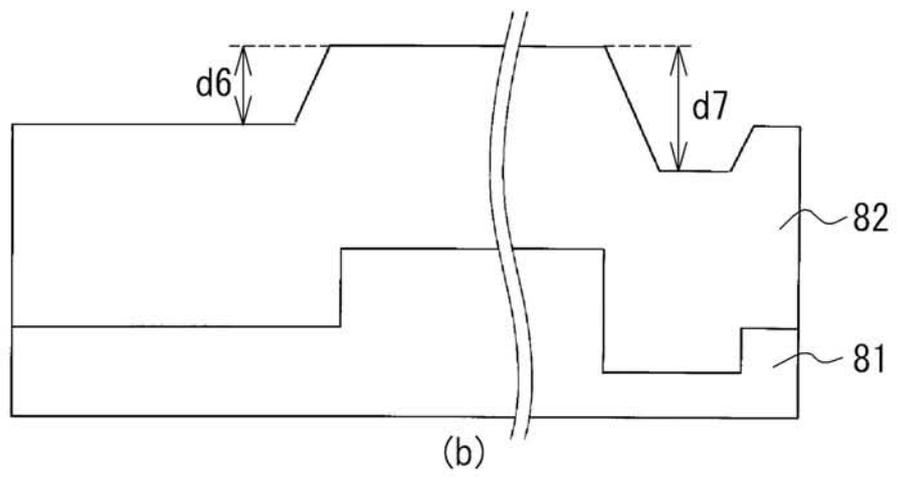
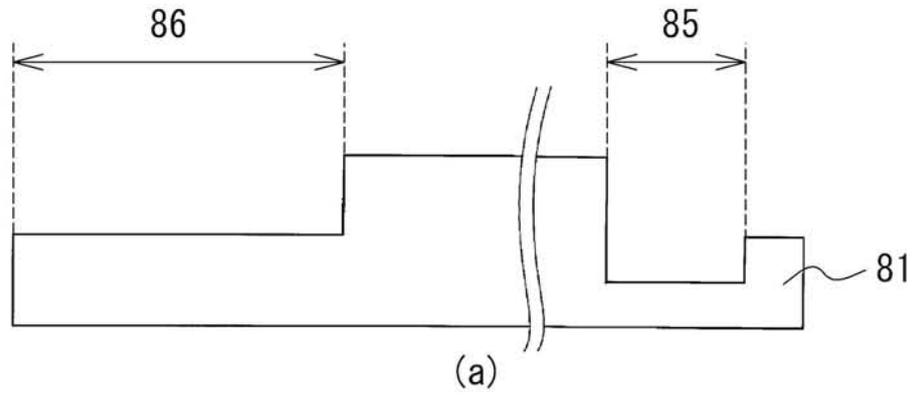
【 図 1 0 】



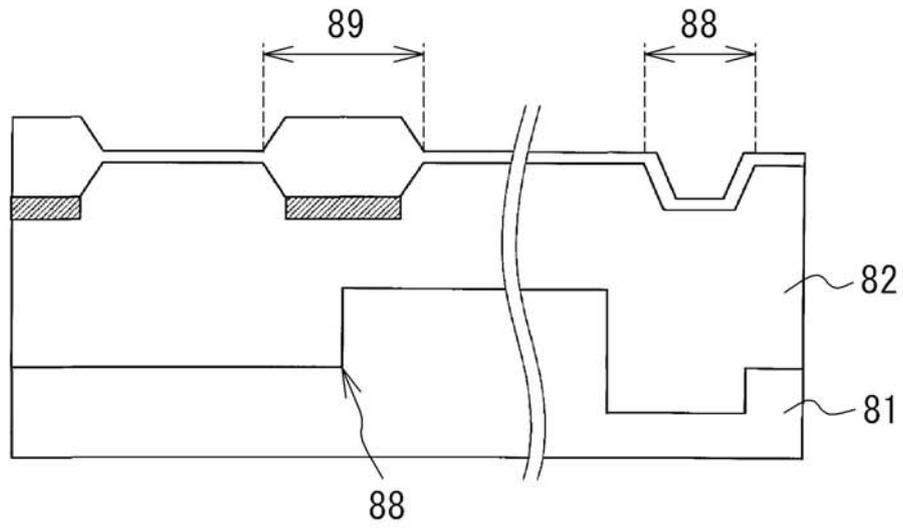
【 図 1 1 】



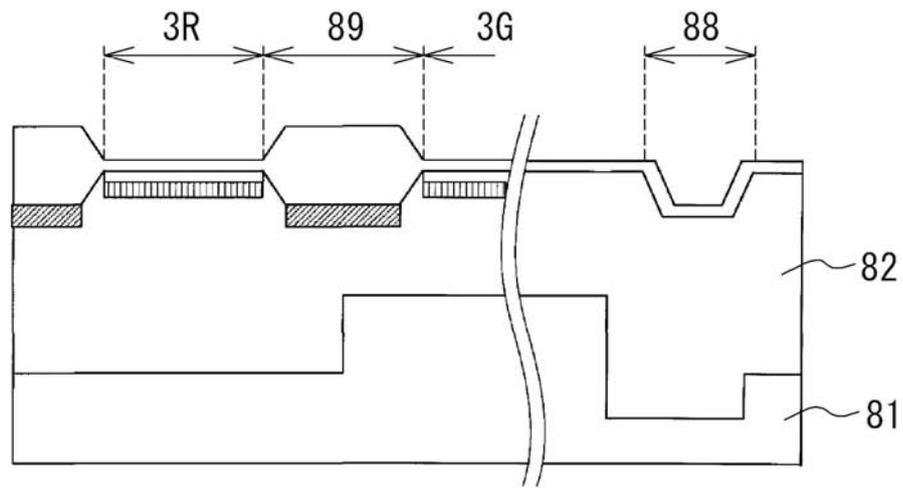
【 図 1 2 】



【 図 1 3 】

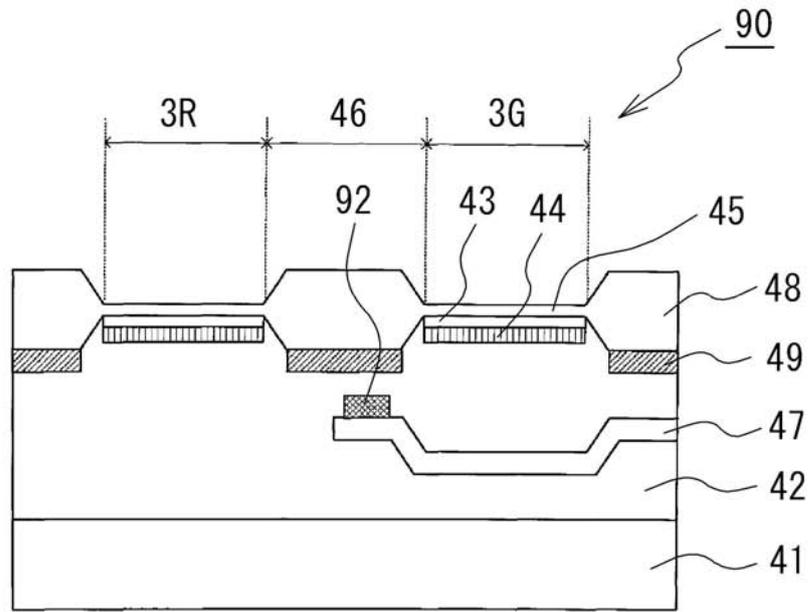


(a)

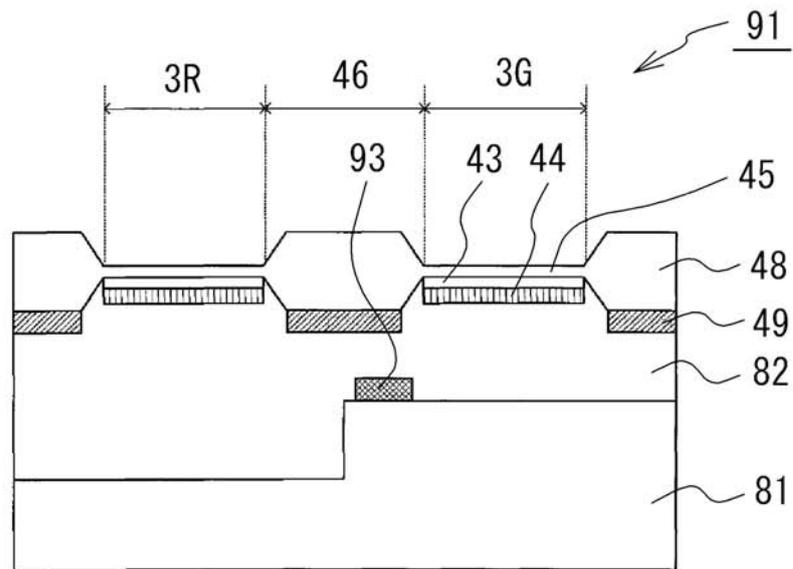


(b)

【 図 1 4 】



(a)



(b)