

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-182333

(P2014-182333A)

(43) 公開日 平成26年9月29日(2014.9.29)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 624B	2H141
H01L 29/786 (2006.01)	H01L 29/78 619B	5C080
H01L 21/336 (2006.01)	H01L 29/78 613A	5C094
G09F 9/30 (2006.01)	G09F 9/30 338	5F110
G09F 9/00 (2006.01)	G09F 9/00 336J	5G435

審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2013-58022 (P2013-58022)
 (22) 出願日 平成25年3月21日 (2013.3.21)

(71) 出願人 507276092
 ピクストロニクス、インコーポレイテッド
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サンディエゴ、モアハ
 ウスドライブ 5775
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

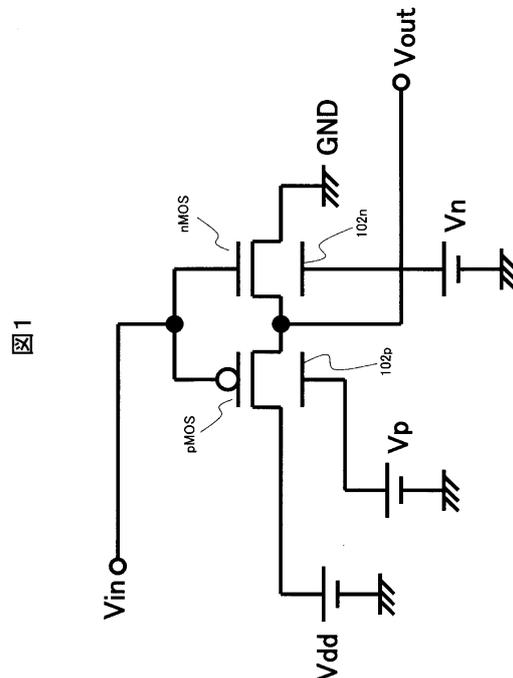
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 遮光層あるいは反射層として機能する金属膜を使用して、p型MOSトランジスタとn型MOSトランジスタを長時間通電したときのVgs - Id特性の変化を補正する。

【解決手段】 複数の画素と、CMOS回路を有する表示装置であって、前記CMOS回路のp型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第1遮光層を有し、前記CMOS回路のn型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第2遮光層を有し、前記第1遮光層および前記第2遮光層は、所定の電圧が入力される導電層で構成され、Idをドレイン電流、Vgsをゲート・ソース間電圧とするととき、前記第1遮光層に入力する電圧値を制御し、前記p型MOSトランジスタのVgs - Id特性を調整する手段1と、前記第2遮光層に入力する電圧値を制御し、前記n型MOSトランジスタのVgs - Id特性を調整する手段2とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の画素と、

CMOS回路を有する表示装置であって、

前記CMOS回路のp型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第1遮光層を有し、

前記CMOS回路のn型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第2遮光層を有し、

前記第1遮光層および前記第2遮光層は、所定の電圧が入力される導電層で構成され、

I_d をドレイン電流、 V_{gs} をゲート・ソース間電圧とするとき、前記第1遮光層に入力する電圧値を制御し、前記p型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する手段1と、

前記第2遮光層に入力する電圧値を制御し、前記n型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する手段2とを有することを特徴とする表示装置。

【請求項 2】

前記手段1は、前記CMOS回路の全てのp型MOSトランジスタの $V_{gs} - I_d$ 特性を調整し、

前記手段2は、前記CMOS回路の全てのn型MOSトランジスタの $V_{gs} - I_d$ 特性を調整することを特徴とする請求項1に記載の表示装置。

【請求項 3】

機械的シャッタをそれぞれ有する複数の画素と、

前記各画素に画像信号を入力する信号線と、

前記各画素に走査電圧を入力する走査線とを備え、

前記機械的シャッタの位置を電気的に制御して画像表示を行う表示装置であって、

前記各画素は、前記機械的シャッタの位置を電気的に制御する画素回路を有し、

前記画素回路は、CMOS回路を有し、

前記CMOS回路の前記p型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第1遮光層を有し、

前記CMOS回路の前記n型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第2遮光層を有し、

前記第1遮光層および前記第2遮光層は、所定の電圧が入力される導電層で構成され、

I_d をドレイン電流、 V_{gs} をゲート・ソース間電圧とするとき前記各画素の前記第1遮光層に入力する電圧値を制御し、前記p型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する手段1と、

前記各画素の前記第2遮光層に入力する電圧値を制御し、前記n型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する手段2とを有することを特徴とする表示装置。

【請求項 4】

前記手段1は、前記全ての画素回路の前記p型MOSトランジスタの $V_{gs} - I_d$ 特性を調整し、

前記手段2は、前記全ての画素回路の前記n型MOSトランジスタの $V_{gs} - I_d$ 特性を調整することを特徴とする請求項3に記載の表示装置。

【請求項 5】

面状の光源と、

前記面状の光源上に設けられる透明基板と、

前記面状の光源の前記透明基板側に設けられる遮光膜とを有し、

前記遮光膜は、各画素に対応する光学的開口領域を有し、前記面状の光源から射出された光に対して、前記光学的開口領域以外の領域を遮光し、

前記機械的シャッタは、前記透明基板上で、光学的開口領域に対応して設けられていることを特徴とする請求項3または請求項4に記載の表示装置。

【請求項 6】

10

20

30

40

50

前記 p 型 MOS トランジスタ、および、前記 n 型 MOS トランジスタは、半導体層が多結晶シリコン薄膜で構成されるトランジスタであることを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に係わり、特に、CMOS回路を有する表示装置に適用して有効な技術に関する。

【背景技術】

【0002】

液晶表示装置、有機EL表示装置、又は、可動シャッタの位置を電氣的に制御して画像表示を行う画像表示装置等の表示装置ではCMOS回路を有するものが知られている。

図9は、従来の表示装置に使用されるCMOS回路における、p型MOSトランジスタとn型MOSトランジスタの構成を示す断面図である。

図9において、101は基板（ガラス基板など）、102p, 102nは金属膜、103, 104は絶縁膜、105は配線、106は電極、107は開口部、108p, 108nは半導体層、109はゲート電極、pMOSはp型MOSトランジスタ、nMOSはn型MOSトランジスタである。

図9に示すように、従来の表示装置に使用されるp型MOSトランジスタ（pMOS）とn型MOSトランジスタ（nMOS）では、半導体層（108p, 108n）へ光が照射されると、リーク電流が増大するのを防止するために、遮光層または反射層として機能する金属膜（102p, 102n）を配置する場合がある。

図10、図11は、従来の表示装置に使用されるCMOSインバータ回路の回路構成を示す回路図である。

図10に示すCMOSインバータ回路は、p型MOSトランジスタ（pMOS）の金属膜（102p）の電位と、n型MOSトランジスタ（nMOS）の金属膜（102n）の電位を同時に制御するものであり、図11示すCMOSインバータ回路は、p型MOSトランジスタ（pMOS）の金属膜（102p）の電位と、n型MOSトランジスタ（nMOS）の金属膜（102n）の電位を、フローティング状態とするものである。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】US 2008/0174532号

【発明の概要】

【発明が解決しようとする課題】

【0004】

図12は、p型MOSトランジスタとn型MOSトランジスタの劣化による $V_{gs} - I_d$ 特性の変化を示すグラフである。

図12(a)がp型MOSトランジスタの劣化による $V_{gs} - I_d$ 特性の変化を示すグラフであり、図12(b)がn型MOSトランジスタの劣化による $V_{gs} - I_d$ 特性の変化を示すグラフである。なお、 V_{gs} は、ゲート・ソース間電圧、 I_d はドレイン電流である。

図12に示すように、p型MOSトランジスタ（pMOS）と、n型MOSトランジスタ（nMOS）は、長時間の通電による劣化により、 $V_{gs} - I_d$ 特性がシフトする。

ここで、図12(a)に示すように、p型MOSトランジスタ（pMOS）の $V_{gs} - I_d$ 特性は、 V_{gs} のマイナス側にシフトし、図12(b)に示すように、n型MOSトランジスタ（nMOS）の $V_{gs} - I_d$ 特性は、 V_{gs} のプラス側にシフトする。

このように、p型MOSトランジスタ（pMOS）と、n型MOSトランジスタ（nMOS）は、長時間の通電による劣化により、 $V_{gs} - I_d$ 特性が逆方向にシフトする。

【0005】

10

20

30

40

50

例えば、p型MOSトランジスタ(pMOS)と、n型MOSトランジスタ(nMOS)を画素回路に使用する表示装置では、p型MOSトランジスタ(pMOS)と、n型MOSトランジスタ(nMOS)の長時間の通電による劣化は、表示パネルに表示される表示画像の表示品質を劣化させることになる。

そのため、p型MOSトランジスタ(pMOS)と、n型MOSトランジスタ(nMOS)を長時間通電したときの $V_{gs} - I_d$ 特性の変化を、劣化前の $V_{gs} - I_d$ 特性に補正する必要がある。

本発明は、前述の要望に答えるためになされたものであり、本発明の目的は、CMOS回路を有する表示装置において、遮光層あるいは反射層として機能する金属膜を使用して、p型MOSトランジスタとn型MOSトランジスタを長時間通電したときの $V_{gs} - I_d$ 特性の変化を補正することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0006】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 複数の画素と、CMOS回路を有する表示装置であって、前記CMOS回路のp型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第1遮光層を有し、前記CMOS回路のn型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第2遮光層を有し、前記第1遮光層および前記第2遮光層は、所定の電圧が入力される導電層で構成され、 I_d をドレイン電流、 V_{gs} をゲート・ソース間電圧とすると、前記第1遮光層に入力する電圧値を制御し、前記p型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する手段1と、前記第2遮光層に入力する電圧値を制御し、前記n型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する手段2とを有する。

(2) (1)において、前記手段1は、前記CMOS回路の全てのp型MOSトランジスタの $V_{gs} - I_d$ 特性を調整し、前記手段2は、前記CMOS回路の全てのn型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する。

【0007】

(3) 機械的シャッタをそれぞれ有する複数の画素と、前記各画素に画像信号を入力する信号線と、前記各画素に走査電圧を入力する走査線とを備え、前記機械的シャッタの位置を電気的に制御して画像表示を行う表示装置であって、前記各画素は、前記機械的シャッタの位置を電気的に制御する画素回路を有し、前記画素回路は、CMOS回路を有し、前記CMOS回路の前記p型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第1遮光層を有し、前記CMOS回路の前記n型MOSトランジスタは、半導体層を挟んでゲート電極と反対側に、第2遮光層を有し、前記第1遮光層および前記第2遮光層は、所定の電圧が入力される導電層で構成され、 I_d をドレイン電流、 V_{gs} をゲート・ソース間電圧とすると前記各画素の前記第1遮光層に入力する電圧値を制御し、前記p型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する手段1と、前記各画素の前記第2遮光層に入力する電圧値を制御し、前記n型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する手段2とを有する。

(4) (3)において、前記手段1は、前記全ての画素回路の前記p型MOSトランジスタの $V_{gs} - I_d$ 特性を調整し、前記手段2は、前記全ての画素回路の前記n型MOSトランジスタの $V_{gs} - I_d$ 特性を調整する。

(5) (3)または(4)において、面状の光源と、前記面状の光源上に設けられる透明基板と、前記面状の光源の前記透明基板側に設けられる遮光膜とを有し、前記遮光膜は、各画素に対応する光学的開口領域を有し、前記面状の光源から射出された光に対して、前記光学的開口領域以外の領域を遮光し、前記機械的シャッタは、前記透明基板上で、光学的開口領域に対応して設けられている。

(6) (1)ないし(5)の何れかにおいて、前記p型MOSトランジスタ、および、前

10

20

30

40

50

記 n 型 MOS トランジスタは、半導体層が多結晶シリコン薄膜で構成されるトランジスタである。

【発明の効果】

【0008】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、CMOS回路を有する表示装置において、遮光層あるいは反射層として機能する金属膜を使用して、p型MOSトランジスタとn型MOSトランジスタを長時間通電したときの $V_{gs} - I_d$ 特性の変化を補正することが可能となる。

【図面の簡単な説明】

【0009】

【図1】本発明の実施例の表示装置に使用されるCMOSインバータ回路の一例の回路構成を示す回路図である。

【図2】本発明の実施例の表示装置に使用されるCMOSインバータ回路の他の例の回路構成を示す回路図である。

【図3】p型MOSトランジスタにおける、金属膜の電位変化による $V_{gs} - I_d$ 特性の変化と、n型MOSトランジスタにおける、金属膜の電位変化による $V_{gs} - I_d$ 特性の変化を示すグラフである。

【図4】図1、図2に示すCMOSインバータ回路を使用する画素回路の一例として、可動シャッタ方式の画像表示装置の画素回路を示す回路図である。

【図5】可動シャッタ方式の画像表示装置の概略構成を示すブロック図である。

【図6】可動シャッタ方式の画像表示装置の画素部の断面構造を示す断面図である。

【図7】可動シャッタ方式の画像表示装置の動作タイミングチャート（ポラリティ反転：シャッタ＝低電圧）である。

【図8】可動シャッタ方式の画像表示装置の動作タイミングチャート（ポラリティ：シャッタ＝高電圧）である。

【図9】従来の表示装置に使用されるCMOS回路における、p型MOSトランジスタとn型MOSトランジスタの構成を示す断面図である。

【図10】従来の表示装置に使用されるCMOSインバータ回路の一例の回路構成を示す回路図である。

【図11】従来の表示装置に使用されるCMOSインバータ回路の他の例の回路構成を示す回路図である。

【図12】p型MOSトランジスタとn型MOSトランジスタの劣化による $V_{gs} - I_d$ 特性の変化を示すグラフである。

【発明を実施するための形態】

【0010】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。

図3は、p型MOSトランジスタ（pMOS）における、金属膜（102p）の電位変化による $V_{gs} - I_d$ 特性の変化と、n型MOSトランジスタ（nMOS）における、金属膜（102n）の電位変化による $V_{gs} - I_d$ 特性の変化を示すグラフである。

p型MOSトランジスタ（pMOS）は、金属膜（102p）の電位 V_p により、 $V_{gs} - I_d$ 特性が、図3（a）に示すように変化する。 V_{p1} は、金属膜（102p）の電位 V_p が0Vの場合であり、金属膜（102p）の電位 V_p が高い程、 $V_{gs} - I_d$ 特性は、 V_{gs} のマイナス側へシフトし、金属膜（102p）の電位 V_p が低い程、 $V_{gs} - I_d$ 特性は、 V_{gs} のプラス側へシフトする。

n型MOSトランジスタ（nMOS）は、金属膜（102n）の電位 V_n により、 $V_{gs} - I_d$ 特性が、図3（b）に示すように変化する。 V_{n1} は、金属膜（102n）の電

10

20

30

40

50

位 V_n が 0 V の場合であり、金属膜 (102n) の電位 V_n が高い程、 $V_{gs} - I_d$ 特性は、 V_{gs} のマイナス側へシフトし、金属膜 (102n) の電位 V_n が低い程、 $V_{gs} - I_d$ 特性は、 V_{gs} のプラス側へシフトする。

【0011】

図1は、本発明の実施例の表示装置に使用されるCMOSインバータ回路の一例の回路構成を示す回路図である。

本実施例のCMOSインバータ回路は、p型MOSトランジスタ(pMOS)の金属膜(102p)の電位と、n型MOSトランジスタ(nMOS)の金属膜(102n)の電位を、別配線により個別に制御するようにしたものである。

したがって、本実施例では、p型MOSトランジスタ(pMOS)と、n型MOSトランジスタ(nMOS)とが異なる劣化(図12に示したような、 $V_{gs} - I_d$ 特性の変化)を起こした場合においても、p型MOSトランジスタ(pMOS)の金属膜(102p)の電位と、n型MOSトランジスタ(nMOS)の金属膜(102n)の電位を、個別に制御することで、劣化前の $V_{gs} - I_d$ 特性へ戻すことが可能となる。

図2は、本発明の実施例の表示装置に使用されるCMOSインバータ回路の他の例の回路構成を示す回路図である。

図2に示す表示装置では、すべてのCMOSインバータ回路における、p型MOSトランジスタ(pMOS)の金属膜(102p)の電位を一つの制御電圧 V_p により制御し、すべてのCMOSインバータ回路における、n型MOSトランジスタ(nMOS)の金属膜(102n)の電位を、一つの制御電圧 V_n により制御するようにしたものである。

【0012】

図1、図2に示すCMOSインバータ回路は、例えば表示装置の画素回路に使用される。

図4は、図1、図2に示すCMOSインバータ回路を使用する画素回路の一例として、可動シャッタ方式の画像表示装置の画素回路を示す回路図である。

以下、図4を用いて、可動シャッタ方式の画像表示装置に関して説明する。

画素23は、CMOS回路で構成されており、VDDの電圧が供給される電源ライン7と、GNDの電圧が供給される電源ライン12との間に接続されるp型MOSトランジスタ(2, 14)と、n型MOSトランジスタ(3, 15)とを有する。

各画素23には信号線6が設けられており、信号線6と信号蓄積容量(以下、保持容量という)4とは、n型MOSトランジスタで構成される走査スイッチ5で接続されている。

保持容量4は、更にn型MOSトランジスタで構成される信号転送スイッチ13のソース(あるいはドレイン)と接続され、信号転送スイッチ13のドレイン(あるいはソース)は、p型MOSトランジスタ2とn型MOSトランジスタ3のゲートに接続されている。なお、保持容量4の他端は電源ライン12に接続されており、走査スイッチ5のゲートはアップデート線8に接続されている。

また、p型MOSトランジスタ2とn型MOSトランジスタ3のゲートは、機械的シャッタの一方の制御電極22に、p型MOSトランジスタ14とn型MOSトランジスタ15のゲートは、機械的シャッタの他方の制御電極21に接続されている。シャッタ電極20はシャッタ電圧線11に接続されている。

また、前述の機械的シャッタは、遮光面上に設けられた開口に対向して設けられている。

【0013】

図5は、可動シャッタ方式の画像表示装置の概略構成を示すブロック図である。

可動シャッタ方式の画像表示装置では、図4に示す画素23が、1画素として2次元状に配置されている。ここで、走査線10は各行単位に設けられ、走査回路25に接続される。

また、信号線6は各列単位に設けられ、画像信号電圧書込み回路24に入力される。

電源ライン(7, 12)、アップデート線8、およびシャッタ電圧線11は、各画素共

10

20

30

40

50

通に設けられ、制御電極駆動回路 26 に接続される。

なお、図 5 は簡単のために表示領域を画素数が 4×3 画素のマトリクスで記載しているが、本発明の開示する技術思想が特に画素数を制限するものではないことは明らかである。

また、本発明を適用した CMOS 回路は、前述した画素 23、あるいは、図 5 に示す回路（画像信号電圧書込み回路 24、走査回路 25、あるいは、制御電極駆動回路 26）に使用することができる。

【0014】

次に、可動シャッタ方式の画像表示装置の画素部断面構造について説明する。

図 6 は、可動シャッタ方式の画像表示装置の画素部の断面構造を示す断面図である。

図 6 に示すように、ガラス基板 39 上には、金属膜 102 が形成され、金属膜 102 は絶縁膜 40 で覆われ、絶縁膜 40 上には、多結晶シリコン薄膜 31、高濃度 n 型不純物をドーピングした多結晶シリコン薄膜（30, 32）、ゲート絶縁膜 33、高融点金属からなるゲート電極 35、ソース電極 37、ドレイン電極 36 とから構成される多結晶シリコン薄膜トランジスタが設けられる。

更にガラス基板 39 上には、絶縁保護膜 34 を挟んでソース電極 37、ドレイン電極 36 と同じ Al 配線層でシャッタ電圧線 11、ドレイン電極 43（例えば、n 型 MOS トランジスタ 15 のドレイン）が形成されており、これらはシリコンナイトライドと有機材料の多層膜からなる保護膜 38 によって覆われている。

保護膜 38 上には、シャッタ電極 20 と、制御電極（21, 22）の 2 つの制御電極を有する機械的シャッタが設けられており、シャッタ電極 20 はシャッタ電圧線 11 に、ドレイン電極 36 は制御電極 22 に、ドレイン電極 43 は制御電極 21 に、それぞれコンタクトホールを介して接続されている。またこれらシャッタ電極 20 と、2 つの制御電極（21, 22）は、互いに接触した際の短絡防止のために、表面には絶縁膜が形成されている。

【0015】

ここで、シャッタ電極 20 は、シャッタ電極 20 に入力される電圧と、制御電極 21 と制御電極 22 に入力される電圧との相対関係による電界でその位置が制御されるため、図 6 には破線を用いてその可動範囲も開示している。

また、画素 23 内に設けられたその他のトランジスタも、同様に多結晶シリコン薄膜トランジスタで構成されている。これらの多結晶シリコン薄膜トランジスタは、公知のエキシマレーザアニリングプロセス等を用いて形成することができる。

シャッタ電極 20 に対してガラス基板 39 と反対側には、R（赤）G（緑）B（青）の 3 色の独立 LED 光源からなる光源 42 を有する導光板 47 が設けられている。

導光板 47 の両面には反射膜（46, 48）と、更に反射膜 48 の上には黒色膜 49 が設けられている。反射膜（46, 48）は Ag や Al などの金属膜で、黒色膜 49 は金属酸化膜や、ポリイミド樹脂等にカーボンブラック、チタンブラック等の顔料粒子を適切に分散させることで形成することができる。

ここで、反射膜 48 及び黒色膜 49 には図 6 に示すように、シャッタ電極 20 に対応する位置に開口が設けられており、光源 42 から射出されて導光板 47 を伝播した光 41 の一部が、この開口から射出されるように構成されている。また黒色膜 49 は、外光の反射を防ぐために設けられたものである。

【0016】

次に、可動シャッタ方式の画像表示装置の動作について説明する。

図 7 は、可動シャッタ方式の画像表示装置の動作タイミングチャート（ポラリティ反転：シャッタ = 低電圧）である。

図 8 は、可動シャッタ方式の画像表示装置の動作タイミングチャート（ポラリティ：シャッタ = 高電圧）である。

最初に、図 7 を用いて、ポラリティ反転（シャッタ = 低電圧）時の画素回路の動作について説明する。

10

20

30

40

50

時刻 (t 1) までは、走査線 1 0 に順次走査線が供給され、信号蓄積容量 4 への画像信号の書込みが行われる。

次に、時刻 (t 1) において、電源ライン 7 の電源電圧が V d r i v e の電圧 (例えば、2 5 V) から 0 V の電圧になり、シャッタ電圧線 1 1 上のシャッタ制御電圧が V r e l e a s e 1 の電圧 (例えば、1 0 V) から 0 V の電圧となる。

次に、時刻 (t 2) において、アップデート線 8 上の転送制御信号が H i g h (以下、H レベル) となることにより、信号転送スイッチ 1 3 がオンとなり、p 型 M O S トランジスタ (2 , 1 4) と n 型 M O S トランジスタ (3 , 1 5) で構成される S R A M 回路への信号入力が行われる。

時刻 (t 3) において、電源ライン 7 の電源電圧が、V l a t c h の電圧に上昇することで、画像信号が S R A M 回路にラッチされる。 10

その後、時刻 (t 4) において、アップデート線 8 上の転送制御信号が L o w (以下、L レベル) となることにより、信号転送スイッチ 1 3 がオフとなる。

【 0 0 1 7 】

時刻 (t 5) において、電源ライン 7 の電源電圧が、V d r i v e の電圧 (例えば、2 5 V) に上昇することで、シャッタ電極 2 0 の駆動が行われる。

当初は制御電極 (2 1 , 2 2) のいずれかに接触していたシャッタ電極 2 0 は、時刻 (t 1) 以降に、電源ライン 7 の電源電圧が 0 V になることで中間地点に移動し、その後時刻 (t 5) で、いずれかの制御電極 (2 1 , 2 2) に向かって移動する。このとき、シャッタ電極 2 0 には 0 V の電圧が印加され、高電圧側の制御電極には V d r i v e (例えば、2 5 V) の電圧が、低電圧側の制御電極には 0 V の電圧が印加される。 20

この後、時刻 (t 6) において、シャッタ電極 2 0 が停止したタイミングで、シャッタ電圧線 1 1 上のシャッタ制御電圧が V r e l e a s e 1 の電圧 (例えば、1 0 V) となり、シャッタ電極 2 0 と高電圧側の制御電極との間の電位差を、2 5 V の電位差から 1 5 V の電位差に低減させる。このときシャッタ電極 2 0 は既に停止しているため、印加電圧を軽減してもシャッタ特性には影響は生じない。

【 0 0 1 8 】

次に、図 8 を用いて、ポラリティ (シャッタ = 高電圧) 時の画素回路の動作について説明する。

時刻 (t 1) までは、走査線 1 0 に順次走査線が供給され、保持容量 4 への画像信号の書込みが行われる。 30

次に、時刻 (t 1) において、電源ライン 7 の電源電圧が V d r i v e の電圧 (例えば、2 5 V) から 0 V の電圧になり、シャッタ電圧線 1 1 上のシャッタ制御電圧が V r e l e a s e 2 の電圧 (例えば、1 5 V) から V d r i v e の電圧 (例えば、2 5 V) となる。

次に、時刻 (t 2) において、アップデート線 8 上の転送制御信号が H レベルとなることにより、信号転送スイッチ 1 3 がオンとなり、p 型 M O S トランジスタ (2 , 1 4) と n 型 M O S トランジスタ (3 , 1 5) で構成される S R A M 回路への信号入力が行われる。

時刻 (t 3) において、電源ライン 7 の電源電圧が、V l a t c h の電圧に上昇することで、画像信号が S R A M 回路にラッチされる。 40

その後、時刻 (t 4) において、アップデート線 8 上の転送制御信号が L レベルとなることにより、信号転送スイッチ 1 3 がオフとなる。

【 0 0 1 9 】

時刻 (t 5) において、電源ライン 7 の電源電圧が、V d r i v e の電圧 (例えば、2 5 V) に上昇することで、シャッタ電極 2 0 の駆動が行われる。

当初は制御電極 (2 1 , 2 2) のいずれかに接触していたシャッタ電極 2 0 は、時刻 (t 5) でいずれかの制御電極 (2 1 , 2 2) に向かって移動する。このとき、シャッタ電極 2 0 には V d r i v e の電圧 (例えば、2 5 V) が印加され、高電圧側の制御電極には V d r i v e (例えば、2 5 V) の電圧が、低電圧側の制御電極には 0 V の電圧が印加さ 50

れる。

この後、時刻 (t 6) において、シャッタ電極 2 0 が停止したタイミングで、シャッタ電圧線 1 1 上のシャッタ制御電圧が V r e l e a s e 2 の電圧 (例えば、1 5 V) となり、シャッタ電極 2 0 と低電圧側の制御電極との間の電位差を、2 5 V の電位差から 1 5 V の電位差に低減させる。このときシャッタ電極 2 0 は既に停止しているため、印加電圧を軽減してもシャッタ特性には影響は生じない。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【符号の説明】

10

【 0 0 2 0 】

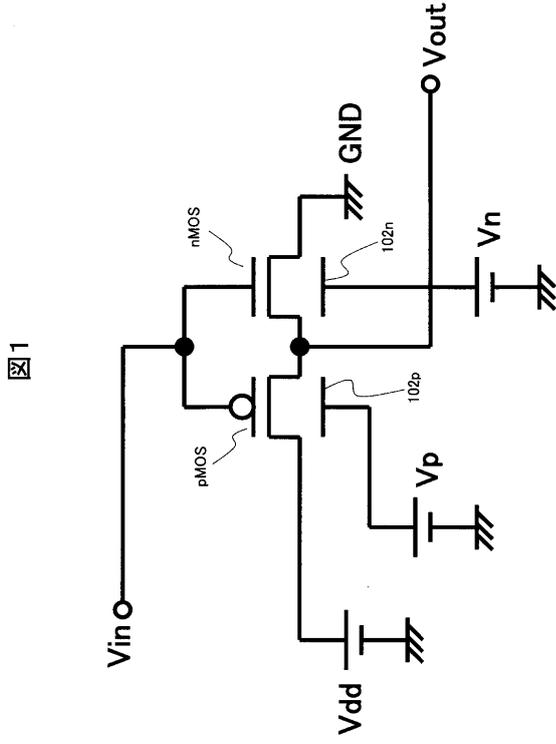
- 2 , 1 4 , p M O S , P M T * p 型 M O S トランジスタ
- 3 , 1 5 , n M O S , N M T * n 型 M O S トランジスタ
- 4 信号蓄積容量
- 5 走査スイッチ
- 6 信号線
- 7 , 1 2 電源ライン
- 8 アップデート線
- 1 0 走査線
- 1 1 シャッタ電圧線
- 1 3 信号転送スイッチ
- 2 0 シャッタ電極
- 2 1 , 2 2 制御電極
- 2 3 画素
- 2 4 画像信号電圧書込み回路
- 2 5 走査回路
- 2 6 制御電極駆動回路
- 3 0 , 3 2 高濃度 n 型不純物をドーピングした多結晶シリコン薄膜
- 3 1 多結晶シリコン薄膜
- 3 3 ゲート絶縁膜
- 3 4 絶縁保護膜
- 3 5 , 1 0 9 ゲート電極
- 3 7 ソース電極
- 3 6 , 4 3 ドレイン電極
- 3 8 保護膜
- 3 9 ガラス基板
- 4 0 , 1 0 3 , 1 0 4 絶縁膜
- 4 1 光
- 4 2 光源
- 4 6 , 4 8 反射膜
- 4 7 導光板
- 4 9 黒色膜
- 1 0 1 基板
- 1 0 2 , 1 0 2 p , 1 0 2 n 金属膜
- 1 0 5 配線
- 1 0 6 電極
- 1 0 7 開口部
- 1 0 8 p , 1 0 8 n 半導体層

20

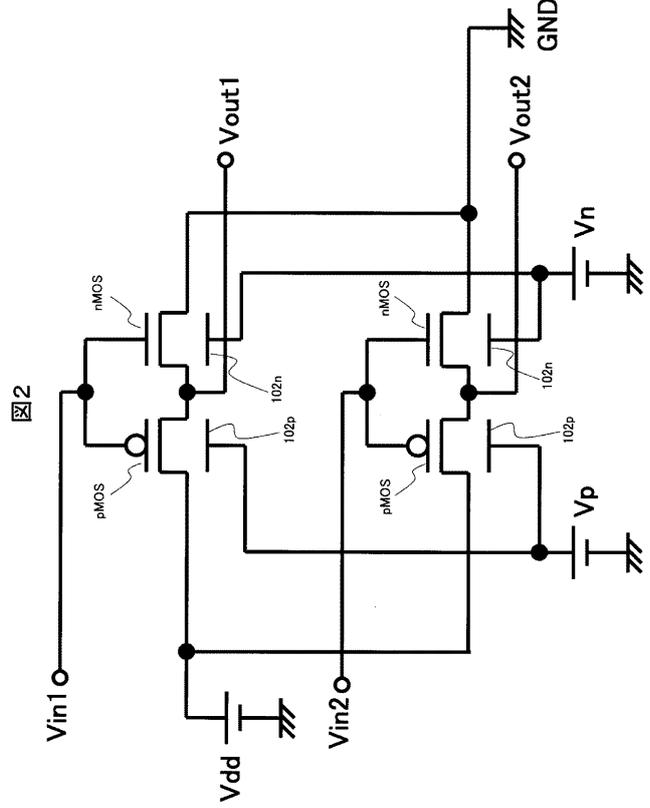
30

40

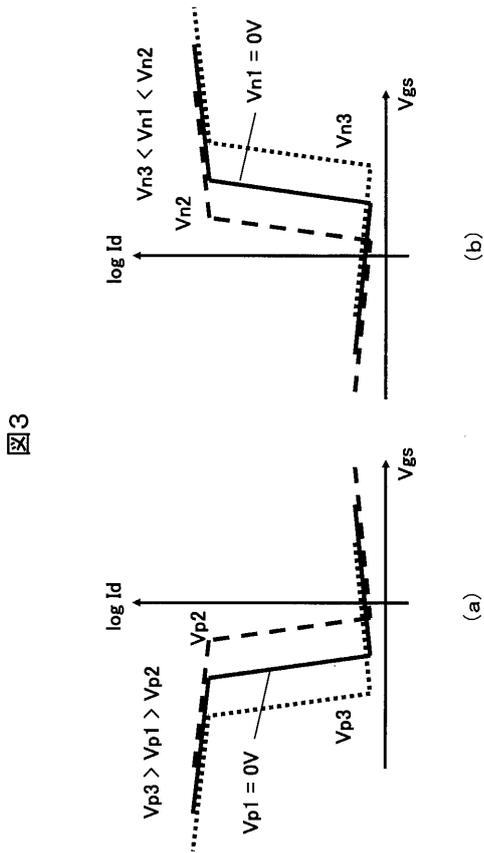
【 図 1 】



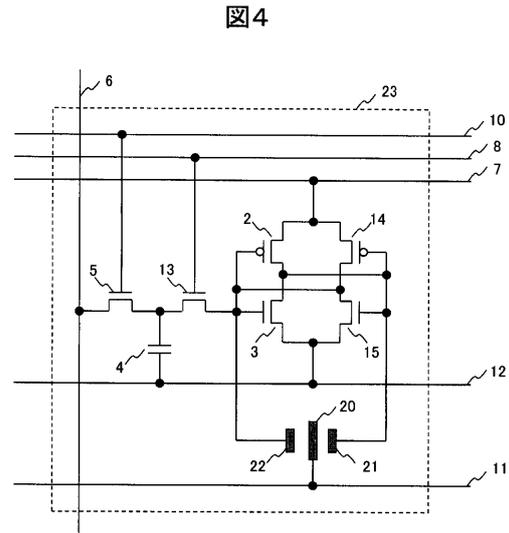
【 図 2 】



【 図 3 】

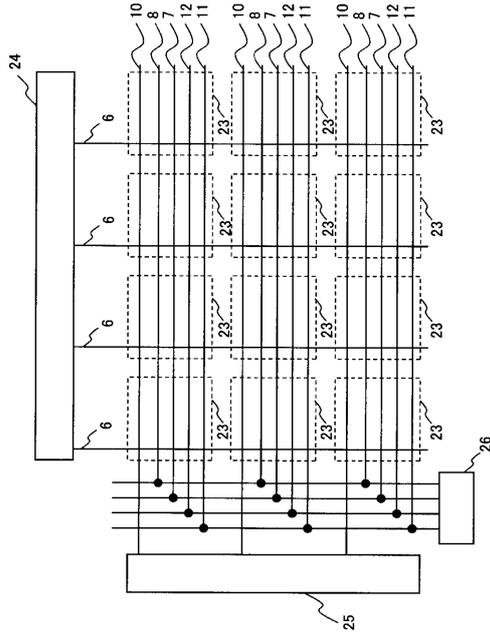


【 図 4 】



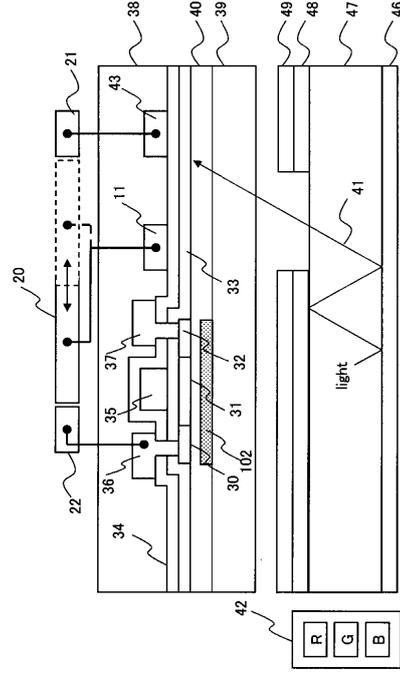
【 図 5 】

図 5



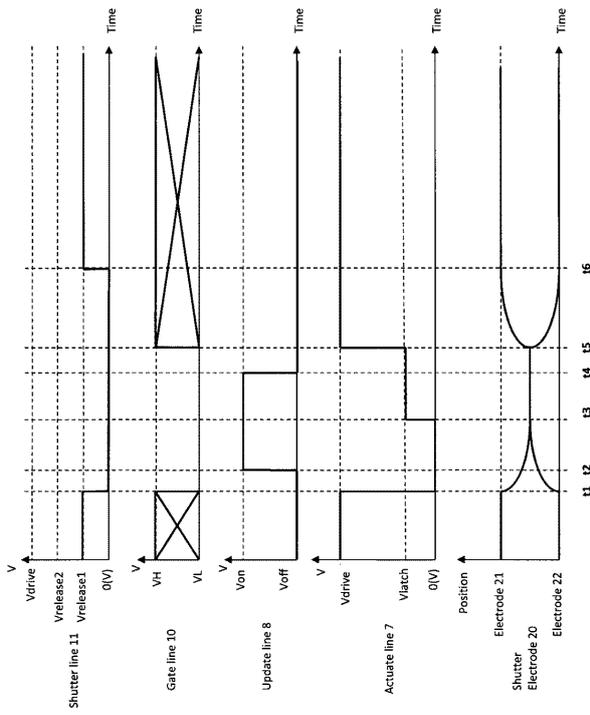
【 図 6 】

図 6



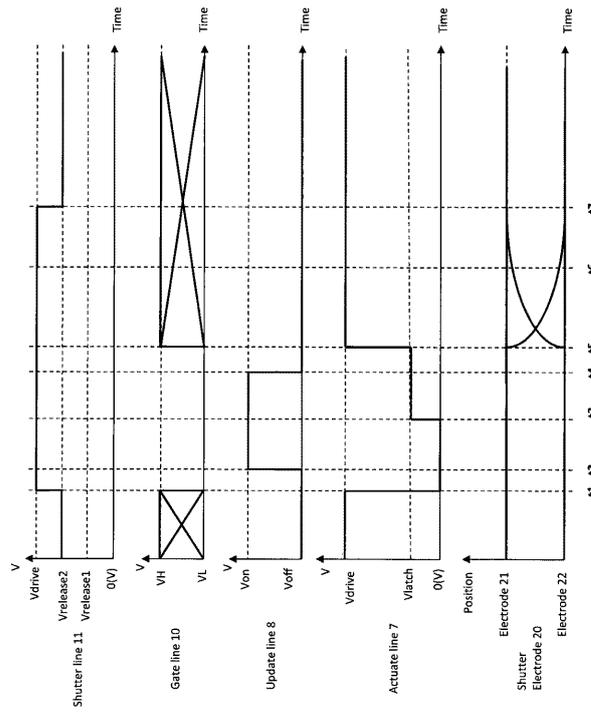
【 図 7 】

図 7

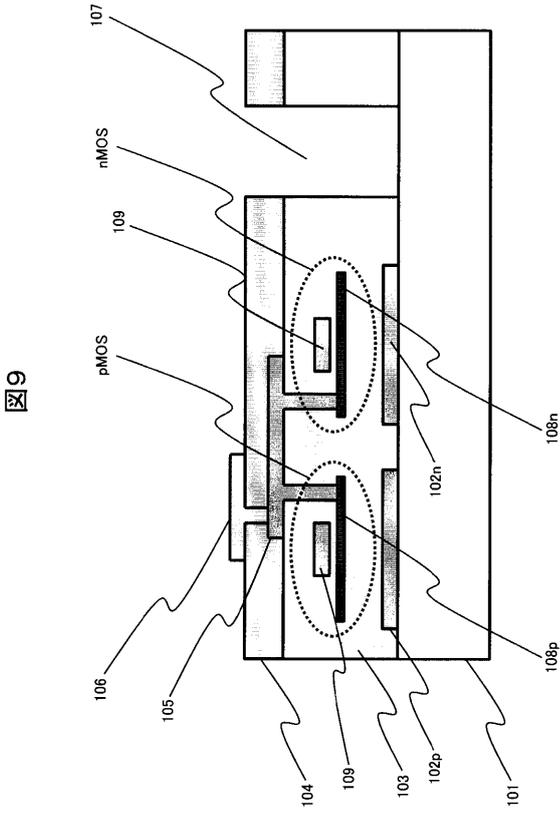


【 図 8 】

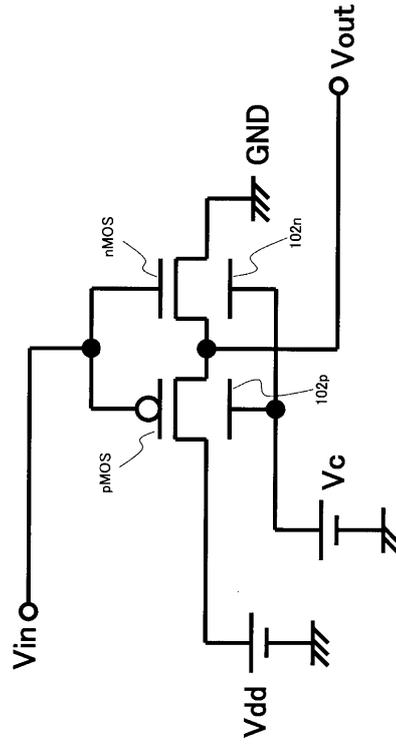
図 8



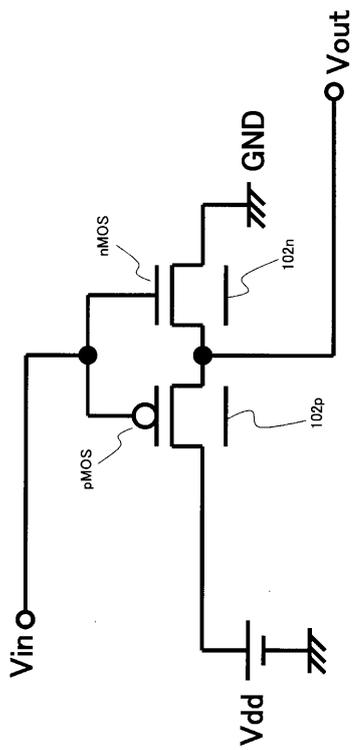
【 図 9 】



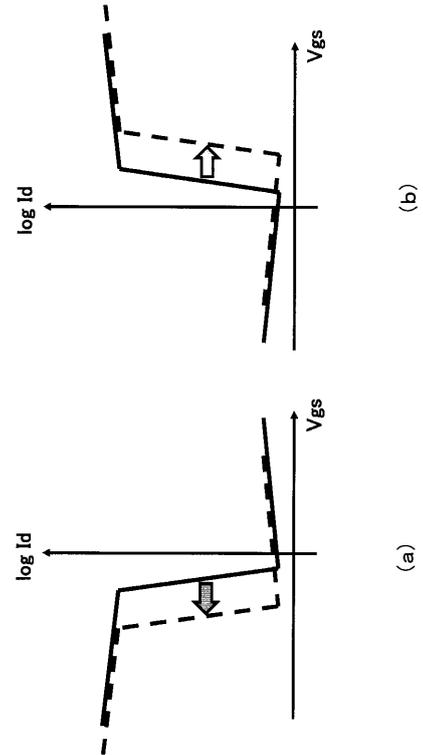
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
G 0 9 G 3/34 (2006.01)	G 0 9 G 3/34	Z
G 0 2 B 26/02 (2006.01)	G 0 9 G 3/20	6 7 0 K
	G 0 2 B 26/02	B

(72)発明者 倉永 卓英

千葉県茂原市早野 3 3 0 0 番地 株式会社ジャパンディスプレイイースト内

(72)発明者 糸賀 敏彦

千葉県茂原市早野 3 3 0 0 番地 株式会社ジャパンディスプレイイースト内

(72)発明者 藤吉 純

千葉県茂原市早野 3 3 0 0 番地 株式会社ジャパンディスプレイイースト内

Fターム(参考) 2H141 MA01 MB02 MB63 MC06 MD03 MD05 MD38
 5C080 AA17 AA18 BB05 CC03 DD29 EE17 EE25 FF03 FF11 GG13
 GG15 GG17
 5C094 AA21 BA03 BA27 BA43 BA65 EA10 EB02 ED15 FB12 FB14
 FB20
 5F110 AA14 BB01 BB04 CC02 DD02 EE04 EE30 GG02 GG13 NN02
 NN24 NN27 NN44 NN46 NN72 NN73 PP03
 5G435 AA16 BB05 BB12 EE27 FF13 GG25 HH13