

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 1/10 (2006.01)

H03K 5/135 (2006.01)

H03L 7/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200310118306.9

[45] 授权公告日 2007 年 8 月 1 日

[11] 授权公告号 CN 1329788C

[22] 申请日 2003.11.18

[21] 申请号 200310118306.9

[30] 优先权

[32] 2002.11.18 [33] JP [31] 333161/2002

[73] 专利权人 尔必达存储器株式会社

地址 日本东京

[72] 发明人 石川透

[56] 参考文献

JP - 2001056723A 2001.2.27

EP - 0606979A2 1994.7.20

US - 4852035A 1989.7.25

JP - 2001111394A 2001.4.20

审查员 贾勇

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 陆弋 钟强

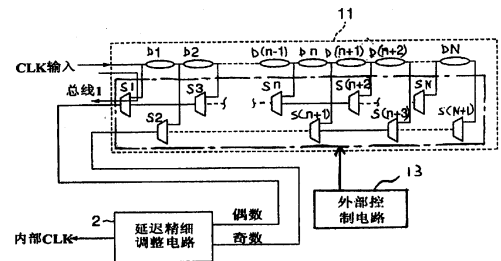
权利要求书 2 页 说明书 10 页 附图 5 页

[54] 发明名称

延迟产生方法以及应用该方法的延迟产生电路

[57] 摘要

一个能够即使当延迟级的数目和选择器级的数目增加时也能够最小化在选择器处的延迟，以允许稳定和迅速的操作的延迟调整电路。作为在延迟产生电路(11)中的选择器 S，可以使用每一种都有选择地从两个输入中输出一个的 2:1 选择器，其连接到 N 级延迟单元 D1 到 DN 的输入/输出部分，用于允许偶数级延迟时钟信号(Even)和奇数级延迟时钟信号(Odd)的延迟输出。在这种情况下，2:1 选择器以包含用于偶数级的选择器(S1、S3、...、Sn、S(n+2))和用于奇数级的选择器(S2、...、S(n+1)、S(n+3))的两级配置的形式进行布置。通过第一级选择器 S1 获得偶数级延迟时钟信号(Even)。通过第二级选择器 S2 获得奇数级的延迟时钟信号(Odd)。



1. 一种延迟产生方法，使用相互串联连接的第一级到第 N 级延迟单元，当时钟信号输入到所述第一级延迟单元的输入端时，从偶数级延迟单元中获得的时钟信号中产生偶数级延迟信号，以及从奇数级延迟单元中获得的时钟信号中产生奇数级延迟信号，所述延迟产生方法包含：

使用第一级和第二级到第(N+1)级选择器，而且每个第一到第(N-1)级选择器输出从两个输入端选择的一个，第 N 级选择器和第(N+1)级选择器分别仅仅具有一个输入；

使用到第 n 级延迟单元的输入，作为到第 n 级选择器的一个输入，其中， $n \leq N-1$ ；

使用来自第(n+2)级选择器的输出，作为到第 n 级选择器的另一个输入，其中， $n \leq N-1$ ；

使用到第 N 级延迟单元的输入，作为第 N 级选择器的输入；

使用来自第 N 级延迟单元的输出，作为第(N+1)级选择器的输入；

输出来自所述第一级选择器的所述偶数级延迟信号；以及
输出来自所述第二级选择器的所述奇数级延迟信号。

2. 如权利要求 1 所述的延迟产生方法，其中，所述第一级到第 N 级延迟单元的延迟量相互相等。

3. 如权利要求 1 所述的延迟产生方法，其中，所述第一级到第 N 级延迟单元具有不同的延迟量。

4. 一种基于如权利要求 1 所述的延迟产生方法的延迟调整方法，包含步骤：把所述偶数级延迟时钟信号和所述奇数级延迟时钟信号互相合成在一起，并且向该处应用精细调整以由此产生和输出内部时钟信号。

5. 一种延迟产生电路, 包括相互串联连接的第一级到第 N 级延迟单元, 当时钟信号输入到所述第一级延迟单元的输入端时, 从偶数级延迟单元获得的时钟信号中产生偶数级延迟信号, 以及从奇数级延迟单元中获得的时钟信号中产生奇数级延迟信号, 所述延迟产生电路包含:

第一级和第二级到第 $(N+1)$ 级选择器, 而且每个第一到第 $(N-1)$ 级选择器输出从两个输入端选择的一个, 第 N 级选择器和第 $(N+1)$ 级选择器分别仅仅具有一个输入;

其中, 第 n 级选择器的一个输入端连接到第 n 级延迟单元的输入端, 其中, $n \leq N-1$;

第 n 级选择器的另一个输入端连接到第 $(n+2)$ 级选择器的输出端, 其中, $n \leq N-1$;

第 N 级选择器的输入端连接到第 N 级延迟单元的输入端;

第 $(N+1)$ 级选择器的输入端连接到第 N 级延迟单元的输出端;

从所述第一级选择器的输出端中输出所述偶数级延迟信号; 以及从所述第二级选择器的输出端中输出所述奇数级延迟信号。

6. 如权利要求 5 所述的延迟产生电路, 其中, 所述第一级到第 N 级延迟单元的延迟量相互相等。

7. 如权利要求 5 所述的延迟产生电路, 其中, 所述第一级到第 N 级延迟单元具有不同的延迟量。

8. 一种使用如权利要求 5 所述的延迟产生电路的延迟调整电路, 包含延迟精细调整电路, 其把所述偶数级延迟时钟信号和所述奇数级延迟时钟信号互相合成在一起, 并且向该处应用精细调整以由此产生和输出内部时钟信号。

延迟产生方法以及应用该方法的延迟产生电路

技术领域

本发明涉及一种应用于例如安装在一个半导体集成电路或者类似电路中的DLL（数字锁定环路）电路或者类似电路的延迟产生方法，和一种依据此的延迟调整方法，而且进一步涉及分别应用这些方法的延迟产生电路和延迟调整电路。

背景技术

在例如 JP - A - 2001 - 56723 或者 JP - A - 2001 - 111394 中公开了一种与相对于数字信号产生延迟有关的技术。

图 1A 和 1B 是用于说明通过使用在 JP - A - 2001 - 56723 中公开的延迟电路配置的一个传统延迟调整电路的基本功能的框图。顺便提及，这个延迟调整电路还在论文“2002 VLSI Symposium Thesis No. 9 - 1 A1 - Gb / s / pin 512 - Mb DDRII SDRAM using a digital DLL and a slew - rate - controlled output buffer; Tatsuya Matano et al.”中进行了描述。

这个延迟调整电路包含第一级到第 N 级相互串联连接并且输入一个时钟信号（CLK Input）的延迟单元。延迟单元被显示为在一个多级结构中的 D1、D2、…、Dn、D（n+1）、…DN，其中 $N > n$ ，n 是一个不小于 4 的自然数，且 N 是一个不小于 7 的自然数。

时钟信号输入（CLK Input）到第一级延迟单元 D1 的一个输入端。在这个状态下，通过选择器 S 的操作，延迟产生电路 10 输出一个偶数级延迟信号（Even）和一个奇数级延迟信号（Odd）。一个延迟精细

调整电路 2 合成偶数级延迟信号和奇数级延迟信号并且向该处给出一个精细调整以由此产生和输出一个内部时钟信号 (Internal CLK)。

例如, 图 2 显示了这样一个 DLL 电路, 其中一个初始级电路 3 串联连接到一个延迟调整电路 1 的输入端, 而且相位比较电路 4 并联连接到初始级电路 3 的一个输入端和延迟调整电路 1 的输出端。在这个 DLL 电路中, 假定 DLL 在一个周期中锁定, 则为初始电路 3 的延迟数量和延迟调整电路 1 中的延迟产生电路 10 的延迟数量总和的延迟数量总数的最小值不超过一个周期是必要的。在上述论文中, DLL 电路本身的延迟被设置为两个周期以用于应付高速操作。但是, 当延迟大时, 延迟单元的数目增加了, 而且由于电源噪声而产生的延迟偏差也变大了以增加了一个不稳定量, 因此, 用一个周期的延迟锁定 DLL 是所希望的。即使 DLL 被配置为用两个周期延迟锁定, 当操作被进一步加速时, 也必须减少 DLL 电路本身的延迟。

作为在延迟调整电路 1 中的延迟产生电路的最佳示例, 上述论文描述了一个其中一个偶数级延迟信号和一个奇数级延迟信号是从 256 级的延迟中选出来的结构。当延迟产生电路是通过使用 4:1 选择器配置时, 每个都从四个输入中选择一个来输出它, 为了从 256 级延迟中选择两个延迟, 就获得了一个在图 3 中示意显示的分级结构, 其中延迟被每四级组成一组, 而且每个 4:1 选择器从四级延迟中选择一个。

在上述延迟调整电路的情况下, 为了充分地应付近年来在 DLL 电路所需要的工作频率中的增加, 需要在延迟产生电路中增加延迟级的数目。但是, 存在这么一个问题, 当延迟级的数目增加时, 选择器的级数目 (总数) 也增加了, 这个选择器的总数结果导致用于延迟调整的基本操作的速度降低。例如, 在图 3 所示结构的情况中, 其中 256 级延迟被每四级组成一组而且使用了 4:1 的选择器, 虽然依据级的数目最后级的输出变为一个, 如在电路设计领域中的技术人员众所周知的那样, 当 256 个晶体管用于延迟输出时, 电负载在分级数大的选择

器处增加，以从而使基本操作的速度降低。

发明内容

因此，本发明的一个目的是提供一种延迟产生方法，其在即使当延迟级的数目和选择器级的数目增加了时也能够最小化在选择器处的延迟，由此允许一个稳定和迅速的操作。

本发明的另一个目的是提供一个基于上述延迟产生方法的延迟调整方法。

本发明还有一个目的是提供一个延迟产生电路，其在即使当延迟级的数目和选择器级的数目增加了时也能够最小化在选择器处的延迟，由此允许一个稳定和迅速的操作。

本发明还有另一个目的是提供一个包含上述延迟产生电路的延迟调整电路。

依据本发明的一个方面，提供了这样一种延迟产生方法，使用相互串联连接的第一级到第 N 级延迟单元，而且当一个时钟信号输入到第一级延迟单元的一个输入端时，从一个从偶数级延迟单元获得的时钟信号中产生一个偶数级延迟信号，以及从一个从奇数级延迟单元中获得的时钟信号中产生一个奇数级延迟信号。该延迟产生方法包含：使用和延迟单元一一对应布置的第一级和第二级到第 N 级选择器，而且每个选择器输出从两个输入中挑选出来的一个，使用到相应的一个延迟单元的输入作为到每一个第一级到第 N 级选择器的一个输入，使用来自隔一级选择器的输出作为到每一个第一级到第 (N - 1) 级选择器的另一个输入，从第一级选择器中输出偶数级延迟信号，以及从第二级选择器中输出奇数级延迟信号。

依据本发明的另一个方面，提供了一种基于上述依据权利要求 1

的延迟产生方法的延迟调整方法，其包含步骤：把偶数级延迟时钟信号和奇数级延迟时钟信号互相合成在一起，并且向该处应用一个精细调整以由此产生和输出一个内部时钟信号。

依据本发明的还有另一个方面，提供了这样一个延迟产生电路，包含相互串联连接的第一级到第 N 级延迟单元，当一个时钟信号输入到第一级延迟单元的一个输入端时，从一个从偶数级延迟单元获得的时钟信号中产生一个偶数级延迟信号，以及从一个从奇数级延迟单元中获得的时钟信号中产生一个奇数级延迟信号。延迟产生电路包含以和延迟单元一一对应布置的第一级和第二级到第 N 选择器，而且每个都具有两个输入端和一个输出端。在延迟产生电路中，每一个第一级到第 N 级选择器的一个输入端连接到一个相应延迟单元的一个输入端，每一个第一级到第 (N - 1) 级选择器的另一个输入端连接到隔一级选择器的输出端，从第一级选择器的输出端中输出偶数级延迟信号，以及从第二级选择器的输出端中输出奇数级延迟信号。

依据本发明还有的另一个方面，提供了一个使用上述延迟产生电路的延迟调整电路，其包含一个延迟精细调整电路，把偶数级延迟时钟信号和奇数级延迟时钟信号互相合成并且向其应用一个精细调整而且输出一个内部时钟信号。

依据本发明还有的另一个方面，提供了一个包含相互串联连接的 N 级延迟单元和选择器的延迟产生电路，该选择器在其中一个时钟信号被输入到第一级延迟单元的一个输入端的状态中，响应于来自一个外部控制电路的切换控制信号，从 N 级延迟单元的输入 / 输出部分中切换地选择给定延迟单元的延迟，由此输出一个偶数级延迟时钟信号和奇数级延迟时钟信号。在延迟产生电路中，选择器是 2:1 选择器，每一个类型有选择地从两个输入中输出一个，而且包含一个相互串联连接、用于偶数级的选择器，以便连续地接收来自第一级延迟单元的输入端的一个输出、来自第二级到第 (N - 1) 级延迟单元输出端的输

出、每个都从 N 级延迟单元所有其他输入 / 输出部分接收的输出作为一个输入序列，而且进一步接收分别来自第二级和在先前级选择器处的后续选择器的输出作为另一个输入序列，由此允许由该级选择器通过切换控制信号切换选择获得的偶数级延迟时钟信号通过第一级选择器输出，而且进一步包含一个相互串联连接、用于奇数级的选择器，以便接收来自第一级延迟单元的输出端的一个输出、来自第三级到第 N 级延迟单元输出端的输出、每个都从 N 级延迟单元所有其他输入 / 输出部分接收的输出作为一个输入序列，而且进一步接收分别来自第二级和在先前级选择器处的后续选择器的输出作为另一个输入序列，由此允许由该级选择器通过切换控制信号切换选择获得的奇数级延迟时钟信号通过第一级选择器输出。

附图说明

图 1A 是一个用于说明传统延迟调整电路的基本功能的框图；

图 1B 是一个显示了在如图 1A 所示的延迟调整电路中的相应信号的波形的时间图；

图 2 是一个包含如图 1A 所示的延迟调整电路的 DLL 电路的框图；

图 3 是在应用于如图 2 所示的 DLL 电路的延迟调整电路中的延迟产生电路的示意图；

图 4 是一个框图，显示了依据本发明的一个最佳实施例的一个包含延迟产生电路的延迟调整电路的基本结构；

图 5 是一个框图，用于说明在如图 4 所示的延迟调整电路中提供的延迟产生电路中的延迟操作；以及

图 6 是一个框图，显示了适用于如图 4 所示的延迟调整电路的另一个延迟产生电路。

具体实施方式

参见图 4，将给出一个有关依据本发明的一个最佳实施例、包含延迟产生电路的延迟调整电路的描述。

延迟产生电路 11 包含相互串联连接的第一级到第 N 级延迟单元 D_1 、 D_2 、 \dots 、 $D(n-1)$ 、 D_n 、 $D(n+1)$ 、 $D(n+2)$ 、 \dots 、 D_N ，以及和延迟单元 D_1 到 D_N 一一对应的第一级和二级到第 N 级选择器 S_1 、 S_2 、 S_3 、 S_n 、 $S(n+1)$ 、 $S(n+2)$ 、 $S(n+3)$ 、 \dots 、 S_N 。每一个选择器 S_1 到 S_N 都具有两个输入端和一个输出端。

每一个选择器 S_1 到 $S(N-1)$ 的一个输入端都和相应一个延迟单元 D_1 到 D_N 的输入端相连接。每一选择器 S_1 到 $S(N-1)$ 的另一个输入端都连接到隔一级选择器的输出端。

第 N 级选择器 S_N 的一个输入端连接到第 N 级延迟单元 D_N 的一个输入端。第 N 级选择器 S_N 的另一个输入端被略去了。在这个情况中，第 N 级选择器 S_N 将涉及一个专门的选择器。

延迟产生电路 11 进一步包含第 $(N+1)$ 级选择器 $S(N+1)$ 。第 $(N+1)$ 级选择器 $S(N+1)$ 的一个输入端连接到第 N 级延迟单元 D_N 的一个输出端。该第 $(N+1)$ 级选择器 $S(N+1)$ 的另一个输入端被略去了。在这个情况中，第 $(N+1)$ 级选择器 $S(N+1)$ 将被称作一个特定的选择器。

选择器 S_1 到 $S(N+1)$ 中的每一个依据来自一个外部控制电路 13 的切换控制信号切换选择一个相应延迟单元的延迟。在如图 4 所示的延迟产生电路 11 的多级结构中， $N > n$ ， n 是不小于四的自然数，且 N 是不小于七的自然数。

一个时钟信号输入 (CLK Input) 到第一级延迟单元 D_1 的输入端。响应于该时钟信号，延迟产生电路 11 从偶数级延迟单元中获得的一个时钟信号中产生一个偶数级延迟信号 (Even)，以及从奇数级延迟单元中获得的一个时钟信号中产生一个奇数级的延迟信号 (Odd)。

具体地说，偶数级延迟信号从第一级选择器 S1 的输出端输出，且奇数级的延迟信号从第二级选择器 S2 的输出端输出。

来自延迟产生电路 11 的偶数级延迟信号和奇数级延迟信号被送到一个延迟精细调整电路 2，在那儿它们被互相合成，进行一个精细调整，而且作为一个内部时钟信号输出。

将进一步给定有关选择器 S1 到 S (N+1) 的描述。

每一个选择器 S1 到 S (N+1) 都是有选择地从两个输入中输出一个类型的 2:1 选择器。在选择器 S1 到 S (N+1) 一侧的输入端分别连接到第一级延迟单元 D1 的输入端、第二级延迟单元 D2 的输出端、…、第 (n - 1) 个延迟单元 D (n - 1) 的输出端、第 (n+1) 个延迟单元 D (n+1) 的输出端、…、以及第 (N-1) 个延迟单元 D (N - 1) 的输出端。在选择器 S1 到 S (N+1) 另一侧的输入端每个都连接到隔一级选择器的输出端。

进一步，延迟产生电路 11 被配置为：使得第一级到第 N 级延迟单元延迟量相互相等，而且用于偶数级的选择器 S1, S3、Sn、…和用于奇数级的选择器 S2、S (n+1)、…的总数变为 N+1 或者更少。

在延迟调整电路中的延迟产生电路 11 使用一个两级选择器配置，其中 2:1 选择器被用作用于偶数级的选择器和用于奇数级的选择器，由此允许偶数级延迟信号和奇数级延迟信号的延迟输出。例如，它被配置为：第 n 级选择器 Sn 是用第 (n-1) 级延迟单元 D (n - 1) 的输出和第 (n+2) 级选择器 S (n+2) 的输出来输入的用于偶数级的选择器，而且第 (n+1) 级选择器 S (n+1) 是用第 n 级延迟单元 Dn 的输出和第 (n+3) 级选择器 S (n+3) 的输出来输入的用于奇数级的选择器。利用这个配置，作为第一输出的偶数级延迟信号能够通过第一级选择器 S1 获得，而且作为第二输出的奇数级延迟信号能够通过

第二级选择器 S2 获得。

当选择器以如上所述两级选择器配置布置时，在图 4 的延迟调整电路中的最短延迟路径是用于从延迟元件 D1 的输入端馈送输入时钟信号 (CLK Input) 到为用于偶数级的选择器的选择器 S1 的路径 1。因此，能够仅仅用第一级选择器 S1 的延迟实现最小的延迟。即使其它延迟单元 D2 到 DN 的延迟被增加了的话，这些仅仅被后续增加而且因此不会影响通过最短延迟路径获得的最小延迟。

参见图 5，将描述在延迟产生电路 11 中的一个延迟操作。

在此假定每一个延迟单元 D1 到 DN 的延迟量 (延迟值) 是 t_d ，每一个选择器 S1 到 S (N+1) 的延迟量 (延迟值) 是 t_s ，以及输入时钟信号 (CLK Input) 的切换时间是 $0ns$ 。

在该基本操作中，从延迟产生电路 11 中输出一个偶数级延迟的时钟信号 (Even) 和一个奇数级延迟时钟信号 (Odd)。假定包含延迟产生电路 11 的延迟调整电路应用于一个 DLL 电路。如果当通过一个来自外部的切换控制信号分别在选择器 S (n+1) 和 S (n+2) 处选择延迟单元 Dn 和 D (n+1) 的延迟时，延迟 DLL 的闭锁位置的话，则通过来自外部的一个切换控制信号分别在选择器 S (n+3) 和 S (n+2) 处选择延迟单元 D (n+2) 和 D (n+1)，通过来自外部的一个切换控制信号分别在选择器 S (n+3) 和 S (n+4) 处选择延迟单元 D (n+2) 和 D (n+3)，以及类似地进行，以便交替地在偶数级延迟信号和奇数级延迟信号之间进行切换。

在这个事件中，起先，用于偶数级选择器的第一级选择器 S1 和用于奇数级选择器的第一级选择器 S2 选择延迟单元端 (端 A)，同时其它选择器 S3 到 S6 选择选择器输出端 (端 B)。因此，偶数级延迟信号的延迟变为 t_s ，且奇数级延迟信号的延迟变为 t_s+t_d 。

然后，用于奇数级选择器的第一级选择器 S2 和用于偶数级选择器的第二级选择器 S3 选择延迟单元端（端 A），同时其它选择器 S1 和 S4 到 S6 选择选择器输出端（端 B）。因此，偶数级延迟信号的延迟变为 $2t_s+2t_d$ ，且奇数级延迟信号的延迟变为 t_s+t_d 。

进一步，用于偶数级选择器的第二级选择器 S3 和用于奇数级选择器的第二级选择器 S4 选择延迟单元端（端 A），同时其它选择器 S1、S2、S5、和 S6 选择选择器输出端（端 B）。因此，偶数级延迟信号的延迟变为 $2t_s+2t_d$ ，且奇数级延迟信号的延迟变为 $2t_s+3t_d$ 。

其后，用于奇数级选择器的第二级选择器 S4 和用于偶数级选择器的第三级选择器 S5 选择延迟单元端（端 A），同时其它选择器 S1 到 S3 和 S6 选择选择器输出端（端 B）。因此，偶数级延迟信号的延迟变为 $3t_s+4t_d$ ，且奇数级延迟信号的延迟变为 $2t_s+3t_d$ 。

如上所述，在上述延迟调整电路中，偶数级延迟信号和奇数级延迟信号的延迟被交替地改变。在它们之间的延迟差别变为 t_d 或者 t_d+t_s 。通常， t_d 比 t_s 更显著（即 $t_d>t_s$ ）。因此，延迟差别几乎变为常数。

假定上述延迟调整电路应用于如图 2 所示的 DLL 电路。在这种情况下，如果试图覆盖高达大约 10ns 的低速，延迟单元的级数目变得大了。在 N 个级的情况下，初始电路 3 的延迟+ $N\times t_d + N\times t_s$ 是用于锁定 DLL 电路的最大值。如果需要更大的延迟，则必须增加延迟单元级的数目（总数）。

在另一方面，在低周期处 DLL 电路所需要的分辨率可以是较低的。因此，虽然在上述实施例中延迟单元 D1 到 DN 的延迟量 t_d 被设置为相互相等，但是它们可以具有不同的延迟量。

参见图 6，将给出有关另一个适用于上述延迟调整电路的延迟产生电路 12 的描述。

结合如图 4 所示的延迟精细调整电路 2，延迟产生电路 12 也构成一个延迟调整电路。在这个实施例中，延迟单元 D1 到 D (m - 1) 每个都具有一个相等的延迟量，而且其它延迟单元 Dm 到 DN 每个都具有相等的延迟量，其不同于而且比每一个延迟单元 D1 到 D (m - 1) 的延迟量更长。

通过配置延迟产生电路 12 以便延迟单元具有不同的延迟量，就还有可能应付低周期而不用增加延迟单元的级数目（总数）。顺便提及，虽然已经给定有关其中延迟单元具有两种延迟量的情况的描述，但是延迟单元还可以具有三种或更多种的延迟量。

依据如上所述的延迟调整电路，延迟的最小值能够被仅仅设置为每个选择器的延迟量 t_s ，以由此实现高速操作。此外，延迟单元和选择器能够以互相一一对应的形式进行配置以便不会影响延迟的最小值。因此，即使延迟级的数目和选择器级的数目增加了，能够最小化在选择器处的延迟以允许稳定和迅速的操作。此外，通过在延迟产生电路中配置延迟单元以具有不同的延迟量，有可能处理低的周期而不用增加延迟单元的级数目（总数）。

图1A

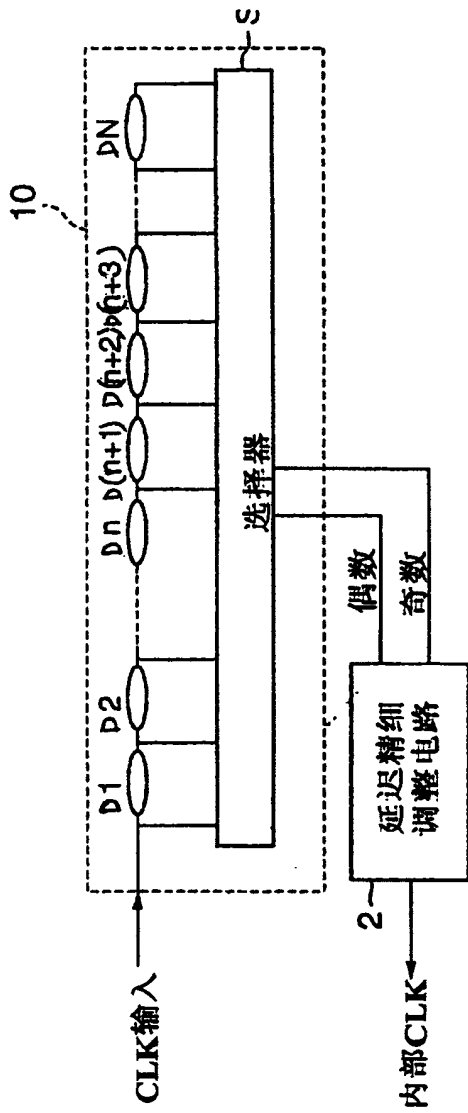
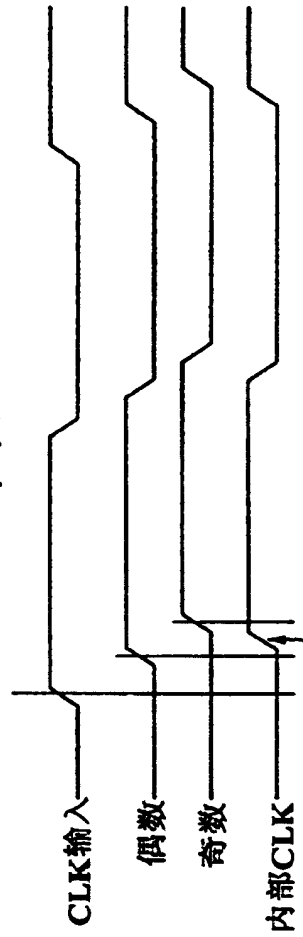
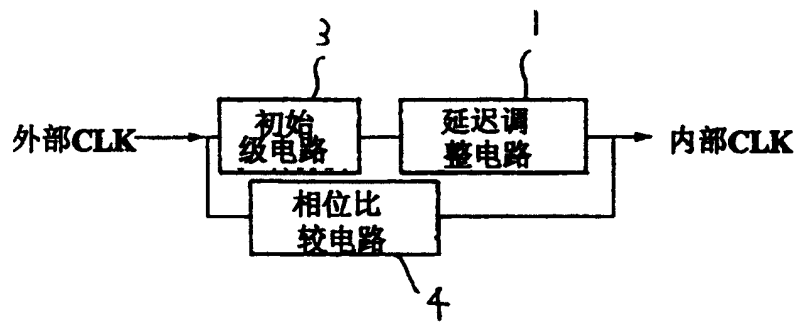


图1B



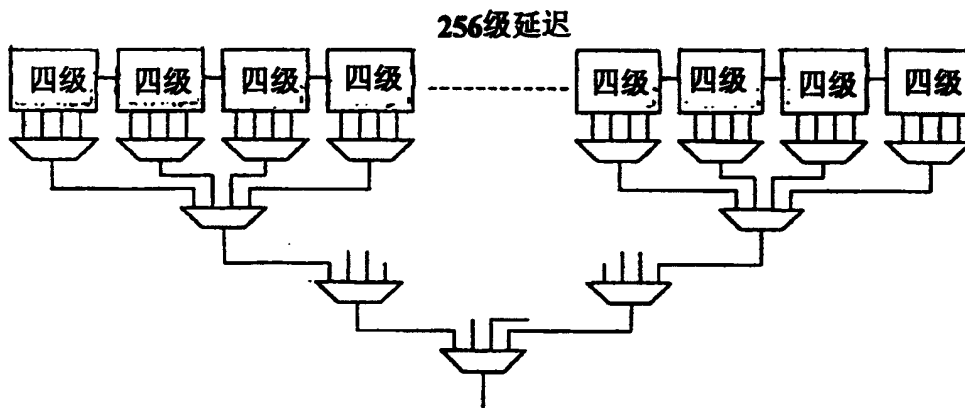
现有技术

图2



现有技术

图3



现有技术

图4

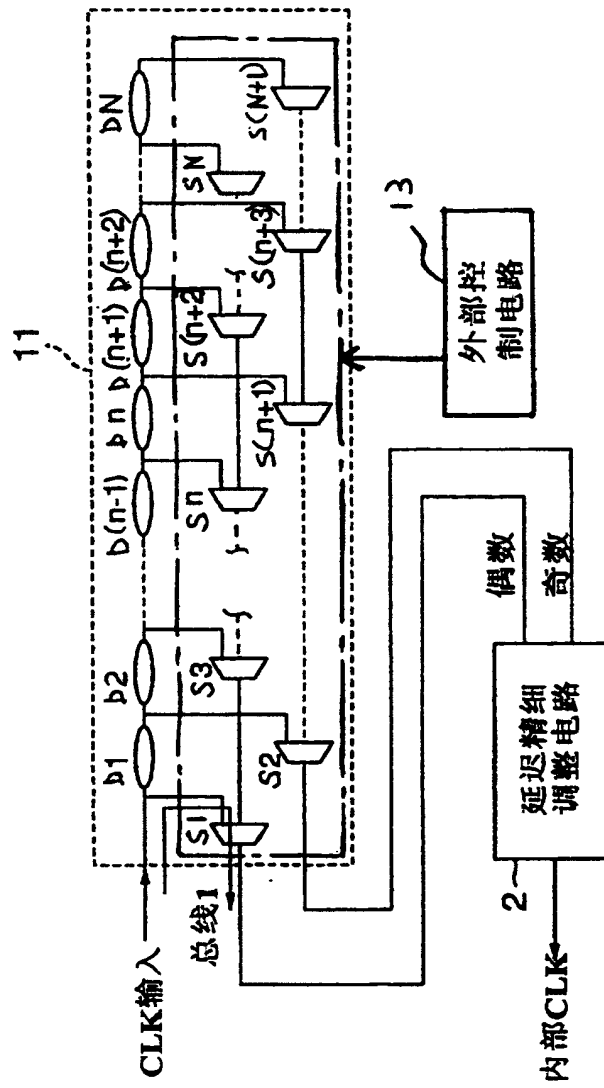


图5

