



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 101 08 081 B4 2006.01.12**

(12)

Patentschrift

(21) Aktenzeichen: **101 08 081.6**
 (22) Anmeldetag: **20.02.2001**
 (43) Offenlegungstag: **12.09.2002**
 (45) Veröffentlichungstag
 der Patenterteilung: **12.01.2006**

(51) Int Cl.⁸: **H01L 23/50 (2006.01)**
H01L 23/12 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Epping Hermann Fischer,
Patentanwalts-gesellschaft mbH, 80339 München

(72) Erfinder:
Hübner, Holger, 85598 Baldham, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
DE 43 23 799 A1
US 50 01 542
EP 10 28 463 A1
EP 09 28 016 A1
EP 05 12 546 A1

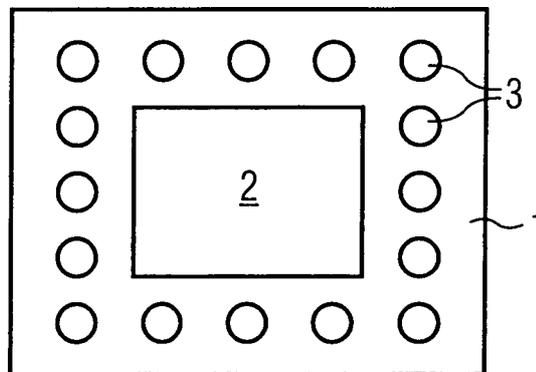
(54) Bezeichnung: **Anordnung eines Halbleiterchips auf einem Substrat**

(57) Hauptanspruch: Anordnung eines Halbleiterchips auf einem Substrat, bei der

- der Halbleiterchip (1) und das Substrat (7) Kontaktflächen (3) aus Metall aufweisen,
- der Halbleiterchip so zu dem Substrat hin ausgerichtet ist, dass einander zugeordnete Kontaktflächen des Halbleiterchips und des Substrates einander zugewandt sind,
- die einander zugeordneten Kontaktflächen elektrisch leitend miteinander verbunden sind und der Abstand (8) zwischen einer jeweiligen Kontaktfläche des Halbleiterchips und der damit verbundenen Kontaktfläche des Substrates weniger als 10 µm beträgt,

dadurch gekennzeichnet, dass

der Halbleiterchip (1) und das Substrat (7) einander gegenüberliegend angeordnete weitere Metallflächen (2) aufweisen, die einen größeren Flächeninhalt besitzen als eine jeweilige Kontaktfläche, und die einander zugeordneten Kontaktflächen und die weiteren Metallflächen (2) durch Diffusionslötten dauerhaft miteinander verbunden sind.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Anordnung eines Halbleiterchips auf einem als Chipträger vorgesehenen Substrat.

[0002] Bei der Montage flexibler, d. h. bis auf weniger als 70 µm gedünnter Halbleiterchips auf einem Chipträger aus Folie kommt es beim Verbiegen des Folienträgers zu Scherspannungen. Die Größe dieser Scherspannungen hängt von den jeweiligen Dicken des Folienträgers, des Chips und einer in der Regel schichtartigen Verbindungslage zwischen dem Chip und dem Substrat ab. Deren Eigenschaften, insbesondere ihre Elastizitätsmodule, bestimmen die Größe der Scherspannungen, die selbstverständlich auch vom Krümmungsradius, d. h. von der Stärke der Verbiegung abhängen.

[0003] Bei einem bestimmten Krümmungsradius ist die Zugspannung in der konvexen Seite der Anordnung, bzw. die dazu korrespondierende Druckspannung in der konkaven Seite, um so größer, je dicker der gesamte Schichtaufbau ist. Diese Spannungen gefährden den Halbleiterchip, besonders, wenn er auf der Seite der auftretenden Zugspannung angeordnet ist; denn eine durch Verbiegen hervorgerufene Zugspannung hält das monokristalline Silizium des Chips besonders schlecht aus. Bei den herkömmlichen Verfahren zur Verbindung des Halbleiterchips mit dem Substrat beträgt die Dicke der Verbindungsschicht mehrere 10 µm, liegt also selbst im Bereich der Chip- und Substratdicken und erhöht damit maßgeblich die Scherspannung.

[0004] Dieses Problem kann teilweise behoben werden, indem die Dimensionen des Halbleiterchips begrenzt werden, Klebe- oder Vergussmassen zur Befestigung des Chips auf dem Chipträger aus organischem Material verwendet werden oder das Substrat durch eine ausreichende Dicke und eine geeignete Wahl des Materials versteift wird.

[0005] Bei der Montage eines Halbleiterchips auf einem Chipträger tritt außerdem das Problem auf, dass eine im Prinzip beliebige Anzahl von Anschlusskontakten direkt mit entsprechenden Kontakten auf dem Substrat verbunden werden müssen. Die Kontaktflächen des Substrates sind durch Metallflächen gebildet, die in einer entsprechend strukturierten Metallisierungsschicht auf der Oberfläche des Substrates gebildet sind. Im Zuge einer zunehmenden Miniaturisierung der Halbleiterchips werden die Kontaktflächen drastisch verkleinert, wobei auch die Abstände der Kontaktflächen untereinander erheblich reduziert werden. Bekannte Verfahren zur Flip-Chip-Montage erlauben es, die Abstände der Kontaktflächen auf bis zu 50 µm zu reduzieren, und benutzen dazu sogenannte Interposer, das heißt Zwischenlagen von typisch etwa 100 µm Dicke, um die thermomechanische

fehlanpassung zwischen dem Chip und dem Substrat zu überbrücken.

[0006] Die Grenze der Kontaktdichte, die mit den bekannten Verfahren erreichbar ist, resultiert aus der großen Höhe der Anordnungen. Diese Höhe wird für erforderlich gehalten, um die oben beschriebenen Scherspannungen abzubauen. Derartige Scherspannungen treten nicht nur infolge eines Verbiegens des Chipträgers auf, sondern auch aufgrund des unterschiedlichen thermischen Ausdehnungsverhaltens zwischen Substrat und Chip. Typischerweise wird ein Abstand zwischen dem Substrat und dem Chip von 100 µm nicht unterschritten. Da die für die Kontaktierung zwischen den Kontaktflächen und den Metallflächen des Chipträgers verwendeten Lotkugeln mit einem isotropen Prozeß erzeugt werden, können die Kontaktflächen auch nicht näher als 100 µm seitlich zueinander platziert werden.

[0007] In der US 5,001,542 ist eine elektrische Verbindung zwischen den Kontakten eines Halbleiterchips und eines Substrates mittels durch Druck deformierbarer elektrisch leitender Partikel mit einem Durchmesser vor der Verformung von 1µm bis 50µm beschrieben.

[0008] In der EP 1 028 463 A1 ist eine elektrische Verbindung zwischen den Kontakten eines flexiblen Halbleiterchips und eines flexiblen Substrates mit 20µm dicken Goldhökern beschrieben.

[0009] In der EP 0 928 016 A1 ist eine elektrische Verbindung zwischen den Kontakten eines Halbleiterchips und eines Substrates mittels elektrisch leitender Partikel in einer Harzschicht beschrieben. Der Durchmesser der Partikel beträgt 5 µm.

[0010] In der EP 0 512 546 A1 ist eine elektrische Verbindung zwischen den Kontakten zweier Halbleiterchips mittels elektrisch leitender Partikel in einer Harzschicht beschrieben.

[0011] In der DE 43 23 799 A1 ist eine elektrische Verbindung zwischen den Kontakten eines Halbleiterchips und einer Schaltungsplatine beschrieben, bei der längs des Chiprandes ein alle Kontakte umschließendes, etwa 50µm hohes Wandelement aus Lötmetall vorhanden ist, das unter anderem der Aufnahme thermischer Spannungen dient.

[0012] Aufgabe der vorliegenden Erfindung ist es, anzugeben, wie ein Halbleiterchip auf einem Substrat als Chipträger montiert werden kann, so dass bei ausreichender Toleranz gegen Scherspannungen eine hohe Kontaktdichte erreicht werden kann.

[0013] Diese Aufgabe wird mit der Anordnung eines Halbleiterchips auf einem Substrat mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen erge-

ben sich aus den abhängigen Ansprüchen.

[0014] Bei der erfindungsgemäßen Anordnung sind die Kontaktflächen des Halbleiterchips und des Substrates einander gegenüberliegend angeordnet und elektrisch leitend miteinander verbunden, wobei der Abstand zwischen einer jeweiligen Kontaktfläche des Halbleiterchips und der damit verbundenen Kontaktfläche des Substrats weniger als 10 µm beträgt. Bei bevorzugten Ausführungsformen ist dieser Abstand nur höchstens halb so groß oder besser nur höchstens ein Viertel so groß. Ein typischer Abstand von 2 µm zwischen den Kontaktflächen bei gleichzeitig hoher Kontaktdichte kann durch das Verfahren der Diffusionslöttechnik (SOLID), die an sich bekannt ist, erreicht werden.

[0015] Die erfindungsgemäße Anordnung mit einem geringen Abstand zwischen einer jeweiligen Kontaktfläche des Halbleiterchips und der damit verbundenen Kontaktfläche des Substrates ist insbesondere vorteilhaft bei einer Verwendung eines dünnen, flexiblen Halbleiterchips auf einem flexiblen Substrat, wie zum Beispiel einer Folie. Aber auch bei starren Substraten bietet ein geringer Abstand zwischen dem Halbleiterchip und dem Substrat Vorteile. Es wurde in Versuchen nachgewiesen, dass eine ganzflächige Verbindung von Chip und Substrat zu einer zuverlässigen Kontaktierung führt, auch wenn der Abstand weniger als 10 µm beträgt und die Verbindungszone oder Verbindungsschicht aus einem Material besteht, das kein plastisches Fließen ermöglicht, wie z. B. die intermetallischen Phasen des Verbindungsmaterials, das beim Diffusionslöten eingesetzt wird.

[0016] Um eine ganzflächige Verbindung zusätzlich zu den Kontaktflächen zu erreichen, kann der Chip mit dem Substrat verklebt werden. Auf der Chipoberseite wird zusätzlich zu den metallischen Kontaktflächen zumindest eine weitere Metallfläche vorgesehen, die mit einer auf dem Substrat gegenüberliegend angeordneten weiteren Metallfläche in demselben Verfahrensschritt verlötet wird, in dem auch die Kontaktflächen elektrisch leitend miteinander verbunden werden. Das geschieht durch das angegebene Verfahren des Diffusionslötens. Es werden so die elektrisch leitenden Verbindungen zwischen den Kontaktflächen auf dem Chip und auf dem Substrat hergestellt und gleichzeitig entsprechende Verbindungen zwischen den weiteren Metallflächen auf dem Substrat und dem Chip, die nur für die mechanische Verbindung vorgesehen sind.

[0017] Dabei kommt es auf einen ausreichend großen Flächenanteil an, in dem der Halbleiterchip und das Substrat miteinander verbunden sind. Bei hohen Kontaktdichten kann die Verbindungsfläche, die durch diejenigen Metallflächen gebildet wird, die für eine elektrische Verbindung vorgesehen sind, bereits

genügen, so dass es nicht erforderlich ist, dass weitere, nur für die mechanische Verbindung vorgesehene Metallflächen vorhanden sind. Die seitlichen Abstände zwischen den Kontakten und gegebenenfalls den weiteren Metallflächen müssen klein sein, um eine zuverlässige und dauerhafte Verbindung zu erreichen; bei der erfindungsgemäßen Anordnung lassen sich wegen der geringen Schichtdicken der Kontakte und der Verbindungszone oder Verbindungsschicht minimale seitliche Abstände realisieren. Falls eine weitere Metallfläche zur mechanischen Verbindung vorhanden ist, kann diese weitere Metallfläche auch als elektrische Verbindung oder Kontakt vorgesehen sein.

[0018] Es folgt eine genauere Beschreibung von Beispielen der erfindungsgemäßen Anordnung, die weitere Metallflächen aufweisen, anhand der [Fig. 1](#) bis [Fig. 6](#).

[0019] Die [Fig. 1](#) bis [Fig. 3](#) zeigen verschiedene Ausgestaltungen für eine Anordnung der Kontaktflächen und Metallflächen auf der Chipoberseite.

[0020] Die [Fig. 4](#) zeigt eine alternative Ausgestaltung der für eine Verbindung vorgesehenen Metallfläche.

[0021] Die [Fig. 5](#) zeigt eine Oberseite eines Substrates, das mit Metallflächen zur Befestigung und Kontaktierung eines Chips versehen ist.

[0022] Die [Fig. 6](#) zeigt eine Anordnung mit einem Chip und einem Substrat gemäß [Fig. 5](#) im Querschnitt.

[0023] In [Fig. 1](#) ist die Oberseite eines Chips **1** dargestellt, der mit Kontaktflächen **3** für einen elektrischen Anschluss sowie mit einer weiteren Metallfläche **2** für eine Verbindung mit dem Substrat versehen ist. Diese Metallflächen können aus einer Metallisierung strukturiert sein. Die Kontaktflächen **3** dienen dem elektrischen Anschluss des Chips mit den entsprechenden Kontaktflächen eines Substrats, auf das der Chip montiert wird. Das Substrat weist ebenfalls eine weitere Metallfläche auf, die der weiteren Metallfläche **2** des Chips gegenüberliegend angeordnet ist und für eine Verbindung damit vorgesehen ist. Diese Verbindung kann in demselben Verfahrensschritt hergestellt werden, in dem auch die elektrisch leitenden Verbindungen zwischen den Kontaktflächen **3** hergestellt werden. Dafür wird das erwähnte Diffusionslöten verwendet. In diesem Beispiel sind die Kontaktflächen **3** am Rand des Chips **1** angeordnet, während die Innenfläche der Chipoberseite großflächig mit der weiteren Metallfläche **2** versehen ist.

[0024] In [Fig. 2](#) ist ein Beispiel gezeigt, bei dem auf der Oberseite eines Chips **1** die für elektrischen An-

schluss vorgesehenen Kontaktflächen **3** in einem inneren Bereich der Oberseite angeordnet sind, während die weitere Metallfläche **2**, die der mechanischen Verbindung zum Substrat dient, diese Kontaktflächen **3** nach Art eines längs des Randes umlaufenden Stützringes ausgebildet ist. In diesem Fall sind die Kontaktflächen **3** nicht frei von der Seite zugänglich und müssen gegen die weitere Metallfläche **2** isoliert angeschlossen werden. Das kann z. B. durch eine Flip-Chip-Montage auf einem Substrat mit einer gleichartigen Strukturierung einer auf der Oberseite angebrachten Metallisierung erfolgen.

[0025] In der [Fig. 3](#) ist eine Möglichkeit angegeben, wie auch bei Kontaktflächen **3**, die am Rand des Chips **1** angeordnet sind, die weitere Metallfläche **2**, die der Verbindung des Chips mit einem Substrat dient, bis an den Rand der Chipoberseite ausgebildet werden kann. Die Kontaktflächen **3** sind hier in Ausnahmungen der weiteren Metallfläche **2** angeordnet. Zwischen den Kontaktflächen **3** ist die weitere Metallfläche **2** bis zum Rand der Chipoberseite ausgebildet.

[0026] Die weitere Metallfläche kann grundsätzlich in jeder beliebigen Form gestaltet sein. Statt einer rechteckigen Ausgestaltung wie in den [Fig. 1](#) und [Fig. 2](#) ist es sogar vorteilhaft, diese Metallfläche **2** entsprechend der [Fig. 4](#) mit abgeschrägten Ecken auszubilden. Der eingezeichnete Abstand **4** beträgt typisch z. B. 100 µm. Statt dessen können die Ecken der weiteren Metallflächen auch abgerundet sein. Es können ebenso mehrere weitere Metallflächen vorhanden sein, die außerhalb der von den Kontaktflächen **3** eingenommenen Bereiche angeordnet sind.

[0027] In der [Fig. 5](#) ist die Oberseite eines Substrates **7** dargestellt, auf der Kontaktflächen **3** und weitere Metallflächen **2** vorhanden sind und außerhalb der durch die Kontaktflächen und die weiteren Metallflächen eingenommenen Bereiche eine Füllschicht **5** vorhanden ist (Underfill), die vorzugsweise durch eine Vergussmasse oder Klebmasse aus einem elastischen oder zähen Polymerfilm gebildet ist. Durch diese Füllschicht **5** wird bewirkt, dass eine ganzflächige Verbindung zwischen dem Chip und dem Substrat hergestellt wird. Die Bereiche der dem Substrat zugewandten Oberfläche des Chips, auf denen sich keine Metallflächen befinden, können auf diese Weise mit dem Substrat verbunden werden oder statt dessen auch ohne mechanischen Kontakt zum Substrat frei zum Substrat verschiebbar bleiben.

[0028] Bei Erwärmung dehnt sich der Chip mit 2 bis 3 ppm/K aus, das Substrat aber mit 18 bis 20 ppm/K. Die resultierende Scherspannung belastet die punktuellen Kontaktflächen **3**, wobei die Scherspannung eine Verformung der Lotkugeln bewirkt, die die Spannung aufnehmen. Eine ganzflächige Verklebung von Chip und Substrat durch ein Underfill mindert zusätzlich die Spannung. Im Fall kleiner Kontaktflächen ist

die punktuelle Belastung der Anschlüsse aber noch größer und führt zum Abreißen der Metallisierungen von Chip oder Substrat. Die erfindungsgemäße Anordnung bietet daher einen praktikablen Ausweg, mit dem eine dauerhafte Verbindung eines Halbleiterchips mit einem Substrat auch bei Verwendung extrem kleiner und sehr dicht zueinander angeordneter Kontaktflächen möglich ist.

[0029] Die [Fig. 6](#) zeigt die Anordnung mit einem Chip und einem Substrat entsprechend der [Fig. 5](#) im Querschnitt. Der Chip **1** und das Substrat **7** sind durch die Lötverbindungen **6** zwischen den Kontaktflächen **3** und den weiteren Metallflächen **2** sowie mit der Füllschicht **5** dauerhaft miteinander verbunden. Die Lötverbindungen **6** definieren den Abstand **8** zwischen den miteinander verbundenen Kontaktflächen **3** bzw. weiteren Metallflächen **2**.

Patentansprüche

1. Anordnung eines Halbleiterchips auf einem Substrat, bei der
 - der Halbleiterchip (**1**) und das Substrat (**7**) Kontaktflächen (**3**) aus Metall aufweisen,
 - der Halbleiterchip so zu dem Substrat hin ausgerichtet ist, dass einander zugeordnete Kontaktflächen des Halbleiterchips und des Substrates einander zugewandt sind,
 - die einander zugeordneten Kontaktflächen elektrisch leitend miteinander verbunden sind und der Abstand (**8**) zwischen einer jeweiligen Kontaktfläche des Halbleiterchips und der damit verbundenen Kontaktfläche des Substrates weniger als 10 µm beträgt, **dadurch gekennzeichnet**, dass
- der Halbleiterchip (**1**) und das Substrat (**7**) einander gegenüberliegend angeordnete weitere Metallflächen (**2**) aufweisen, die einen größeren Flächeninhalt besitzen als eine jeweilige Kontaktfläche, und die einander zugeordneten Kontaktflächen und die weiteren Metallflächen (**2**) durch Diffusionslötten dauerhaft miteinander verbunden sind.
2. Anordnung nach Anspruch 1, bei der der Abstand zwischen einer jeweiligen Kontaktfläche des Halbleiterchips und der damit verbundenen Kontaktfläche des Substrates weniger als 5 µm beträgt.
3. Anordnung nach Anspruch 1, bei der der Abstand zwischen einer jeweiligen Kontaktfläche des Halbleiterchips und der damit verbundenen Kontaktfläche des Substrates weniger als 2,5 µm beträgt.
4. Anordnung nach einem der Ansprüche 1 bis 3, bei der das Substrat (**7**) eine Folie ist.
5. Anordnung nach einem der Ansprüche 1 bis 4, bei der zwischen dem Halbleiterchip und dem Substrat außerhalb der durch die Kontaktflächen (**3**) und die weiteren Metallflächen (**2**) eingenommenen Be-

reiche eine Füllschicht (5) vorhanden ist.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

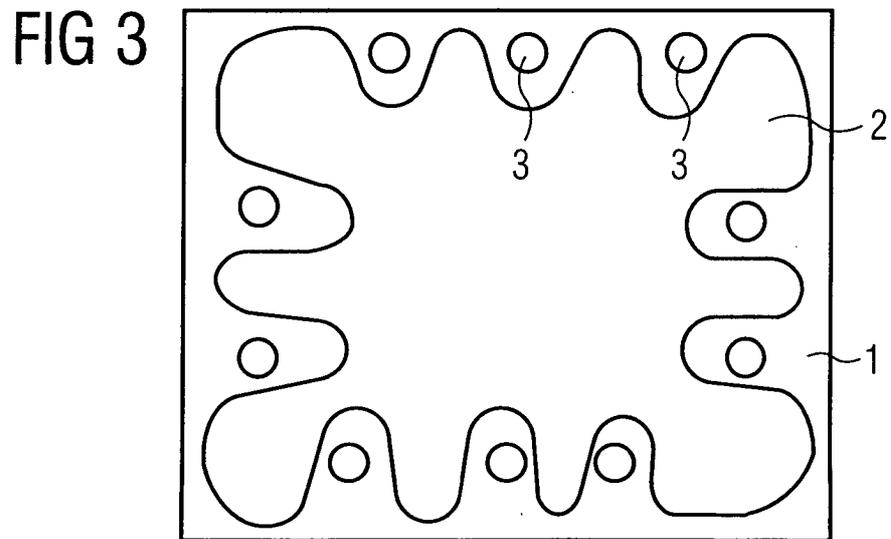
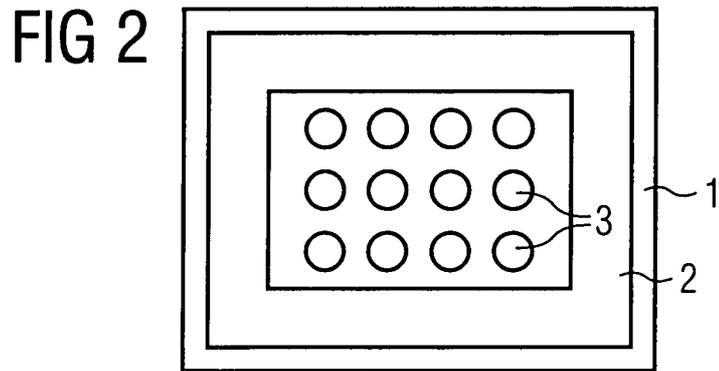
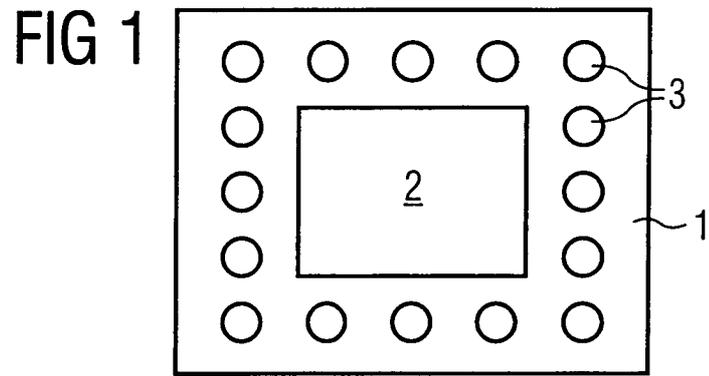


FIG 4

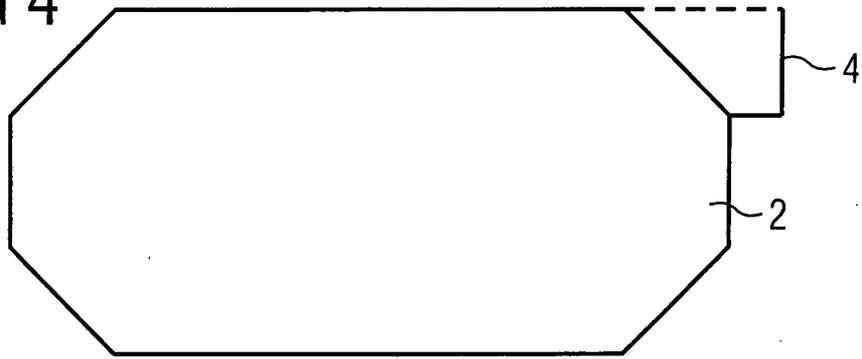


FIG 5

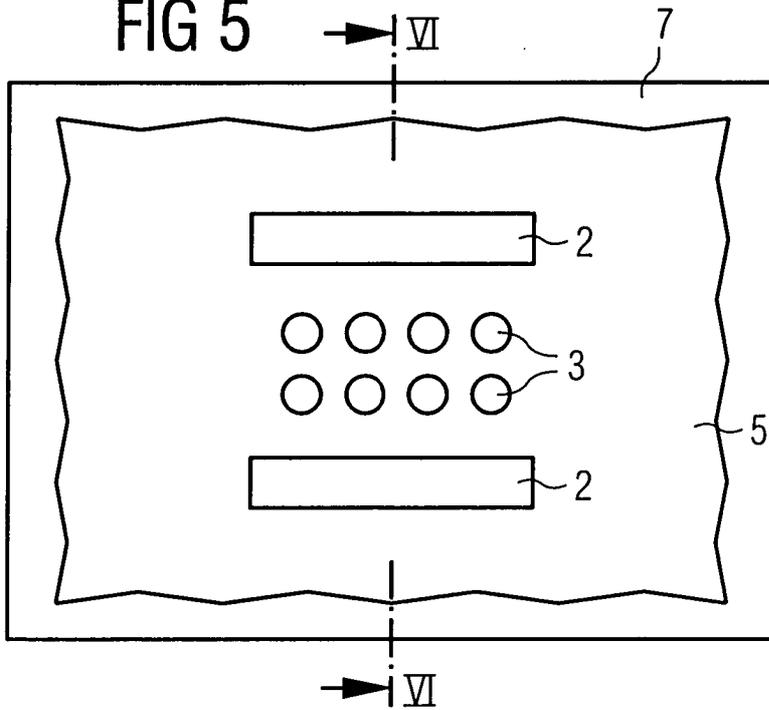


FIG 6

