



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월29일  
(11) 등록번호 10-2515303  
(24) 등록일자 2023년03월24일

(51) 국제특허분류(Int. Cl.)  
H01L 23/15 (2006.01) H01L 23/48 (2006.01)  
H05K 1/03 (2006.01) H05K 1/11 (2006.01)  
H05K 3/00 (2019.01)  
(52) CPC특허분류  
H01L 23/15 (2013.01)  
H01L 23/481 (2013.01)  
(21) 출원번호 10-2021-0056448  
(22) 출원일자 2021년04월30일  
심사청구일자 2021년04월30일  
(65) 공개번호 10-2022-0149170  
(43) 공개일자 2022년11월08일  
(56) 선행기술조사문헌  
WO2020185016 A1\*  
JP2014045026 A  
JP2017050315 A  
KR1020200086319 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
애플릭스 인코포레이티드  
미국 30014 조지아주 커빙턴시 에스케이씨 드라이브 3000  
(72) 발명자  
노영호  
경기도 수원시 장안구 정자로 102 (주)SKC중앙연구소  
김진철  
경기도 수원시 장안구 정자로 102 (주)SKC중앙연구소  
(74) 대리인  
정화승

전체 청구항 수 : 총 8 항

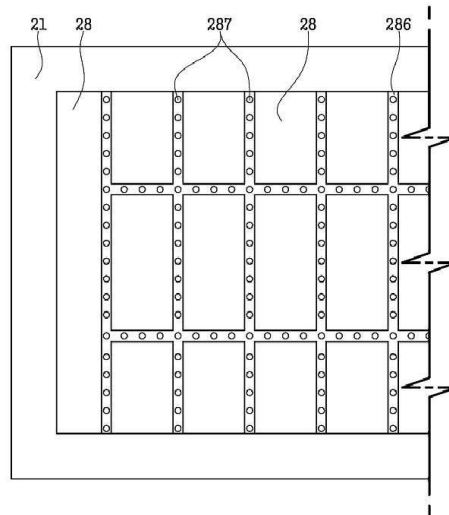
심사관 : 박부식

(54) 발명의 명칭 패키징 기판 및 이를 포함하는 반도체 장치

(57) 요약

구현예는 제1면 및 상기 제1면의 대향면인 제2면을 포함하는 유리기판; 상기 유리기판의 내부에 공간이 형성된 캐비티부; 상기 공간을 복수 개의 공간으로 분할하는 캐비티프레임; 및 상기 캐비티부의 적어도 일부에 포함되는 캐비티소자를 포함하고, 상기 캐비티프레임은 상기 일면에서 타면 방향으로 관통된 복수의 프레임관통홀들을 포함하는, 패키징 기판에 관한 것이다.

대표도 - 도10



(52) CPC특허분류

*H05K 1/0306* (2013.01)

*H05K 1/115* (2013.01)

*H05K 3/0094* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1면 및 상기 제1면의 대향면인 제2면을 포함하는 유리기관;  
상기 유리기관의 내부에 공간이 형성된 캐비티부;  
상기 공간을 복수 개의 공간으로 분할하는 캐비티프레임; 및  
상기 캐비티부의 적어도 일부에 포함되는 캐비티소자를 포함하고,  
상기 캐비티프레임은 상기 제1면에서 제2면 방향으로 관통된 프레임관통홀을 복수 개 포함하고,  
상기 프레임관통홀의 직경은 30  $\mu\text{m}$  내지 500  $\mu\text{m}$ 이고,  
상기 복수 개의 프레임관통홀들 간의 간격은 상기 프레임관통홀의 직경의 1배 이상 10배 이하인, 패키징 기관.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,  
상기 프레임관통홀의 직경 및 상기 프레임관통홀의 관통방향의 길이의 비율이 1:1 내지 10인, 패키징 기관.

#### 청구항 4

삭제

#### 청구항 5

제1항에 있어서,  
상기 캐비티프레임은 상기 프레임관통홀의 직경 대비 1.5배 이상의 폭을 갖는, 패키징 기관.

#### 청구항 6

제1항에 있어서,  
상기 프레임관통홀은 적어도 일부 또는 전부가 제1재료로 충전되고,  
상기 제1재료는 구리, 에폭시, 실리카 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나인, 패키징 기관.

#### 청구항 7

제1항에 있어서,  
상기 유리기관은 제1두께를 갖는 제1구역과, 상기 제1구역과 이웃하며 상기 제1두께보다 얇은 두께인 제2두께를 갖는 제2구역을 포함하고,

상기 캐비티부는 상기 제2구역의 위 또는 아래에 위치하는, 패키징 기판.

**청구항 8**

제1항에 있어서,  
상기 캐비티프레임의 측면에 지지부가 배치되는, 패키징 기판.

**청구항 9**

제1항에 있어서,  
상기 유리기판은 상기 캐비티프레임 이외의 상기 제1면에서 상기 제2면 방향으로 관통된 코어비아를 포함하고,  
상기 코어비아와 연결되는 상기 제1면 및 제2면 상에 코어분배층이 포함되는, 패키징 기판.

**청구항 10**

하나 이상의 반도체소자가 위치하는 반도체소자부;  
상기 반도체소자와 전기적으로 연결되는 패키징 기판; 및  
상기 패키징 기판과 전기적으로 연결되며 상기 반도체소자와 외부의 전기적 신호를 전달하고 서로 연결하는 메인보드;를 포함하고,  
상기 패키징 기판은 제1항에 따른 패키징 기판인, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 구현에는 복수의 공간으로 분할하고, 관통홀이 형성된 캐비티프레임 갖는 패키징 기판 및 이를 포함하는 반도체 장치에 관한 것이다.

**배경 기술**

[0003] 전자부품을 제작하는 데 있어 반도체 웨이퍼에 회로를 구현하는 것을 전 공정(FE:Front-End)이라 하고, 웨이퍼를 실제 제품에서 사용할 수 있는 상태로 조립하는 것을 후 공정(BE:Back-End)이라 하며, 이 후 공정 중에 패키징 공정이 포함된다.

[0004] 최근 전자제품의 급속한 발전을 가능하게 한 반도체 산업의 4가지 핵심기술로는 반도체 기술, 반도체 패키징 기술, 제조공정 기술, 소프트웨어 기술이 있다. 반도체 기술은 마이크로 이하 나노 단위의 선폭, 천만 개 이상의 셀(Cell), 고속 동작, 많은 열 방출 등 다양한 형태로 발전하고 있으나 상대적으로 이를 완벽하게 패키징하는 기술이 뒷받침되지 못하고 있다. 이에, 반도체의 전기적 성능이 반도체 기술 자체의 성능보다는 패키징 기술과 이에 따른 전기적 접속에 의해 결정되기도 한다.

[0005] 패키징 기판의 재료로는 세라믹 또는 수지가 적용된다. 세라믹 기판의 경우, 저항값이 높거나 유전율이 높아 고성능 고주파의 반도체 소자를 탑재하기에 쉽지 않다. 수지 기판의 경우 상대적으로 고성능 고주파의 반도체 소자를 탑재할 수는 있으나, 배선의 피치 축소에 한계가 있다.

[0006] 최근, 하이엔드용 패키징 기판으로 실리콘이나 유리를 적용한 연구들이 진행 중이다. 실리콘이나 유리 기판에 관통구멍을 형성하고 도전성 물질을 이 관통구멍에 적용해서 소자와 메인보드 사이에 배선길이가 짧아지고 양호한 전기적 특성을 가질 수 있다.

[0007] 다만, 이러한 유리 기판의 소형화 제조공정 시 원판의 휨 문제, 파손 또는 불량 발생 우려가 높고, 이러한

문제와 열 방출 효율을 개선할 방안이 요구되고 있다.

- [0009]    기술한 배경기술은 발명자가 구현예의 도출을 위해 보유하고 있었거나, 도출 과정에서 습득한 기술 정보로서, 반드시 본 발명의 출원 전에 일반 공중에게 공개된 공지기술이라 할 수는 없다.
- [0011]    관련 선행기술로, 한국 공개특허공보 10-2015-0083278 에 개시된 "다층기판 및 다층기판의 제조방법" 등이 있다.

**발명의 내용**

**해결하려는 과제**

- [0013]    구현예의 목적은 열 방출이 개선되고, 기계적, 전기적 특성이 향상된 캐비티 구조를 포함하는 패키징 기판을 제공하는 데 있다.

**과제의 해결 수단**

- [0015]    상기의 목적을 달성하기 위하여, 구현예에 따른 패키징 기판은,
- [0016]    제1면 및 상기 제1면의 대향면인 제2면을 포함하는 유리기판;
- [0017]    상기 유리기판의 내부에 공간이 형성된 캐비티부;
- [0018]    상기 공간을 복수 개의 공간으로 분할하는 캐비티프레임; 및
- [0019]    상기 캐비티부의 적어도 일부에 포함되는 캐비티소자를 포함하고,
- [0020]    상기 캐비티프레임은 상기 일면에서 타면 방향으로 관통된 프레임관통홀을 포함할 수 있다.
- [0021]    일 구현예에 있어서, 상기 프레임관통홀의 직경은 30  $\mu\text{m}$  내지 500  $\mu\text{m}$ 일 수 있다.
- [0022]    일 구현예에 있어서, 상기 프레임관통홀의 직경 및 상기 프레임관통홀의 관통방향의 길이의 비율이 1:1 내지 10일 수 있다.
- [0023]    일 구현예에 있어서, 상기 프레임관통홀을 복수 개 포함하고, 상기 복수 개의 프레임관통홀들 간의 간격은 상기 프레임관통홀의 직경의 1배 이상일 수 있다.
- [0024]    일 구현예에 있어서, 상기 캐비티프레임은 상기 프레임관통홀의 직경 대비 1.5배 이상의 폭을 가질 수 있다.
- [0025]    일 구현예에 있어서, 상기 프레임관통홀은 적어도 일부 또는 전부가 제1재료로 충전되고,
- [0026]    상기 제1재료는 구리, 에폭시, 실리카 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나일 수 있다.
- [0027]    일 구현예에 있어서, 상기 유리기판은 제1두께를 갖는 제1구역과, 상기 제1구역과 이웃하며 상기 제1두께보다 얇은 두께인 제2두께를 갖는 제2구역을 포함하고,
- [0028]    상기 캐비티부는 상기 제2구역의 위 또는 아래에 위치할 수 있다.
- [0029]    일 구현예에 있어서, 상기 캐비티프레임의 측면에 지지부가 배치될 수 있다.
- [0030]    일 구현예에 있어서, 상기 유리기판은 상기 캐비티프레임 이외의 상기 제1면에서 상기 제2면 방향으로 관통된 코어비아를 포함하고,
- [0031]    상기 코어비아와 연결되는 상기 제1면 및 제2면 상에 코어분배층이 포함될 수 있다.
- [0033]    상기의 목적을 달성하기 위하여, 구현예에 따른 반도체 장치는,
- [0034]    하나 이상의 반도체소자가 위치하는 반도체소자부;
- [0035]    상기 반도체소자와 전기적으로 연결되는 패키징 기판; 및
- [0036]    상기 패키징 기판과 전기적으로 연결되며 상기 반도체소자와 외부의 전기적 신호를 전달하고 서로 연결하는 배인보드;를 포함하고,
- [0037]    상기 패키징 기판은 상기에 따른 패키징 기판일 수 있다.

**발명의 효과**

[0039] 구현예에 따른 패키징 기판은 내부 공간을 분할하는 캐비티프레임을 포함하고, 캐비티프레임 내 프레임관통홀을 형성하여, 내부 소자의 열 방출을 용이하게 하고 기계적, 전기적 특성이 개선되도록 할 수 있다.

**도면의 간단한 설명**

- [0041] 도 1은 구현예에 따른 반도체 장치의 단면 구조를 설명하는 개념도.
- 도 2는 다른 구현예에 따른 패키징 기판의 내부에 캐비티소자가 배치된 단면 구조를 설명하는 개념도.
- 도 3의 (a)와 (b)는 각각 구현예에 따른 패키징 기판의 일부, 내부 공간을 단면으로 설명하는 개념도.
- 도 4의 (a)와 (b)는 각각 구현예에 따른 패키징 기판의 일부, 내부 공간에 캐비티소자가 배치된 단면으로 설명하는 개념도.
- 도 5는 구현예에 따른 유리기판에 형성된 코어비아의 형태를 단면으로 설명하는 개념도.
- 도 6은 구현예에 따라 지지부를 적용한 캐비티부를 갖는 유리기판을 상부에서 본 모습으로 설명하는 개념도.
- 도 7은 구현예에 따라 지지부를 적용한 캐비티부를 갖는 유리기판을 단면으로 설명하는 개념도.
- 도 8은 구현예에 따라 지지부를 적용한 캐비티부를 갖는 유리기판에 캐비티소자가 고정되는 모습을 설명하는 개념도.
- 도 9는 구현예에 따른 패키징 기판의 내부에 캐비티프레임 및 프레임관통홀이 배치된 단면 구조를 설명하는 개념도.
- 도 10은 구현예에 따라 캐비티프레임 및 프레임관통홀을 갖는 유리기판을 상부에서 본 모습으로 설명하는 개념도.
- 도 11은 구현예에 따라 캐비티프레임 및 프레임관통홀을 갖는 유리기판을 상부에서 더욱 자세히 본 모습으로 설명하는 개념도.

**발명을 실시하기 위한 구체적인 내용**

- [0042] 이하, 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 하나 이상의 구현예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다. 그러나 구현예들은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.
- [0043] 본 명세서에서, 어떤 구성이 다른 구성을 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한, 그 외 다른 구성을 제외하는 것이 아니라 다른 구성들을 더 포함할 수도 있음을 의미한다.
- [0044] 본 명세서에서, 어떤 구성이 다른 구성과 "연결"되어 있다고 할 때, 이는 '직접적으로 연결'되어 있는 경우만이 아니라, '그 중간에 다른 구성을 사이에 두고 연결'되어 있는 경우도 포함한다.
- [0045] 본 명세서에서, A 상에 B가 위치한다는 의미는 A 상에 직접 맞닿게 B가 위치하거나 그 사이에 다른 층이 위치하면서 A 상에 B가 위치하는 것을 의미하며 A의 표면에 맞닿게 B가 위치하는 것으로 한정되어 해석되지 않는다.
- [0046] 본 명세서에서, 마쿠시 형식의 표현에 포함된 "이들의 조합"의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.
- [0047] 본 명세서에서, "A 및/또는 B"의 기재는, "A, B, 또는, A 및 B"를 의미한다.
- [0048] 본 명세서에서, "제1", "제2" 또는 "A", "B" 와 같은 용어는 특별한 설명이 없는 한 동일한 용어를 서로 구별하기 위하여 사용된다.
- [0049] 본 명세서에서 단수 표현은 특별한 설명이 없으면 문맥상 해석되는 단수 또는 복수를 포함하는 의미로 해석된다.
- [0051] 발명자들은 보다 집적화되고 얇은 두께로 고성능을 발휘할 수 있는 반도체 장치를 개발하는 과정에서, 소자 자

체만이 아니라 패키징에 대한 부분, 캐비티와 관련한 부분이 성능 향상에서 중요한 요소라는 점을 인식하고 이에 대해 연구하던 중, 기존의 인터포저와 유기기판과 같이 2층 이상의 코어를 패키징 기판으로 메인보드 상에 적용하던 것과 달리, 유리 코어를 단일 층으로 적용하고, 복수 개의 캐비티 영역을 구획하는 캐비티프레임, 캐비티프레임 내 관통홀 배치 등을 적용하였다. 이에 패키징 기판을 보다 얇게 설계하되 반도체 장치의 전기적 특성 향상에 도움이 되도록 할 수 있다는 점을 확인하고 발명을 완성하였다.

- [0052] 이하, 도면을 참조해 구현예를 보다 상세하게 설명한다.
- [0054] **패키징 기판(20)**
- [0055] 상기의 목적을 달성하기 위하여, 구현예에 따른 패키징 기판(20)은,
- [0056] 제1면(213) 및 상기 제1면의 대향면인 제2면(214)을 포함하는 유리기판(21);
- [0057] 상기 유리기판의 내부에 공간(281)이 형성된 캐비티부(28);
- [0058] 상기 공간을 복수 개의 공간으로 분할하는 캐비티프레임(286); 및
- [0059] 상기 캐비티부의 적어도 일부에 포함되는 캐비티소자(40);를 포함하고,
- [0060] 상기 캐비티프레임은 상기 제1면에서 제2면 방향으로 관통된 프레임관통홀(287)을 포함할 수 있다.
- [0061] 도 2, 도 4를 참고하면, 상기 패키징 기판(20)은 코어층(22); 상기 코어층의 일면 상에 위치하는 상부층(26); 및 상기 캐비티소자(40)가 위치할 수 있는 캐비티부(28);를 포함할 수 있다.
- [0062] 상기 패키징 기판(20)은 선택적으로 코어층 하에 위치하는 하부층(29)을 더 포함할 수 있다.
- [0063] 도 3을 참고하면, 상기 코어층(22)은 유리기판(21)을 포함할 수 있고, 상기 유리기판은 제1두께(211)를 갖는 제1구역(221) 및 상기 제1구역과 이웃하며 상기 제1두께보다 얇은 두께인 제2두께(212)를 갖는 제2구역을 포함할 수 있다.
- [0064] 상기 유리기판(21)은 두께 방향으로 관통하는 다수의 코어비아(23)를 포함할 수 있다. 상기 유리기판 또는 코어비아의 표면 상에 위치하며 상기 유리기판의 제1면(213) 및 상기 제1면과 마주보는 제2면(214)을 전기적으로 연결하는 코어분배층(24)을 포함할 수 있다.
- [0065] 상기 코어층(22)의 제2구역(222)은 내부 공간(281)을 포함하는 캐비티 구조로 역할을 할 수 있다.
- [0066] 같은 구역 내에서 상기 유리기판(21)은 서로 마주보는 제1면(213)과 제2면(214)을 포함하고, 이 두 면은 대체로 평행하여 유리기판 전체적으로 일정한 두께를 가질 수 있다.
- [0067] 상기 유리기판(21)은 상기 제1구역(221)의 두께인 제1두께(211)가 상기 제2구역(222)의 두께인 제2두께(212)보다 더 두꺼울 수 있다. 상기 제1구역과 제2구역이 접하는 부분에서 상기 유리기판에는 코어비아(23)가 아닌 곳에서 상기 제1구역의 두께방향과 수직한 면인 측벽이 노출될 수 있다. 상기 제1구역과 제2구역의 두께차에 의해 형성되는 내부 공간(281)은 캐비티소자의 일부 또는 전부를 수용할 수 있도록 한다.
- [0068] 도 6, 7을 참고하면, 상기 제1구역(221)의 측벽에서 캐비티의 내부 공간으로 돌출된 지지부(285)를 포함할 수 있다. 상기 지지부의 적어도 일부는 상기 제1구역의 측벽과 연결되고, 상기 지지부의 다른 일부는 상기 내부 공간(281)으로 돌출되어, 삽입되는 캐비티소자(40)의 위치를 고정할 수 있다. 이렇게 서로 두께가 다른 제1구역과 제2구역이 이웃하게 위치하는 형태의 상기 유리기판(21)은, 서로 그 크기가 다른 유리기판을 적층하거나 결합시켜 제조될 수도 있다.
- [0069] 상기 유리기판(21)의 코어비아(23)는 상기 제1구역(221)에 제1코어비아(231), 제2구역(222)에 제2코어비아(232) 등으로 모두 형성될 수 있고, 의도하는 피치와 패턴으로 형성될 수 있다.
- [0070] 반도체 장치의 패키징 기판으로는, 기존에 실리콘 기판과 유기기판이 적층된 형태로 적용되었다. 실리콘 기판의 경우에는 반도체라는 특성상 고속 회로 적용 시 기생소자가 발생할 우려가 있고, 전력 손실이 상대적으로 크다는 단점이 있었다. 또한, 유기기판의 경우에는 보다 복잡해지는 분배 패턴을 형성하기에는 대면적화가 필요하나 이는 초소형화되는 전자기기의 제조흐름에 부합되지 않는다. 정해진 크기 내에서 복잡한 분배 패턴을 형성하기 위해서는 실질적으로 패턴 미세화가 필요하나, 유기기판에 적용하는 고분자 등 소재 특성상 패턴 미세화에 실질적인 한계가 있었다. 구현예에서는 이러한 문제점들을 해결하는 방법으로 유리기판(21)을 코어층(22)의 지지체로 적용한다. 또한, 유리기판과 함께 유리기판을 관통하며 형성된 코어비아(23), 유리기판의 내부 공간(281)을

분할하는 캐비티프레임(286), 캐비티프레임을 관통하며 형성된 프레임관통홀(287) 등을 적용하여, 열 방출효율 증가, 접자기 흡수 증가 등의 이점을 갖는 패키징 기판(20)을 제공할 수 있다.

- [0071] 도 3, 9, 10을 참고하면, 상기 유리기판(21)의 내부 공간(281)을 분할하는 캐비티프레임(286)은 상기 제2구역(222)의 제2두께보다 두꺼울 수 있고, 상기 제1구역(221)의 제1두께와 같을 수 있다.
- [0072] 상기 내부 공간(281)이 상기 캐비티프레임(286)에 의해 분할된 분할 공간은 각각 다른 면적을 가질 수 있고, 세로열 또는 가로열을 기준으로 동일한 면적을 가질 수도 있다.
- [0073] 상기 캐비티프레임(286)은 제1면(213)에서 제2면(214)을 향하는 두께방향으로 일정한 단면을 가지며 연장된 것일 수 있고, 상기 두께방향으로 관통된 프레임관통홀(287)을 포함할 수 있다.
- [0074] 도 11을 참고하면, 상기 캐비티프레임(286)은 상기 제1면을 상부에서 바라본 관점으로 상기 내부 공간(281)이 복수의 직사각형 공간으로 분할되도록 분할 공간이 형성되도록 할 수 있고, 소정의 폭(Wf)을 가질 수 있다. 또한, 상기 캐비티프레임은 세로프레임 및 가로프레임을 포함할 수 있고, 상기 세로프레임 및 가로프레임은 두께(높이)가 같거나 상이할 수 있다.
- [0075] 상기 캐비티프레임(286)의 폭은 상기 프레임관통홀(287)의 직경 대비 1.5 배 이상의 폭을 가질 수 있고, 2 배 이상의 폭을 가질 수 있다. 상기 캐비티프레임의 폭은 상기 프레임관통홀의 직경 대비 5 배 이하의 폭을 가질 수 있고, 4 배 이하의 폭을 가질 수 있다. 이때 상기 직경은 상기 프레임관통홀의 최대직경을 기준으로 할 수 있다. 이러한 폭을 갖는 캐비티프레임은 안정적으로 상기 내부 공간(281)을 분할하되 적절한 강도 및 내구성을 만족하도록 할 수 있다.
- [0076] 상기 캐비티프레임(286)은 상기 유리기판과 같은 재료를 적용할 수 있다.
- [0077] 상기 프레임관통홀(287)의 직경(R)은 30  $\mu\text{m}$  내지 500  $\mu\text{m}$ 일 수 있고, 50  $\mu\text{m}$  내지 450  $\mu\text{m}$  일 수 있으며, 100  $\mu\text{m}$  내지 400  $\mu\text{m}$  일 수 있다. 또한, 상기 프레임관통홀의 직경(R)과 상기 프레임관통홀의 관통방향의 길이(Lh)의 비율이 1:1 내지 10일 수 있고, 1:2 내지 8일 수 있다. 이러한 프레임관통홀 직경 및 길이 특징을 가질 경우 기계적, 열적, 전기적 특성이 개선된 패키징 기판을 제공할 수 있다.
- [0078] 상기 프레임관통홀(287)은 적어도 일부 또는 전부가 제1재료로 충전될 수 있고, 상기 제1재료는 금속, 유기재료, 세라믹 등일 수 있고, 예시적으로 구리, 에폭시, 실리카 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나일 수 있다. 이러한 재료로 상기 프레임관통홀을 충전하여 열 방출을 용이하게 하고 기계적 특성을 향상시킬 수 있다.
- [0079] 상기 프레임관통홀(287)은 또한 도금층 또는 코팅층을 포함할 수 있고, 상기 코팅층의 재료는 상기 제1재료일 수 있으며, 도금층의 경우 코어분배층(24)과 연결될 수도 있다.
- [0080] 상기 프레임관통홀(287)은 복수 개 포함될 수 있고, 상기 캐비티프레임(286)의 폭 방향과 수직한 방향으로 소정 간격을 가지며 정렬되게 배치될 수 있고, 불규칙한 간격을 가질 수도 있다. 상기 프레임관통홀들 간 일정한 간격을 가질 경우, 일 프레임관통홀과 이와 인접한 프레임관통홀 간의 간격(Dh)은 상기 프레임관통홀의 직경 대비 1배 이상일 수 있고, 1배 내지 10배 일 수 있고, 2배 내지 5배 일 수 있다. 이러한 간격을 가질 경우 기계적, 열적, 전기적 특성이 개선된 패키징 기판을 제공할 수 있다.
- [0081] 상기 프레임관통홀(287)은 관통방향과 수직한 단면의 형상이 원형, 타원형, 다각형 등일 수 있고, 예시적으로 원형일 수 있다.
- [0082] 상기 프레임관통홀(287)은 관통방향과 수직한 단면의 형상이, 관통방향 전역에서 동일할 수 있고, 중심에서 최소면적을 갖고 외부로 향할수록 증가할 수 있다.
- [0083] 상기 유리기판(21)은 예를 들어 보로실리케이트 유리기판, 무알카리 유리기판 등이 적용될 수 있으나, 이에 반드시 한정되는 것은 아니다.
- [0084] 상기 유리기판(21)은 상기 제1구역(221)에서 측정된 두께인 제1두께(211)가 1,500  $\mu\text{m}$  이하일 수 있고 300  $\mu\text{m}$  내지 1,200  $\mu\text{m}$  일 수 있으며, 350  $\mu\text{m}$  내지 900  $\mu\text{m}$ 일 수 있고, 350  $\mu\text{m}$  내지 700  $\mu\text{m}$ 일 수 있다. 보다 얇은 패키징 기판을 형성하는 것이 전기적 신호 전달을 보다 효율화할 수 있다는 점에서 유리하나, 지지체로서의 역할도 해야 하므로 상기 두께를 적용하는 것이 바람직하다.
- [0085] 상기 유리기판(21)의 상기 제2구역(222)의 두께인 제2두께(212)는 상기 제1두께의 80 % 이하일 수 있고, 20 %



내지 80 %일 수 있으며, 30 % 내지 70 %일 수 있다. 구체적으로, 상기 제2두께가 1,000  $\mu\text{m}$  이하일 수 있고, 700  $\mu\text{m}$  이하일 수 있으며, 500  $\mu\text{m}$  이하일 수 있다. 또한 상기 제2두께는 100  $\mu\text{m}$  내지 500  $\mu\text{m}$  일 수 있고, 100  $\mu\text{m}$  내지 350  $\mu\text{m}$ 일 수 있다. 또한, 상기 제1구역(221)과 제2구역의 두께 차이는 캐비티소자(40)의 두께보다 큰 것일 수 있다. 이러한 두께로 제2부분의 유리기관을 적용하는 경우 보다 효율적이고 안정적으로 캐비티구조를 형성할 수 있다.

- [0086] 상기 유리기관(21)의 두께는 유리기관 상에 위치하는 전기전도성층 등의 두께를 제외한 유리기관 자체의 두께를 의미한다.
- [0087] 상기 내부 공간(281)의 높이는 50  $\mu\text{m}$  내지 500  $\mu\text{m}$ 일 수 있고, 150  $\mu\text{m}$  내지 450  $\mu\text{m}$ 일 수 있으며, 250  $\mu\text{m}$  내지 400  $\mu\text{m}$  일 수 있다.
- [0088] 상기 코어비아(23)는 상기 유리기관(21)의 미리 정해진 영역을 제거하는 방식으로 형성될 수 있고, 구체적으로 물리적 및/또는 화학적인 방법으로 판형 유리를 식각하여 형성된 것일 수 있다.
- [0089] 도 5를 참고하면, 상기 코어비아(23)는, 상기 제1면과 접하는 제1개구부(233); 상기 제2면과 접하는 제2개구부(234); 및 상기 제1개구부와 상기 제2개구부를 연결하는 전체 코어비아에서 그 내경이 가장 좁은 구역인 최소내경부(235);를 포함할 수 있다.
- [0090] 상기 제1개구부의 직경인 제1개구부직경(CV1)과 상기 제2개구부의 직경인 제2개구부직경(CV2)은 실질적으로 다를 수 있고, 상기 제1개구부직경과 상기 제2개구부직경은 그 직경이 실질적으로 같을 수 있다. 직경이 실질적으로 다른 전자의 경우, 상기 코어비아(23)를 단면에서 본 형태가 실질적으로 사각형의 형태로, 전체적으로 원기둥 형태의 코어비아이거나, 유리기관의 두께를 기준으로 중앙 부분에서 코어비아의 내경이 다소 좁아지는 전체적으로 배럴 형태의 코어비아일 수 있다. 직경이 실질적으로 같은 후자의 경우, 두 개의 개구부(CV1, CV2) 중 어느 하나가 다른 하나보다 더 작은 직경을 가지며 실질적으로 그 단면이 사다리꼴인 잘린원뿔형태의 코어비아일 수 있다.
- [0091] 상기 제1개구부직경(CV1)과 제2개구부직경(CV2)은 각각 150  $\mu\text{m}$  이하일 수 있고, 40  $\mu\text{m}$  내지 200  $\mu\text{m}$ 일 수 있고, 70  $\mu\text{m}$  내지 120  $\mu\text{m}$ 일 수 있다.
- [0092] 상기 코어비아(23)가 비아의 적어도 일부에 좁아지는 구역이 있는 경우, 좁아진 최소내경부(CV3)의 크기가 제1개구부직경(CV1)과 제2개구부직경(CV2) 중에서 큰 것을 기준으로 50 % 내지 99 %의 크기일 수 있고, 70 % 내지 95 %의 크기일 수 있다. 이러한 범위로 좁아진 내경의 크기를 갖는 경우 전기전도성층 형성 등이 보다 원활하게 진행될 수 있다.
- [0093] 상기 최소내경부(CV3)의 평균 직경은 구체적으로 50  $\mu\text{m}$  내지 95  $\mu\text{m}$ 일 수 있고, 55  $\mu\text{m}$  내지 85  $\mu\text{m}$ 일 수 있으며, 60  $\mu\text{m}$  내지 70  $\mu\text{m}$ 일 수 있다.
- [0094] 상기 제1개구부직경(CV1)과 상기 제2개구부직경(CV2) 중에서 큰 것인 대상개구부는 그 평균 직경이 70  $\mu\text{m}$  내지 120  $\mu\text{m}$ 일 수 있고, 80  $\mu\text{m}$  내지 105  $\mu\text{m}$ 일 수 있다.
- [0095] 상기 최소내경부(CV3)가 위치하는 지점이 상기 코어비아(23) 길이 전체를 100 %로 보았을 때, 상기 제1개구부를 기준으로 40 % 내지 60 % 지점에 위치할 수 있고, 45 % 내지 55 % 지점에 위치할 수 있다. 이렇게 코어비아 길이 전체를 기준으로 상기 최소내경부가 위에서 설명한 위치에 존재하는 경우, 패키징 기관의 전기전도성층 설계와 전기전도성층 형성 과정이 보다 용이할 수 있다.
- [0096] 상기 제1개구부직경(CV1)과 상기 제2개구부직경(CV2) 중 큰 것에서 측정한 전기전도성층의 두께는 코어비아 중에서 최소내경을 갖는 부분(CV3) 상에 형성된 전기전도성층의 두께와 같거나 두꺼울 수 있다.
- [0097] 상기 코어비아(23)는 상기 유리기관(21)의 단위면적(1 cm $\times$ 1 cm)을 기준으로 100 개 내지 3000 개가 위치할 수 있고, 100 개 내지 2500 개가 위치할 수 있으며, 225 개 내지 1024 개가 위치할 수 있다. 이러한 피치 조건을 만족하는 경우, 전기전도성층 등의 형성과 패키징 기관의 성능을 향상시킬 수 있다.
- [0098] 상기 코어비아(23)는 상기 유리기관(21)에 1.2 mm 이하의 피치로 위치할 수 있고, 0.12 mm 내지 1.2 mm의 피치로 위치할 수 있으며, 0.3 mm 내지 0.9 mm의 피치로 위치할 수 있다. 이러한 경우, 유리기관의 기계적 물성을 일정 수준 이상으로 유지하면서 전기전도성층 등을 형성하기에 유리하다.
- [0099] 도 3을 참고하면, 상기 코어분배층(24)은 상기 유리기관(21)의 제1면과 제2면을 코어비아를 통해 전기적으로 연결하는 전기전도성층인 코어분배패턴(241)과 상기 코어분배패턴을 감싸는 코어절연층(223)을 포함할 수 있다.

- [0100] 상기 코어층(22)은 그 내부에 코어비아(23)를 통해 전기전도성층이 형성되어 유리기관(21)을 가로지르는 전기적 통로로써 역할 하며, 비교적 짧은 거리로 유리기관의 상부와 하부를 연결하여 보다 빠른 전기적 신호 전달과 저 손실의 특성을 가질 수 있다.
- [0101] 상기 코어분배패턴(241)은 상기 유리기관의 제1면(213)과 제2면(214)을 코어비아(23)를 통해 전기적으로 연결하는 패턴으로, 구체적으로 상기 제1면(213)의 적어도 일부 상에 위치하는 전기전도성층인 제1면분배패턴(미도시)과 상기 제2면(214)의 적어도 일부 상에 위치하는 전기전도성층인 제2면분배패턴(미도시), 그리고 상기 제1면분배패턴과 상기 제2면분배패턴을 상기 코어비아(23)를 통해 서로 전기적으로 연결하는 전기전도성층인 코어비아분배패턴(미도시)을 포함할 수 있다. 상기 전기전도성층들은 예를 들어 구리도금층이 적용될 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0102] 도 1, 2를 참고하면, 상기 유리기관(21)은 상부와 하부에 각각 반도체소자(30)와 메인보드(10)를 연결하는 중간 역할, 중개 역할을 하고, 상기 코어비아(23)는 이들의 전기적 신호를 전달하는 통로로 역할하기에 원활한 신호 전달을 한다.
- [0103] 상기 제1면(213) 상에는 상부층(26)이 위치할 수 있다. 상기 상부층은 상부분배층(25)과 상기 상부분배층 상에 위치하는 상면접속층(27)을 포함할 수 있으며, 상기 상부층(26)의 가장 윗면은 반도체소자부의 접속전극이 직접 맞닿을 수 있는 개구부가 형성된 커버층(60)에 의해 보호될 수 있다.
- [0104] 도 3을 참고하면, 상기 상부분배층(25)은 상기 제1면 상에 위치하는 상부절연층(253); 미리 정해진 패턴을 가지며 상기 코어분배층(24)과 그 적어도 일부가 전기적으로 연결되는 전기전도성층으로 상기 상부절연층에 내장되는 상부분배패턴(251)을 포함할 수 있다.
- [0105] 상기 상부절연층(253)은 반도체 소자나 패키징 기관에 절연체층으로 적용하는 것이라면 적용 가능하고, 예를 들어 필러가 포함된 에폭시계 수지 등이 적용될 수 있으나, 이에 반드시 한정되는 것은 아니다.
- [0106] 상기 절연체층은 코팅층을 형성하고 경화하는 방식으로 형성될 수도 있고, 미경화 또는 반경화된 상태로 필름화된 절연체필름을 상기 코어층에 라미네이션 하고 경화하는 방법으로 형성될 수도 있다. 이 때, 감압 라미네이션 방법 등을 적용하면 코어비아 내부의 공간까지 상기 절연체가 함입되어 효율적인 공정 진행이 가능하다. 또한, 복층의 절연체층을 적층하여 적용하더라도 절연체층 사이에 실질적인 구분이 어려울 수 있으며, 복수의 절연체층들을 통칭하여 상부절연층이라 칭한다. 또한, 코어절연층(223)과 상부절연층(253)은 동일한 절연재료가 적용될 수 있고, 이러한 경우 그 경계가 실질적으로 구분되지 않을 수 있다.
- [0107] 상기 상부분배패턴(251)은 미리 설정된 형태로 상기 상부절연층(253) 내에 위치하는 전기전도성층을 의미하며, 예를 들어 빌드-업 레이어 방식으로 형성될 수 있다. 구체적으로, 절연체층을 형성하고, 절연체층의 불필요한 부분을 제거한 후 구리도금 등의 방식으로 전기전도성층을 형성하고, 선택적으로 전기전도성층 중 불필요한 부분을 제거한 후, 이 전기전도성층 상에 다시 절연체층을 형성하고, 다시 불필요한 부분을 제거한 후 도금 등의 방식으로 전기전도성층을 형성하는 방식을 반복하여, 의도하는 패턴으로 수직 또는 수평 방향으로 전기전도성층이 형성된 상부분배패턴(251)을 형성할 수 있다.
- [0108] 상기 상부분배패턴(251)은 상기 코어층(22)과 반도체소자부(30)의 사이에 위치하기 때문에, 반도체소자부와 전기적 신호의 전달이 원활하게 진행되고 의도하는 복잡한 패턴이 충분히 수용될 수 있도록, 적어도 그 일부에 미세패턴을 포함하도록 형성할 수 있다. 이 때, 미세패턴이라 함은, 폭과 간격이 각각 4  $\mu\text{m}$  미만인 것일 수 있고, 3.5  $\mu\text{m}$  이하인 것일 수 있으며, 3  $\mu\text{m}$  이하인 것일 수 있고, 2.5  $\mu\text{m}$  이하인 것일 수 있으며, 1 내지 2.3  $\mu\text{m}$  인 것일 수 있다(이하, 미세패턴에 대한 설명은 동일함).
- [0109] 상부분배패턴(251)에 미세패턴이 포함되도록 형성하기 위해, 구현예에서는 적어도 두 가지 이상의 방법을 적용한다. 그 하나는, 패키징 기관으로 유리기관(21)을 적용한다. 상기 유리기관은 표면 조도(Ra)가 10 옴스트롬 이하로 상당히 평탄한 표면 특성을 가질 수 있고, 따라서 미세패턴 형성에 미치는 지지체기관 표면 모폴로지의 영향을 최소화할 수 있다. 다른 하나는, 상기 절연체의 특성에 있다. 상기 절연체의 경우 레진과 함께 필러 성분을 함께 적용하는 경우가 많은데, 상기 필러는 실리카 입자와 같은 무기계 입자가 적용될 수 있다. 무기계 입자가 필러로 절연체에 적용되는 경우, 이 무기계 입자의 크기가 미세패턴 형성 가부에 영향을 미칠 수 있는데, 구현예에서 적용하는 절연체는 그 평균직경이 150 nm 이하의 입자형 필러를 적용하고, 구체적으로 평균직경이 1 내지 100 nm인 입자형 필러를 포함한다. 이러한 특징은, 절연체에 필요한 물성을 일정 수준 이상으로 유지하면서 수 마이크로미터 단위의 폭을 갖는 전기전도성층 형성에 절연체 자체가 미치는 영향을 최소화하고, 미세한 표면 모폴로지로 그 표면 상에 우수한 부착력을 갖는 미세패턴을 형성하도록 돕는다.

- [0110] 상기 상면접속층(27)은 상기 상부분배패턴(251)과 그 적어도 일부가 전기적으로 연결되며 상기 상부절연층(253)에 위치하는 상면연결패턴(272)과 상기 반도체소자부(30)와 상기 상면연결패턴(272)을 전기적으로 연결하는 상면접속전극(271)을 포함한다. 상기 상면연결패턴(272)은 상부절연층(253)의 일면 상에 위치할 수도 있고, 적어도 그 일부가 상부절연층 상으로 노출되며 박혀(embedded) 있을 수도 있다. 예를 들어, 상기 상면연결패턴이 상기 상부절연층의 일면 상에 위치하는 경우에는 도금 등의 방식으로 상기 상부절연층을 형성할 수 있고, 상기 상면연결패턴이 그 일부가 상부절연층 상으로 노출되며 박혀있는 경우는 구리도금층 등을 형성한 후 표면연마, 표면식각 등의 방법으로 절연층 또는 전기전도성층의 일부가 제거된 것일 수 있다.
- [0111] 상기 상면연결패턴(272)은 위에서 설명한 상부분배패턴(251)과 같이 미세패턴을 적어도 그 일부에 포함할 수 있다. 이렇게 미세패턴을 포함하는 상면연결패턴(272)은 보다 다수개의 소자들을 좁은 면적 하에서도 전기적으로 연결할 수 있도록 하여, 소자간 또는 외부와의 전기적 신호 연결을 보다 원활하게 하며, 보다 집적화된 패키징이 가능하다.
- [0112] 상기 상면접속전극(271)은 상기 반도체소자부(30)와 단자 등으로 직접 연결될 수도 있고, 솔더볼과 같은 소자연결부(51)를 매개로 연결될 수도 있다.
- [0113] 상기 캐비티부(28)는 상기 제2구역(222)의 위 및/또는 아래에 위치하며 상기 코어분배층과 전기적으로 연결되는 캐비티분배층(282)과 캐비티소자(40)가 위치하는 내부 공간(281)을 포함한다.
- [0114] 도 9를 참고하면, 상기 캐비티부(28)는 상기 캐비티프레임(286)에 의해 상기 내부 공간(281)이 복수 개의 공간으로 분할될 수 있다.
- [0115] 구체적으로, 상기 제2구역(222)은 상기 제1구역(221)과 비교하여 유리기관의 두께가 더 얇고, 그 두께의 차이로 인해 형성되는 내부 공간(281)에는 캐비티소자(40)가 위치할 수 있다. 또한, 상기 유리기관(21)에 형성되는 코어비아와 코어분배층은 캐비티소자와 외부소자를 연결하는 전기적인 연결구조로 역할한다.
- [0116] 상기 캐비티부(28)는 실질적으로 원형, 삼각형, 사각형, 육각형, 팔각형, 십자가형 등 그 형태에는 한정이 없으나, 본 발명에서는 사각형을 예시적으로 설명한다.
- [0117] 도 6, 7을 참고하면, 상기 캐비티부(28)의 일 옆면을 캐비티 제1옆면(281a)이라 칭하고, 상기 캐비티 제1옆면과 다른 면을 캐비티 제2옆면(281b)라고 칭하면, 상기 캐비티 제1옆면(281a)과 상기 캐비티 제2옆면(281b) 중 적어도 하나에 상기 지지부(285)가 위치할 수 있다.
- [0118] 또한, 서로 이웃하는 캐비티 제1옆면(281a)과 캐비티 제2옆면(281b)에 각각 제1옆면지지부(미도시)와 제2옆면지지부(미도시)가 위치할 수 있다.
- [0119] 상기 제1옆면지지부(미도시)와 상기 제2옆면지지부(미도시)는 상기 캐비티소자(40)를 지지하며 그 위치를 고정하는 역할을 한다. 상기 지지부를 1개만 적용하는 것과 비교하여, 상기 지지부를 서로 이웃하게 2 개 이상 적용하는 것이 캐비티소자의 위치를 보다 견고하게 고정할 수 있다.
- [0120] 삭제
- [0121] 상기 지지부(285)는 스프링과 같이 탄성을 갖는 재료가 적용될 수 있고, 구체적으로 상기 지지부는 상기 유리기관(21)과 동일한 재료일 수 있으며, 상기 캐비티소자(40)에 의해서 상기 지지부에 가해지는 힘의 반대 방향으로 탄성력을 갖는 유리스프링 지지부일 수 있다.
- [0122] 상기 캐비티소자(40)는 그 형태가 대체로 원통형, 직육면체형 또는 다각형일 수 있다.
- [0123] 상기 캐비티 제1옆면(281a)과 캐비티 제2옆면(281b)이 서로 접하는 지점에서의 각도는 45 내지 135 도일 수 있고, 75 내지 105도 일 수 있으며, 실질적으로 90 도일 수 있다. 상기 캐비티 제1옆면(281a)과 캐비티 제2옆면(281b) 각각에 마련된 옆면지지부에 의해서, 캐비티 제1옆면(281a)과 캐비티 제1옆면(281a) 자체가 접하는 지점에서의 각도가 위와 같은 범위의 임의의 각도를 가지더라도 상기 캐비티소자(40)를 안정적으로 지지할 수 있다.
- [0124] 호 형태를 갖는 상기 제1옆면지지부(미도시)가 캐비티소자와 만나는 지점에서의 접선(제1접선)과 호 형태를 갖는 상기 제2옆면지지부(미도시)가 캐비티소자와 만나는 지점에서의 접선(제2접선)이 서로 만나는 지점(제1접선과 제2접선의 접점)에서의 제1접선과 제2접선 사이의 각도는 45 내지 135 도일 수 있고, 75 내지 105도 일 수 있으며, 실질적으로 90 도일 수 있다. 이러한 경우, 캐비티소자의 외형이 각진 경우는 물론 각진 형태가 아니더라도

라도 그 위치를 고정하기에 보다 유리할 수 있다.

- [0125] 상기 제1옆면지지부(미도시)의 최대 돌출부까지의 길이인 제1옆면지지부길이(CS1)는 상기 캐비티 제1옆면 길이(C1)를 100 %로 보았을 때, 15 % 이하일 수 있고, 10 % 이하일 수 있다. 또한, 상기 제1옆면지지부길이(CS1)는 상기 캐비티 제1옆면 길이(C1)를 100 %로 보았을 때, 1 % 이상일 수 있고, 3 % 이상일 수 있다.
- [0126] 상기 제2옆면지지부(미도시)의 최대 돌출부까지의 길이인 제2옆면지지부길이(CS2)는 상기 캐비티 제1옆면 길이(C2)를 100 %로 보았을 때, 15 % 이하일 수 있고, 10 % 이하일 수 있다. 또한, 상기 제2옆면지지부길이(CS2)는 상기 캐비티 제1옆면 길이(C2)를 100 %로 보았을 때, 1 % 이상일 수 있고, 3 % 이상일 수 있다.
- [0127] 상기 지지부(285)는 상기 유리기관(21)과 직접 연결되어 일체를 이루는 것일 수 있다. 이러한 경우, 유리기관의 식각을 통해 상기 지지부를 형성할 수 있기에, 보다 유리기관의 제조과정을 보다 단순화할 수 있고, 탄성력을 갖는 지지부의 물리적 특성이 대체로 유리기관과 유사하여 패키징 기관의 물성 제어에 보다 유리할 수 있다.
- [0128] 상기 지지부(285)는 상기 캐비티부의 옆면에서 도출되어 삽입되는 캐비티소자를 지지하는 역할을 하며, 구체적으로 캐비티부의 옆면의 일 지점에서 타 지점을 연결하는 호(arc) 형태를 갖는 것일 수 있고, 옆면의 일 말단에서 타 말단을 연결하는 호(arc) 형태를 갖는 것이 수 있다. 상기 지지부가 호 형태를 갖는 경우, 상기 지지부길이(CS1, CS2)는 상기 호 형태의 지지부의 중간 부분에서 측정될 수 있다.
- [0129] 상기 제1옆면지지부(미도시)의 가장 돌출된 위치에서 마주보는 상기 캐비티부의 옆면까지의 길이와 상기 제2옆면지지부(미도시)의 가장 돌출된 위치에서 마주보는 상기 캐비티부의 옆면까지의 길이는 각각 상기 캐비티부에 삽입되는 캐비티소자의 대응되는 위치에서의 길이와 같거나 10 % 이내로 작은 것일 수 있고, 총계는 0.1 % 내지 8 % 작은 것일 수 있다. 이러한 경우 캐비티소자를 상기 지지부가 안정적으로 고정하기에 보다 유리하다.
- [0130] 도 4를 참고하면, 상기 캐비티부(28)는 상기 캐비티소자(40)와 상기 코어분배층(24)을 전기적으로 연결하는 전기전도성층인 캐비티분배패턴(283)을 포함할 수 있으며, 상기 캐비티분배패턴(283)은 상기 제1구역과 상기 제2구역의 경계에 유리기관(21)의 두께방향면 상에 위치하는 전기전도성층인 측벽면패턴(283a)을 포함할 수 있다. 다만, 상기 측벽면패턴은 상기 지지부가 형성된 옆면은 제외한 면에 형성되는 것이 좋다.
- [0131] 상기 측벽면패턴(283a)은 전기적인 신호를 전달하는 역할과 함께 캐비티소자 등에 의하여 캐비티부(28)에 발생하는 열을 외부로 이동시키는 방열층으로도 기능할 수 있다.
- [0132] 구체적으로, 상기 캐비티분배층(282)은 상기 내부공간 내에 그 적어도 일부가 위치하는 캐비티소자(40)와 상기 코어분배층과 전기적으로 연결되는 전기전도성층인 캐비티분배패턴(283) 및/또는 측벽면패턴(283a)를 감싸는 절연층인 캐비티절연층(284)을 포함할 수 있다.
- [0133] 도 8을 참고하면, 상기 캐비티분배패턴(283)은 상기 패키징 기관에 형성되어 있는 것일 수 있고, 캐비티소자(40)의 전극(42, 접속전극) 등 단자 형태로 제공되는 것일 수도 있다.
- [0134] 상기 캐비티소자(40)는 트랜지스터를 포함할 수 있다. 상기 캐비티소자(40)로 메인보드(10)와 반도체소자부(30) 사이의 전기적인 신호를 적절한 수준으로 변환하는 역할을 하는 트랜지스터와 같은 소자가 적용되는 경우, 상기 패키징 기관(20)의 길목에 트랜지스터 등이 적용되는 형태가 되어, 보다 효율적이고 빠른 속도를 갖는 반도체장치(100)를 제공할 수 있다.
- [0135] 상기 캐비티소자(40)는 커패시터 등의 수동소자가 개별로 삽입되어 적용될 수 있고, 절연체층(캐비티소자 절연층, 46) 사이에 박혀(embedded) 있는 형태로 다수의 수동소자들이 포함된 소자그룹이 전극이 노출되도록 형성된 후 캐비티소자 내에 삽입될 수도 있다. 후자의 경우 패키징 기관 제조의 작업성을 보다 원활히 할 수 있고, 복잡한 소자들 사이 공간에 충분하고 신뢰도 높게 절연층이 위치하도록 하기에 보다 유리하다. 또한, 상기 캐비티소자의 전극과 접하는 제2구역의 제2코어비아(232)는 충전비아(283c)의 형태로 형성된 코어분배패턴을 가질 수 있다. 예를 들어, 제1구역의 제1코어비아(231) 상에 형성되는 코어분배패턴인 코어비아분배패턴(미도시)은 내부에 코어절연층이 채워지는 형태로 금속층과 같은 전기전도성층의 측면에서 보면 내부에 공간이 형성될 수 있는데, 위의 캐비티소자와 연결되는 코어비아의 경우, 이와 달리, 그 내부에 전기전도성층으로 채워진 충전비아의 형태를 가질 수 있다. 이러한 경우, 커패시터 등이 배치되는 캐비티소자의 전력 전달이 보다 원활해지고 패키징 기관의 특성을 보다 향상시킬 수 있다.
- [0136] 구체적으로, 상기 캐비티소자(40)는 그 하면에 형성된 접속전극(42)으로 직접 또는 하부층을 통해 메인보드(10)와 전기적으로 접속할 수 있다. 또한, 상기 캐비티소자는 그 상면에 형성된 접속전극을 통해 직접 또는 상부

층을 통해 반도체소자부(30)와 전기적으로 접속할 수 있다.

- [0137] 이렇게 상기 캐비티부(28)가 상기 제2구역의 위 또는 아래에 배치되는 경우, 캐비티소자의 양측에 존재하는 접속전극 중 적어도 하나의 접속전극을 상기 유리기관의 상부층 또는 하부층과 직접 연결하거나 반도체소자(30) 또는 메인보드(10)와 직접 연결할 수 있어서 보다 간단한 구조의 반도체 장치를 제공할 수 있다.
- [0138] 상기 메인보드(10)는 상기 코어층(22)의 상기 제2면(214)의 적어도 일부에 상에 위치하는 코어분배층인 제2면분배패턴(미도시)과 마더보드의 단자가 직접 연결될 수 있고, 솔더볼과 같은 보드연결부를 매개로 하여 전기적으로 연결될 수도 있다. 또한, 상기 제2면분배패턴(미도시)은 상기 코어층(22)의 하부에 위치하는 하부층(29)을 매개로 상기 메인보드(10)와 연결될 수도 있다.
- [0139] 도 4를 참고하면, 상기 하부층(29)은, 하부분배층(291)과 하면접속층(292)을 포함한다.
- [0140] 하부분배층(291)은 i) 상기 제2면(214)과 그 적어도 일부가 접하는 하부절연층(291b); 그리고 ii) 상기 하부절연층에 내장(매설)되어 미리 정해진 패턴을 가지는 것으로 상기 코어분배층과 그 적어도 일부가 전기적으로 연결되는 하부분배패턴(291a)을 포함한다.
- [0141] 하면접속층(292)은 i) 상기 하면연결패턴과 전기적으로 연결되는 하면접속전극(292a)을 포함하며, ii) 상기 하부분배패턴과 그 적어도 일부가 전기적으로 연결되며 상기 하부절연층의 일면 상에 적어도 그 일부가 노출되는 하면연결패턴(292b)을 더 포함할 수 있다.
- [0142] 상기 하면연결패턴(292b)은 마더보드(10)와 연결되는 부분으로 보다 효율적인 전기적 신호 전달을 위하여, 상기 상면연결패턴(272)과 달리 미세패턴보다 폭이 넓은 비미세패턴으로 형성될 수 있다.
- [0143] 상기 반도체소자부(30)와 상기 메인보드(10) 사이에 위치하는 패키징 기관(20)에는 상기 유리기관(21) 외에 실질적으로 추가적인 다른 기관을 적용하지 않는 것을 발명의 특징 중 하나로 한다.
- [0145] **패키징 기관의 제조방법**
- [0146] 구현예의 패키징 기관의 제조방법은,
- [0147] 유리기관의 제1면과 제2면의 미리 정해진 위치에 결함을 형성하는 준비단계;
- [0148] 식각액을 상기 결함이 형성된 유리기관에 가하여 코어비아가 형성된 유리기관을 마련하는 식각단계;
- [0149] 상기 코어비아가 형성된 유리기관의 표면을 도금하여 전기전도성층인 코어분배층을 형성하여 코어층을 제조하는 코어층제조단계; 그리고
- [0150] 상기 코어층의 일면 상에 절연층에 감싸인 전기전도성층인 상부분배층을 형성하는 상부층제조단계;를 포함하여, 위에서 설명한 패키징 기관을 제조한다.
- [0151] 상기 코어층제조단계는 상기 코어비아가 형성된 유리기관의 표면에 아민기를 갖는 나노입자를 포함하는 유무기 복합 프라이머층을 형성하여 전처리된 유리기관을 마련하는 전처리과정; 그리고 상기 전처리된 유리기관에 금속층을 도금하는 도금과정;을 포함할 수 있다.
- [0152] 상기 코어층제조단계와 상기 상부층제조단계 사이에는 절연층형성단계가 더 포함될 수 있다.
- [0153] 상기 절연층형성단계는 절연체필름을 상기 코어층 상에 위치시킨 후 감압라미네이션 하여 코어절연층을 형성하는 단계일 수 있다.
- [0154] 이하 패키징 기관의 제조방법을 구체적으로 설명한다.
- [0155] 1) 준비단계(유리결함 형성과정): 평탄한 제1면과 제2면을 갖는 유리기관을 준비하여, 코어비아 형성을 위해 미리 정해진 위치에 유리 표면에 결함(홈)을 형성한다. 상기 유리는 전자장치의 기관 등에 적용되는 유리기관이 적용될 수 있으며, 예를 들어 무알카리 유리기관, 보로실리케이트 유리기관 등이 적용될 수 있으나, 이에 한정되지 않는다. 시판 제품으로 코닝사, 쇼트사, AGC 등의 제조사가 제조한 제품이 적용될 수 있다. 이때, 유리기관의 일부가 제거되는 방식으로 캐비티부가 형성된 유리기관이 적용될 수 있고, 평탄한 유리기관을 접합하여 캐비티부를 갖는 유리기관이 적용될 수 있으며, 평평한 유리기관에 캐비티부에도 이하 설명하는 결함을 형성하여 코어비아와 캐비티부를 동시에 제조할 수도 있다. 또한, 상기 캐비티부의 제조와 동시에 또는 별도로 캐비티프레임, 프레임관통홀 및 지지부도 형성할 수 있다. 상기 결함(홈)의 형성에는 기계적인 식각, 레이저 조사 등의 방식이 적용될 수 있다.

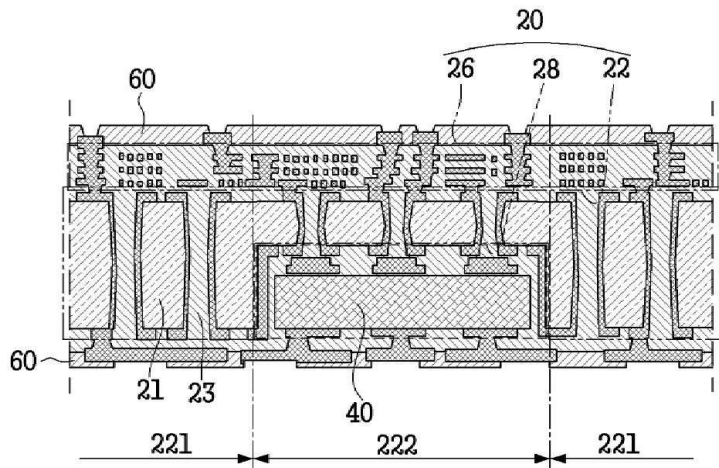
- [0156] 2-1) 식각단계(코어비아 형성단계): 결함(흠)이 형성된 유리기판은 물리적 또는 화학적인 에칭 과정을 통해 코어비아를 형성한다. 에칭 과정에서 유리기판은 결함 부분에 비아 등을 형성하며 동시에 유리기판의 표면도 동시에 식각될 수 있다. 이러한 유리 표면의 식각을 막기 위하여 마스크 필름 등을 적용할 수도 있으나, 마스크 필름을 적용하고 제거하는 과정의 번거로움 등을 고려하여 결함이 있는 유리기판 자체를 식각할 수 있으며, 이러한 경우 최초 유리기판의 두께보다 코어비아를 갖는 유리기판의 두께가 다소 얇아질 수 있다.
- [0157] 화학적인 에칭은 불산 및/또는 질산이 포함된 배스 내에 흠이 형성된 유리기판을 위치시키고, 초음파 처리 등을 가하여 진행될 수 있다. 이때, 상기 불산 농도는 0.5 M 이상일 수 있고, 1.1 M 이상일 수 있다. 상기 불산 농도는 3 M 이하일 수 있고, 2 M 이하일 수 있다. 상기 질산 농도는 0.5 M 이상일 수 있고, 1 M 이상일 수 있다. 상기 질산 농도는 2 M 이하일 수 있다. 상기 초음파 처리는 40 Hz 내지 120 Hz의 주파수로 진행될 수 있고, 60 Hz 내지 100 Hz의 주파수로 진행될 수 있다.
- [0158] 2-2) 캐비티부, 캐비티프레임 및 프레임관통홀의 형성단계: 상기 에칭 과정과 동시에 또는 별도로 상기 유리기판의 일부를 제거하여 캐비티부, 캐비티프레임 및 프레임관통홀을 형성한다. 구체적으로, 위에서 코어비아를 형성하기 위한 결함 외에 캐비티부, 프레임관통홀을 형성하기 위한 결함을 별도로 형성한다. 이후 상기 코어비아 형성을 위한 에칭과 동시에 또는 별도로 에칭 과정을 통해 제1구역보다 얇은 두께를 갖는 제2구역과, 캐비티프레임을 갖는 유리기판을 제조한다. 더욱이, 조사되는 레이저를 캐비티부 내부가 일부 제거되지 않도록 설정하는 방식으로 상기 식각과정에서 코어비아와 캐비티부 형성과 동시에 지지부도 함께 형성할 수 있다.
- [0159] 3-1) 코어층제조단계: 유리기판 상에 전기전도성층을 형성한다. 상기 전기전도성층은 대표적으로 구리금속을 포함하는 금속층이 적용될 수 있으나, 이에 한정되는 것은 아니다.
- [0160] 유리의 표면(유리기판의 표면과 코어비아의 표면을 포함함)과 구리금속의 표면은 그 성질이 달라 부착력이 떨어지는 편이다. 구현예에서는 드라이 방식과 Wett 방식의 두 가지 방법으로 유리 표면과 금속 사이의 부착력을 향상시켰다.
- [0161] 드라이 방식은, 스퍼터링을 적용하는 방식, 즉 금속 스퍼터링으로 유리 표면과 코어비아 내경에 시드층을 형성하는 방식이다. 상기 시드층의 형성에는 티타늄, 크롬, 니켈과 같은 이중 금속이 구리 등과 함께 스퍼터링될 수 있으며, 이러한 경우 유리의 표면 모폴로지와 금속 입자가 상호작용하는 앵커 효과 등에 의해 유리-금속 부착력이 향상되는 것으로 생각된다.
- [0162] Wett 방식은 프라이머 처리를 하는 방식으로, 아민 등의 작용기를 갖는 화합물질로 전처리를 하여 프라이머층을 형성하는 방식이다. 의도하는 부착력의 정도에 따라 실란 커플링제로 전처리를 한 후 아민 작용기를 갖는 화합물 또는 입자로 프라이머 처리를 할 수 있다. 위에서도 언급한 바와 같이, 구현예의 지지체기판은 미세패턴을 형성할 수 있을 정도의 고성능일 것을 필요로 하고, 이는 프라이머 처리 후에도 유지되어야 한다. 따라서, 이러한 프라이머가 나노입자를 포함하는 경우에는, 평균 직경이 150 nm 이하의 크기를 갖는 나노입자가 적용되는 것이 좋으며, 예를 들어 아민기를 갖는 입자는 나노입자가 적용되는 것이 좋다. 상기 프라이머층은 예시적으로 MEC사의 CZ 시리즈 등에서 제조하는 접합력개선제가 적용되어 형성될 수 있다.
- [0163] 상기 시드층/프라이머층은 전기전도성층 형성이 불필요한 부분을 제거한 상태로 또는 제거하지 않은 상태로 선택적으로 전기전도성층이 금속층을 형성할 수 있다. 또한, 상기 시드층/프라이머층(21c)는 전기전도성층의 형성이 필요한 부분 또는 불필요한 부분을 선택적으로 금속 도금에 활성화된 상태로 또는 불활성화된 상태로 처리하여 이후 공정을 진행할 수 있다. 예를 들어 상기 활성화 또는 불활성화 처리는 일정한 파장의 레이저 등의 광조사 처리, 약품처리 등이 적용될 수 있다. 금속층의 형성에는 반도체 소자 제조에 적용되는 구리도금 방법 등이 적용될 수 있으나, 이에 한정되는 것은 아니다.
- [0164] 상기 금속도금 시에 도금액의 농도, 도금 시간, 적용하는 첨가제의 종류 등의 여러 변수들을 조절하여 형성되는 전기전도성층의 두께를 조절할 수 있다.
- [0165] 상기 코어분배층의 일부가 불필요한 경우에는 제거될 수 있으며, 시드층이 일부 제거되거나 불활성화 처리된 후에 금속도금을 진행하여 미리 정해진 패턴으로 전기전도성층을 형성하여 코어분배층의 식각층이 형성될 수도 있다.
- [0166] 상기 코어분배층을 형성하는 과정에서 상기 지지부에는 별도의 전기전도성층이 형성되거나 형성되지 않도록 조절할 수 있다.
- [0167] 또한, 상기 캐비티소자의 전극과 연결되는 코어비아(제2구역 코어비아, 232)의 적어도 일부는 보다 효율적인 전





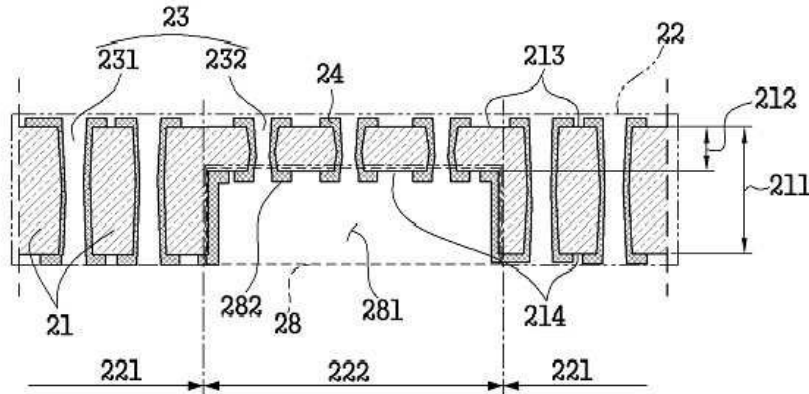


도면2

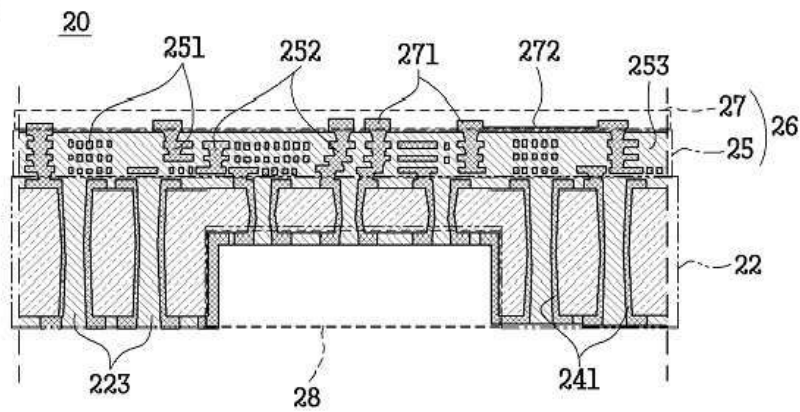


도면3

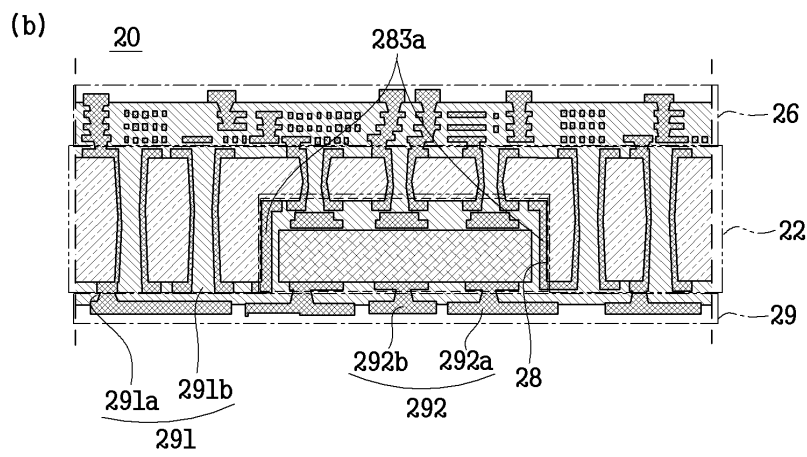
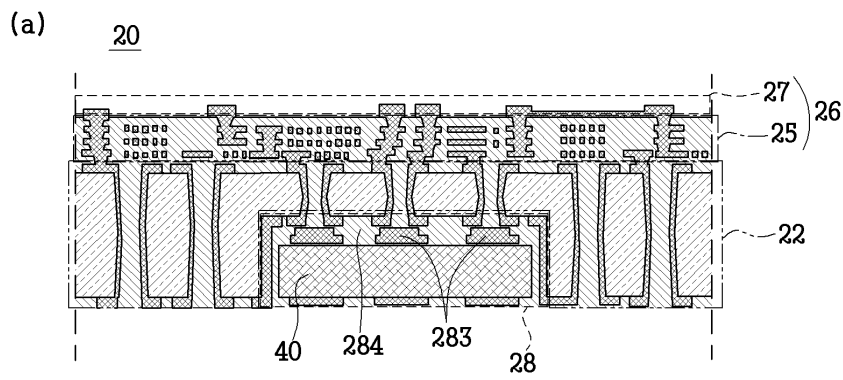
(a)



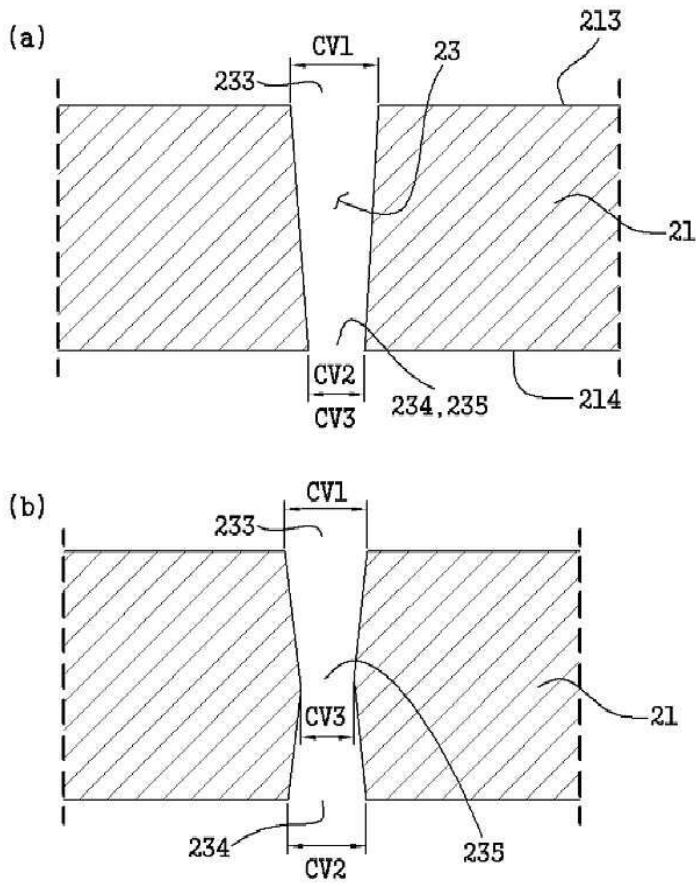
(b)



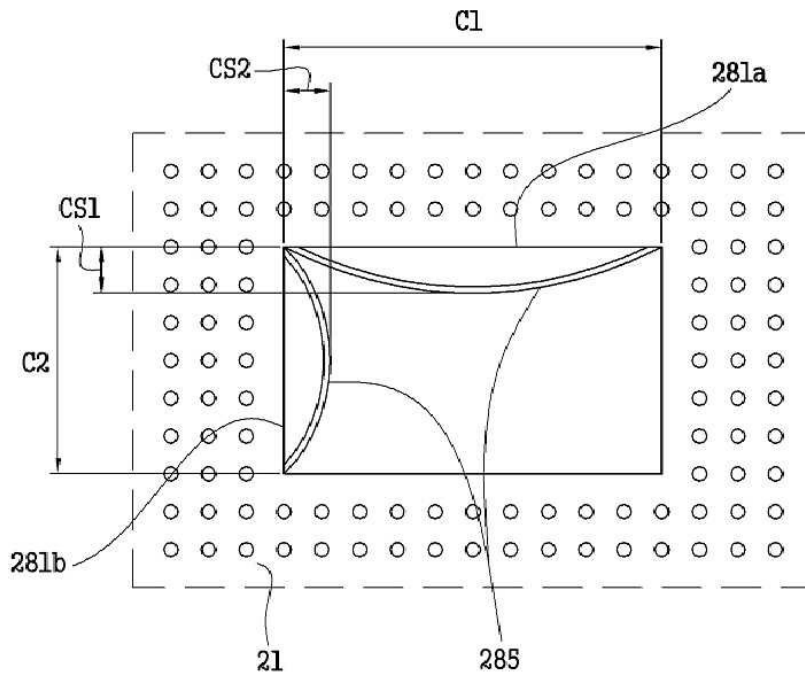
도면4



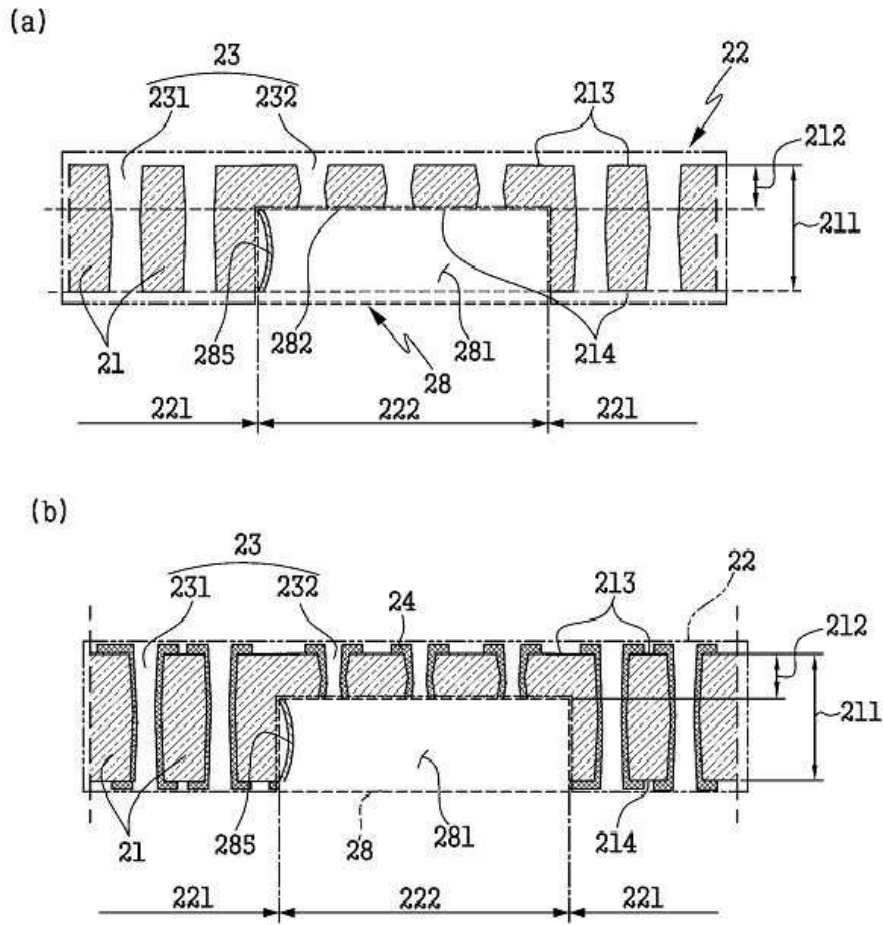
도면5



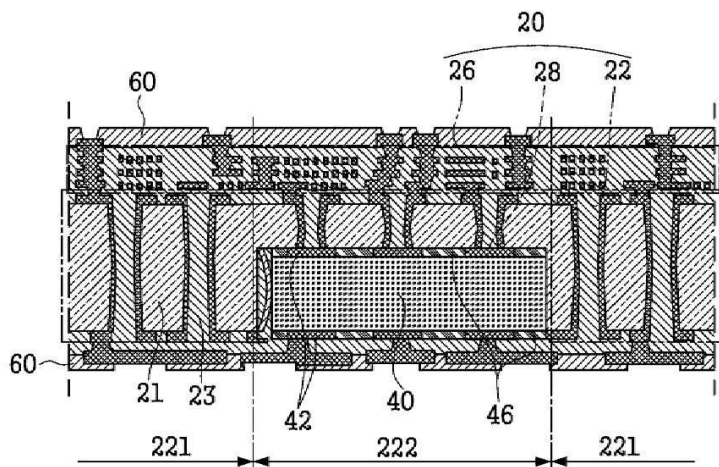
도면6



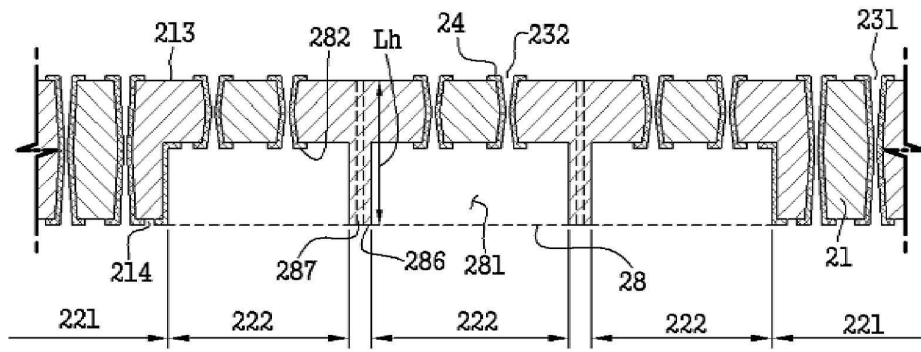
도면7



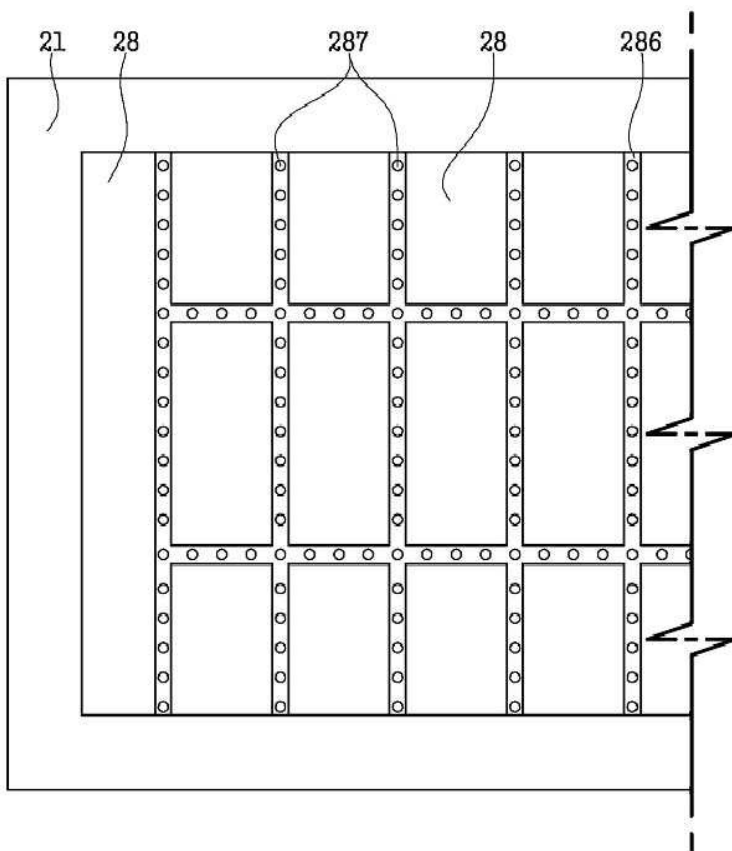
도면8



도면9



도면10



도면11

