



(12) 发明专利申请

(10) 申请公布号 CN 101971488 A

(43) 申请公布日 2011.02.09

(21) 申请号 200980108994.6

(51) Int. Cl.

(22) 申请日 2009.02.12

H03F 1/52 (2006.01)

(30) 优先权数据

H03F 3/45 (2006.01)

12/070,280 2008.02.15 US

G11C 7/10 (2006.01)

H03K 17/082 (2006.01)

(85) PCT申请进入国家阶段日

2010.09.14

(86) PCT申请的申请数据

PCT/US2009/000881 2009.02.12

(87) PCT申请的公布数据

W02009/102448 EN 2009.08.20

(71) 申请人 阿纳洛格装置公司

地址 美国马萨诸塞州

(72) 发明人 D·T·博伊考 C·C·陈

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 申发振

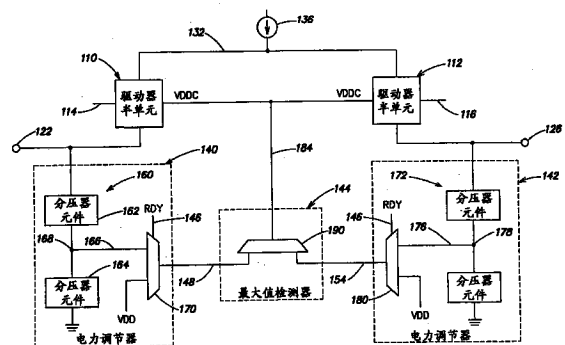
权利要求书 3 页 说明书 7 页 附图 8 页

(54) 发明名称

具有过压保护的差分电流输出驱动器

(57) 摘要

提供一种差分电流输出驱动器和用于差分电流输出驱动器电路的过压保护方法。该输出驱动器包括可由电源电压操作的差分电流输出驱动电路,还包括在差分电流结构中的第一和第二驱动器晶体管,和第一和第二输出焊盘,以及一过电压保护电路,配置成响应于在第一和第二输出焊盘中至少之一上的电压、且电源电压不存在而产生保护电压,且将保护电压施加至差分电流输出驱动器电路的至少一个晶体管。



1. 一种集成电路中的输出驱动器,包括:

能够由电源电压操作的差分电流输出驱动器电路,其包括在差分电流构造中的第一和第二驱动器晶体管和第一和第二输出焊盘;以及

过电压保护电路,配置成响应于在第一和第二输出焊盘至少之一上的电压,且电源电压不存在而产生保护电压,并将该保护电压施加至所述差分电路输出驱动器电路的至少一个晶体管。

2. 权利要求 1 所述的输出驱动器,其中所述过电压保护电路包括:

第一驱动器电力调节器,配置成响应于电源电压不存在而提供第一部分焊盘电压作为第一保护电压;

第二驱动器电力调节器,配置成响应于电源电压不存在而提供第二部分焊盘电压作为第二保护电压;

最大值检测器,配置成选择第一和第二保护电压中的最大值,并将所选最大值提供至所述差分电流输出驱动器电路作为复合保护电压。

3. 权利要求 2 所述的输出驱动器,其中所述第一驱动器电力调节器配置成响应于在第一输出焊盘上的电压而产生第一部分焊盘电压,且其中第二驱动器电力调节器配置成响应于在第二输出焊盘上的电压而产生第二部分焊盘电压。

4. 权利要求 2 所述的输出驱动器,其中每一驱动器电力调节器包括:电压分压器电路,用于从所述输出焊盘上的电压产生所述部分焊盘电压;以及切换电路,用于响应于电源电压的不存在而提供所述部分焊盘电压作为保护电源电压。

5. 权利要求 2 所述的输出驱动器,其中每一驱动器电力调节器包括:电压降元件,用于从所述输出焊盘上的电压产生所述部分焊盘电压;以及切换电路,用于响应于电源电压的不存在而提供所述部分焊盘电压作为保护电源电压。

6. 权利要求 2 所述的输出驱动器,其中每一驱动器电力调节器配置成产生部分焊盘电压,由此所述输出焊盘上的特定最大电压与部分焊盘电压之间的差异不会使所述差分电流输出驱动器电路中的晶体管过载。

7. 权利要求 2 所述的输出驱动器,其中所述第一驱动器电力调节器配置成响应于电源电压的不存在而提供第一部分焊盘电压作为第一保护电源电压,并响应于电源电压的存在而提供电源电压作为第一保护电源电压,其中第二驱动器电力调节器配置成响应于电源电压的不存在而提供第二部分焊盘电压作为第二保护电源电压,并响应于电源电压的存在而提供电源电压作为第二保护电源电压,且其中所述最大值检测器配置成选择第一和第二保护电源电压中的最大值并将所选最大值提供至所述差分电流输出驱动器作为复合保护电源电压。

8. 权利要求 2 所述的输出驱动器,其中所述第一驱动器电力调节器配置成响应于电源电压的不存在而提供第一部分焊盘电压作为第一反就绪信号,并响应于电源电压的存在而提供零电压作为第一反就绪信号,其中第二驱动器电力调节器配置成响应于电源电压的不存在而提供第二部分焊盘电压作为第二反就绪信号,并响应于电源电压的存在而提供零电压作为第二反就绪信号,且其中所述最大值检测器配置成选择第一和第二反就绪信号中的最大值并将所选最大值提供至所述差分电流输出驱动器作为复合反就绪信号。

9. 权利要求 2 所述的输出驱动器,其中所述第一驱动器电力调节器配置成当电源电压

的不存在时提供第一部分焊盘电压作为第一保护阱电压,并且当电源电压存在时提供电源电压作为第一保护阱电压,其中第二驱动器电力调节器配置成当电源电压不存在时提供第二部分焊盘电压作为第二保护阱电压,并响应于电源电压的存在而提供电源电压作为第二保护阱电压,且其中所述最大值检测器配置成选择第一和第二保护阱电压中的最大值并将所选最大值提供至所述差分电流输出驱动器作为复合保护阱电压。

10. 权利要求 1 所述的输出驱动器,其中所述差分电流输出驱动器电路包括一个或更多个要保护的晶体管,且其中该复合保护电源电压耦接至要保护的晶体管的一个或更多个端子。

11. 一种用于集成电路中的差分电流输出驱动器电路的过电压保护的方法,所述差分电流输出驱动器电路能够由电源电压操作并包括第一和第二输出焊盘,该方法包括:

响应于至少一个输出焊盘上的电压且电源电压不存在而产生保护电压;以及
将所述保护电压施加至所述差分电流输出驱动器电路的至少一晶体管。

12. 权利要求 11 所述的方法,其中产生保护电压包括:

响应于在所述第一输出焊盘上的电压而产生第一部分焊盘电压;
响应于所述电源电压的不存在而提供所述第一部分焊盘电压作为第一保护电压;
响应于在所述第二输出焊盘上的电压而产生第二部分焊盘电压;
响应于所述电源电压的不存在而提供所述第二部分焊盘电压作为第二保护电压;
选择所述第一和第二保护电源电压的最大值;以及
将所选的最大值提供至所述差分电流输出驱动器电路作为复合保护电压。

13. 权利要求 12 所述的方法,其中产生第一部分焊盘电压和产生第二部分焊盘电压每个都包括:产生部分焊盘电压由此在所述输出焊盘上的特定最大电压与部分焊盘电压之间的差异不会使差分电流输出驱动器电路中的晶体管过载。

14. 权利要求 11 所述的方法,其中所述差分电流输出驱动器电路包括一个或更多个要保护的晶体管,且其中所述复合保护电源电压施加至要保护的晶体管的一个或更多个端子。

15. 权利要求 11 所述的方法,其中产生保护电压包括:

响应于在所述第一输出焊盘上的电压而产生第一部分焊盘电压;
响应于电源电压的不存在而提供所述第一部分焊盘电压作为第一保护电源电压;
响应于电源电压的存在而提供所述电源电压作为第一保护电源电压;
响应于在所述第二输出焊盘上的电压而产生第二部分焊盘电压;
响应于电源电压的不存在而提供所述第二部分焊盘电压作为第二保护电源电压;
响应于电源电压的存在而提供所述电源电压作为第二保护电源电压;
选择第一和第二保护电源电压中的最大值;以及
将所选最大值提供至所述差分电流输出驱动器作为复合保护电源电压。

16. 权利要求 12 所述的方法,其中产生所述第一部分焊盘电压包括:划分第一输出焊盘上的电压以提供所述第一部分焊盘电压,且其中产生所述第二部分焊盘电压包括:划分第二输出焊盘上的电压以提供所述第二部分焊盘电压。

17. 权利要求 12 所述的方法,其中产生所述第一部分焊盘电压包括:下降第一输出焊盘上的电压以提供所述第一部分焊盘电压,且其中产生所述第二部分焊盘电压包括:下降

第二输出焊盘上的电压以提供所述第二部分焊盘电压。

18. 权利要求 11 所述的方法,其中产生所述保护电压包括:产生所述保护电压以使得在所述输出焊盘之一上的特定最大电压与所述保护电压之间的差异不会使所述差分电流输出驱动器电路中的晶体管过载。

19. 权利要求 11 所述的方法,其中产生保护电压包括:

响应于在所述第一输出焊盘上的电压而产生第一部分焊盘电压;

响应于电源电压的不存在而提供所述第一部分焊盘电压作为第一反就绪信号;

响应于电源电压的存在而提供零电压作为第一反就绪信号;

响应于在所述第一输出焊盘上的电压而产生第二部分焊盘电压;

响应于电源电压的不存在而提供所述第二部分焊盘电压作为第二反就绪信号;

响应于电源电压的存在而提供零电压作为第二反就绪信号;

选择第一和第二反就绪信号中的最大值;以及

将所选最大值提供至所述差分电流输出驱动器电路作为复合反就绪信号。

20. 权利要求 11 所述的方法,其中产生保护电压包括:

响应于在所述第一输出焊盘上的电压而产生第一部分焊盘电压;

响应于电源电压的不存在而提供所述第一部分焊盘电压作为第一保护阱电压;

响应于电源电压的存在而提供所述电源电压作为第一保护阱电压;

响应于在所述第二输出焊盘上的电压而产生第二部分焊盘电压;

响应于电源电压的不存在而提供所述第二部分焊盘电压作为第二保护阱电压;

响应于电源电压的存在而提供所述电源电压作为第二保护阱电压;

选择第一和第二保护阱电压中的最大值;以及

将所选最大值提供至所述差分电流输出驱动器电路作为复合保护阱电压。

具有过压保护的差分电流输出驱动器

技术领域

[0001] 本发明涉及防止电过载施加到外部焊盘的集成电路保护,更特别地,涉及具有过电压保护的差分电流输出驱动电路,还涉及用于差分电流输出控制器电路的过电压保护方法。

背景技术

[0002] 如今由亚微米工艺技术实现的 VLSI (超大规模集成电路) 芯片具有极小的几何形状,且在例如 3 伏或更低的电源电压下运行。这些 VLSI 芯片易受施加至芯片外部焊盘的电过载影响。例如,超过连接至外部焊盘的晶体管额定电压的电压可能引起这些晶体管失效。此电过载可在任何时候施加至芯片,例如在测试中或用在最终产品中。然而,某些构造比其它构造更容易受到电过载影响。例如,连接至外部设备或连接器的芯片特别容易受到过电压的未注意施加的影响。一具体例子为 USB (通用串行双向) 通讯端口,其在计算机设备中广为应用。

[0003] 在电源电压开启的情况下,用以防止过电压来保护输出驱动器的电路已为人所知。然而,在电源电压关闭、为低电压、为开路或接地的情况下,这些电路不能保护输出驱动器。然而,为了防止对这些电路的未注意的损坏,期望在这些情况下提供过电压保护。过电压可发生在任何时间,且不限于电源电压为开启的时段。例如,一些制造商可能需要 USB 端口耐受 5.25 伏过电压,无论电源电压为开启还是关闭。

[0004] 由此,需要用于在集成电路中的差分电流输出驱动器电路的过电压保护的改进方法和设备。

发明内容

[0005] 根据本发明的第一方面,在集成电路中提供输出驱动器。该输出驱动器包括可由电源电压操作的差分电流输出驱动器电路,还包括在差分电流结构中的第一和第二驱动器晶体管,和第一和第二输出焊盘,以及过电压保护电路,配置成响应于第一和第二输出焊盘中至少一个上的电压和电源电压不存在而产生保护电压,且将保护电压施加至差分电流输出驱动器电路的至少一个晶体管。

[0006] 该过电压保护电路可包括:第一驱动器电力调节器,配置成响应于电源电压不存在而提供第一部分焊盘电压作为第一保护电压;第二驱动器电力调节器,配置成响应于电源电压不存在而提供第二部分焊盘电压作为第二保护电压;以及最大值检测器,用以选择第一和第二保护电压的最大值并将所选最大值提供至差分电流输出驱动器电路作为复合保护电压。

[0007] 根据本发明的第二方面,提供用在集成电路中的差分电流输出驱动器电路过电压保护的方法。该差分电流输出驱动电路能够由电源电压操作,且包括在差分电流结构中的第一和第二驱动器晶体管以及第一和第二输出焊盘。该方法包括:响应于第一和第二输出焊盘中至少一个上的电压且电源电压不存在而产生保护电压,以及将保护电压施加至差分

电流输出驱动器电路的至少一个晶体管。

[0008] 该保护电压可由以下方式产生：响应于在第一输出焊盘上的电压而产生的第一部分焊盘电压，响应于电源电压不存在而提供第一部分焊盘电压作为第一保护电压，响应于在第二输出焊盘上的电压而产生的第二部分焊盘电压，响应于电源电压不存在而提供第二部分焊盘电压作为第二保护电压，选择第一和第二保护电压的最大值，并将该选定的最大值提供至差分电流输出驱动器电路作为复合保护电压。

附图说明

[0009] 为了对本发明更好地理解，可参见附图，附图在此以参考并入，其中：

[0010] 图 1 为现有技术的差分电流输出驱动器电路的示意图。

[0011] 图 2A 和图 2B 为根据本发明实施例的输出驱动器的示意方框图。

[0012] 图 3 和图 3A 为示出根据本发明实施例的差分电流输出驱动器电路过电压保护的简化方框图。

[0013] 图 4 为根据本发明实施例的图 2 的差分电流输出驱动器半单元之一的实施的示意图。

[0014] 图 5 为根据本发明实施例的图 2 的电力调节器之一实施的示意图。

[0015] 图 6 为根据本发明实施例的图 2 的最大值检测器实施的示意图。

具体实施方式

[0016] 图 1 中示出了现有技术的差分电流输出驱动器电路 10 的示意图。PMOS 晶体管 20 和 22 以差分电流结构连接，且分别接收差分输入 16 和 18。PMOS 晶体管 24 作为电流源，且晶体管 20 和 22 分别提供电流至输出焊盘 26 和 28。电阻器 30 连接于输出焊盘 26 和地之间，且电阻器 32 连接于输出焊盘 28 和地之间。电阻器 30 和 32 可连接至地或另一提供足够运行电压的参考电压。电阻器 30 和 32 可由例如运行类似电阻器的晶体管的元件，或有源元件和电阻器的组合替换。

[0017] 当图 1 的差分电流输出驱动器电路运行时，电源电压 VDD 为 3V，且输出焊盘 26、28 之一承受电压为 5.25V 时，晶体管 20、22 和 24 处于过载且大量电流注入到 VDD 电源。如果电源电压 VDD 短接至地且输出焊盘 28 承受电压为 5.25V 时，晶体管 22 遭遇电过载。由此，有需要改善差分电流输出驱动器电路。

[0018] 根据本发明实施例的输出驱动器 100 的方框图如图 2 所示。输出驱动器 100 包括连接到差分电流构造的第一驱动器半单元 110 和第二驱动器半单元 112，如下所述。驱动器半单元 110 通过逻辑门 120 接收输入信号 114，且提供输出信号至输出焊盘 122。驱动器半单元 112 通过逻辑门 124 接收输入信号 116，且提供输出信号至输出焊盘 126。输入信号 114 和 116 具有反相或相反逻辑状态；且输出焊盘 122 和 126 提供输出信号也具有反相或相反逻辑状态。

[0019] PMOS 晶体管 130 提供电流至驱动器半单元 110 和 112 的电流源输入 132。PMOS 晶体管 134 保护电流源晶体管 130。晶体管 134 通过将输入端 131 拉至复合保护电源电压 184 来禁止晶体管 130。这防止晶体管 130 使从输出焊盘 122 或 126 至电源 VDD 的电流通过。晶体管 130 和 134 组成用于驱动器半单元 110 和 112 的电流源 136。同时，驱动器半单

元 110 和 112 和电流源 136 组成差分电流驱动器电路。

[0020] 输出驱动器 100 进一步包括第一驱动器电力调节器 140, 第二驱动器电力调节器 142 和最大值检测器 144。驱动器电力调节器 140 和 142 提供对抗电过载的保护, 如下所述。驱动器电力调节器 140 和 142 以及最大值检测器 144 一起组成用于该差分电流驱动器电路的过电压保护电路 145。

[0021] 电力调节器 140 连接至电源电压 VDD 和地, 以及连接至输出焊盘 122。另外, 电力调节器 140 接收就绪信号 146, 其表示存在电源电压 VDD。电力调节器 140 提供第一保护电源电压 148 至最大值检测器 144。在图 2 的实施例中, 电力调节器 140 提供第一保护阱电压 150 至驱动器半单元 110 和至最大值检测器 144。电力调节器 140 还提供第一反就绪信号信号 152 至最大值检测器 144。

[0022] 类似地, 电力调节器 142 连接至电源电压 VDD 和地, 以及连接至输出焊盘 126。另外, 电力调节器 142 接收就绪信号 146, 其表示存在电源电压 VDD。电力调节器 142 提供第二保护电源电压 154 至最大值检测器 144。在图 2 的实施例中, 电力调节器 142 提供第二保护阱电压 156 至驱动器半单元 112 和至最大值检测器 144。电力调节器 142 还提供第二反就绪信号 158 至最大值检测器 144。

[0023] 最大值检测器 144 从电力调节器 140 接收第一保护电源电压 148, 且从电力调节器 142 接收第二保护电源电压 154, 并提供复合保护电源电压 184 至驱动器半单元 110 和 112。如下所述, 该复合保护电源电压 184 当电源电压 VDD 存在时为电源电压 VDD, 当电源电压 VDD 不存在时为部分焊盘电压。该部分焊盘电压从施加至输出焊盘 122 和 126 中至少之一的电压得出。

[0024] 最大值检测器 144 也接收来自电力调节器 140 的第一保护阱电压 150, 和来自电力调节器 142 的第二保护阱电压 156, 并提供复合保护阱电压 186 至晶体管 130 和 134 的阱。如下进一步所述, 复合保护阱电压 186 当电源电压 VDD 存在时为电源电压 VDD, 当电源电压 VDD 不存在时约为部分焊盘电压。

[0025] 另外, 最大值检测器 144 接收来自电力调节器 140 的第一反就绪信号 152, 和来自电力调节器 142 的第二反就绪信号 158, 并提供复合反就绪信号 188 至驱动器半单元 110 和 112。如下进一步所述, 反就绪信号 188 当电源电压 VDD 存在时为接近 0 伏, 当电源电压 VDD 不存在时为部分焊盘电压。

[0026] 由此, 当电源电压 VDD 不存在时, 该复合保护电源电压 184、复合保护阱电压 186 和复合反就绪信号 188 全部对应于部分焊盘电压的最大值, 且可被视为保护电压。该保护电压施加至差分电流输出驱动器电路以提供过压保护。

[0027] 耦接至复合反就绪信号 188 的 NMOS 晶体管 192 提供启用或禁止反就绪信号的能力。在电源电压 VDD 施加且输出驱动器启用的情况下, 晶体管 192 在反就绪信号 188 上提供硬拉低至接近零伏。在某些实施例中启用信号 193 可连接至就绪信号 146。

[0028] 输出驱动器 100 的简化方框图如图 3 所示。用于差分电流输出驱动器电路运行的复合保护电源电压的产生如图 3 所示。电力调节器 140 可包括连接于输出焊盘 122 和地之间的电压分压器 160。电压分压器 160 包括串联连接的第一分压器元件 162 和第二分压器元件 164。节点 168 连接第一分压器元件 162 和第二分压器元件 164。当在输出焊盘 122 上存在电压时, 在节点 168 上存在第一部分焊盘电压 166。第一部分焊盘电压的幅值是输出

焊盘 122 的电压和分压器 162 和 164 的分压比的函数。在一些实施例中,部分焊盘电压大约为输出焊盘 122 上的电压的一半。然而,本发明不限于此关系。为在输出焊盘 122 的给定最大电压,电压分压器 160 的分压比选择为产生部分焊盘电压,该部分焊盘电压保护驱动器半单元 110、112 中的晶体管。

[0029] 电力调节器 140 进一步包括具有接收电源电压 VDD 的第一输入端和接收来自电压分压器 160 的第一部分焊盘电压 166 的第二输入端的多路复用器 170。多路复用器 170 包括接收就绪信号 146 的控制输入端和提供第一保护电源电压 148 至最大值检测器 144 的输出端。当就绪信号 146 表示存在电源电压 VDD 时,多路复用器 170 提供电源电压 VDD 作为第一保护电源电压 148。当就绪信号 146 表示不存在电源电压 VDD 时,多路复用器 170 提供第一部分焊盘电压 166 作为第一保护电源电压 148。可以理解,仅在输出焊盘 122 上有电压的情况下,存在非 0 的部分焊盘电压。

[0030] 相似地,电力调节器 142 包括一耦接于输出焊盘 126 和地之间的电压分压器 172。当在输出焊盘 126 上存在电压时,在节点 178 上存在第二部分焊盘电压 176。电力调节器 142 进一步包括具有接收电源电压 VDD 的第一输入端和接收来自电压分压器 172 的第二部分焊盘电压 176 的第二输入端的多路复用器 180。多路复用器 180 包括接收就绪信号 146 的控制输入端和提供第二保护电源电压 154 至最大值检测器 144 的输出端。当就绪信号 146 表示存在电源电压 VDD 时,多路复用器 180 提供电源电压 VDD 作为第二保护电源电压 154。当就绪信号 146 表示不存在电源电压 VDD 时,多路复用器 180 提供第二部分焊盘电压 176 作为第二保护电源电压 154。

[0031] 最大值检测器 144 包括最大值选择器 190,其接收第一保护电源电压 148 和第二保护电源电压 154 并选择第一和第二保护电源电压的最大值。最大值选择器 190 提供所选最大值至差分电流输出驱动器电路作为复合保护电源电压 184。该复合保护电源电压 184 保护差分电流驱动器电路避免由于电过载的损坏,如下所述。

[0032] 根据本发明另一实施例的电力调节器 140 的方框图如图 3A 所示。如图 3A,电力调节器 140 连接至电源电压 VDD 和地,以及连接至输出焊盘 122。另外,电力调节器 140 接收就绪信号 146 并提供保护电源电压 148,并也可提供保护阱电压 150。多路复用器 170 包括接收电源电压 VDD 的第一输入端和接收部分焊盘电压 166 的第二输入端。

[0033] 在图 3A 的实施例中,电力调节器 140 包括耦接于输出焊盘 122 和多路复用器 170 的第二输入端之间的电压降元件 194。该电压降元件 194 产生导致部分焊盘电压 166 为输出节点 122 上的电压的一部分的电压降。在一些实施例中,部分焊盘电压 166 大约为输出焊盘 122 上电压的一半。然而,本发明并不限于此关系。作为示例,电压降元件 194 可以作为一个二极管,两个或更多个串接的二极管,电阻器,电池或这些元件的组合。在每一种情况下,选择电压降元件,由此在输出焊盘 122 上指定的最大电压和部分焊盘电压 166 之间的差异不会使差分电流驱动器电路中的晶体管过载。

[0034] 驱动器半单元 110 的实施的示意图如图 4 所示。驱动器半单元 112 可以以相同电路实施。在驱动器半单元 110 中,PMOS 驱动器晶体管 200 和电阻器 202 串联耦接于电流源输入端 132 和地或另一提供足够的运行电压的参考电压之间。电阻器 202 可由例如运行如电阻器的晶体管或有源元件与电阻器的组合的元件所替换。连接驱动器晶体管 200 和电阻器 202 的节点 204 耦接至输出焊盘 122。PMOS 晶体管 210 耦接于输出焊盘 122 和节点 212

之间,节点 212 耦接至驱动器晶体管 200 的栅极。当输出焊盘 122 拉至高于电源电压 VDD 时,晶体管 210 将节点 212 拉高至相同电压。由 NMOS 晶体管 220 和 222 以及 PMOS 晶体管 224 和 226 形成的传输门在正常运行中将输入信号 114 耦接至驱动器晶体管 200 的栅极。由 PMOS 晶体管 230 和 NMOS 晶体管 232 形成的传输门强制节点 234 至跟随输出焊盘 122。

[0035] 驱动器电路 110 接收来自最大值检测器 144 的复合保护电源电压 184。NMOS 晶体管 222、232 和 242 的栅极以及 PMOS 晶体管 210 和 230 的栅极连接至复合保护电源电压 184。NMOS 晶体管 220 的栅极连接至电源电压 VDD,且复合反就绪信号 188 连接至 PMOS 晶体管 224 的栅极和连接至 NMOS 晶体管 240 和 244 的栅极和漏极。另外,复合保护电源电压 184 连接至 PMOS 晶体管 224 的阱。

[0036] 在正常运行中当存在电源电压 VDD 时,复合保护电源电压 184 等于电源电压 VDD 且复合反就绪信号 188 为接近地。施加电过压至输出焊盘 122 时,节点 212 也出现该过电压。晶体管 242 保护晶体管 240 免于此过电压。当电源电压 VDD 不存在时,复合保护电源电压 184 和复合反就绪信号 188 处于保护电压。如果过电压在相反的驱动器半单元时,晶体管 244 拉输入端 132 至保护电压,且晶体管 240 和 242 拉节点 212 至保护电压。这样在两个半单元中保护晶体管 200 免于过电压,且避免来自相反的驱动器半单元的击穿电流的可能性。

[0037] 多路复用器 250 包括 PMOS 晶体管 252 和 254。晶体管 252 接收来自电力调节器 140 的保护阱电压 150,且晶体管 254 耦接至输出焊盘 122。多路复用器 250 的输出端连接至 PMOS 晶体管 200、210、226 和 230 的阱。

[0038] 当存在电源电压 VDD 且焊盘电压低于 VDD 时,多路复用器 250 提供电源电压 VDD 至晶体管 200 的背栅极。如果焊盘电压超过了电源电压 VDD,大电流可穿过晶体管 200 的寄生二极管至电源电压 VDD。多路复用器 250 将焊盘电压或 VDD 的最大值提供至晶体管 200 的阱。当电源电压 VDD 不存在时,焊盘电压可超过晶体管 252 和 254 的最大运行电压。通过施加保护阱电压 150 至晶体管 252 和 254,可避免此问题。

[0039] 电力调节器 140 的实施的示意图如图 5 所示。电力调节器 142 可由相同的电路实施。电力调节器 140 根据电源电压 VDD 的状态和输出焊盘 122 上的电压产生第一保护电源电压 148 和第一保护阱电压 150。就绪信号 146 通过直接连接电源电压 VDD、连接至电源电压 VDD 的延时形式或通过连接至电源电压的部分形式来跟随电源电压 VDD。

[0040] 如果存在电源电压 VDD,就绪信号 146 为高,且节点 306 (RDYB) 通过 NMOS 晶体管 300 拉低。PMOS 晶体管 302 自节点 168 隔离节点 306,且禁止电流穿过 NMOS 晶体管 304。在这些情况下,节点 168 上的电压接近电源电压 VDD。这样避免在运行中输出焊盘 122 上的高频信号通过晶体管 340 耦接至保护电源电压。当节点 306 为低时,晶体管 312 导通且电源电压 VDD 穿过晶体管 312 以提供第一保护电源电压 148。另外,当节点 306 为低时,晶体管 310 导通,电源电压 VDD 穿过晶体管 310 以提供第一保护阱电压 150。

[0041] 二极管形式连接的 NMOS 晶体管 320、322、324 和 326,以及电阻器 342 作为一电压分压器,其没有器件承受电过载。节点 328 连接至晶体管 322 且电阻器 342 提供一分焊盘电压 332。晶体管 320、322、324 和 326 通过一非重要的小电流,直至输出焊盘 122 上的电压达到作用电压限。NMOS 晶体管 330 镜像此低电流且连同 NMOS 晶体管 304,设置节点 168 上的此部分焊盘电压为输出焊盘 122 上的电压的大约一半。电流镜像晶体管 330 将电流穿

过晶体管 302。通过就绪信号 146 处于低电平,穿过晶体管 302 的电流在晶体管 302 上建立一栅极-源极电压 V_{gs} 。穿过晶体管 330 和 302 的电流还流过晶体管 304 和电阻器 344。在晶体管 304 和 324 中的电流由此相匹配。在此实施例中,电流比为 1.0,但此比例也可不同。由此,跨越晶体管 304 的栅极-源极电压与跨越晶体管 324 的栅极-源极电压相同,且节点 168 和 328 上的电压近似相等。如果输出焊盘 122 上升到 5.2 伏,节点 168 上的部分焊盘电压上升至大约 2.6 伏。

[0042] 如果电源电压 VDD 不存在时,就绪信号 146 为低,且节点 306 大致等于节点 168 上的部分焊盘电压。节点 306 上的电压作为反就绪信号 152 被输出。晶体管 340 的栅极接收低的就绪信号 146,且部分焊盘电压通过晶体管 340 以提供保护电源电压 148。晶体管 312 的栅极接收节点 306 上的高电平并截止。

[0043] PMOS 晶体管 310、312 和 340 共用一公共阱,该公共阱连接至保护电源电压 148。在电源电压 VDD 不存在的情况下,晶体管 310 通过节点 306 上的高电平被截止。由此,保护电源电压 148 以高阻抗通过该阱和晶体管 310 的寄生二极管耦接至保护阱电压 150。由此,当电源电压 VDD 不存在时,保护电源电压 148 和保护阱电压 150 都大约为输出焊盘电压的一半。在其他实施例中,未利用独立的保护阱电压,且保护电源电压 148 耦接至驱动器半单元 110 中需要保护的那些晶体管的阱。

[0044] 如需要,可选择电阻器 342 和 344 以降低附加电压。在其他实施例中,电阻器 342 和 344 可由用作附加电压降的替换器件代替,或可省略。如果输出焊盘 122 被快速驱动到低电位时,NMOS 晶体管 350 用于对电压分压器快速放电。晶体管 350 对于电路的运行而言并非必需,但在某些应用中是有用的。

[0045] 最大值检测器 144 的实施例的示意图如图 6 所示。该最大值检测器 144 产生来自保护电源电压 148 和 154 的复合保护电源电压 184,产生来自保护阱电压 150 和 156 的复合保护阱电压 186,并产生来自反就绪信号 152 和 158 的复合反就绪信号 188。最大值检测器 144 包括用于每对电压值的最大值选择器。每一最大值选择器可实施为一对 PMOS 晶体管。由此,最大值选择器 190 包括在其漏极接收第二保护电源电压 154,在其栅极接收第一保护电源电压 148 的 PMOS 晶体管 400。PMOS 晶体管 402 在其漏极接收第一保护电源电压 148,在其栅极接收第二保护电源电压 154。晶体管 400 和 402 的源极耦接起来以提供复合保护电源电压 184。提供复合保护阱电压 186 的最大值选择器 410 和提供复合反就绪信号 188 的最大值选择器 412 每个都可利用与最大值选择器 190 相同的电路。

[0046] 复合保护电源电压 184 提供至驱动器半单元 110 和 112 中的晶体管的栅极,否则会当电源 VDD 不存在时,由于输出焊盘 122 或 126 上存在的电压而超载。考虑图 4 中的 PMOS 驱动器晶体管 200,假设最大额定电压为 3.3 伏。如果 5.2 伏电压施加至输出焊盘 122,且由于电源电压 VDD 关闭而晶体管 200 的栅极为地电平,晶体管 200 会超载。该过电压通过晶体管 210 施加至晶体管 200 的栅极。晶体管 244 施加复合反就绪信号 188 至电流源输入端 132,并由此至驱动器晶体管 200 的漏极。在这些条件下复合反就绪信号 188 为部分焊盘电压。部分焊盘电压大约为输出焊盘 122 上的电压的一半,或对于输出焊盘 122 上的电压为 5.2 伏时大约为 2.6 伏。在这些条件下,晶体管 200 承受输出焊盘 122 上的电压与部分焊盘电压之间的差值,或在上述示例中的大约 2.6 伏。从而,晶体管 200 不会超载。以相似的方式,驱动器半单元 110、112 中的其他晶体管可通过施加部分焊盘电压至这些晶体管的一

个或更多个端子而得到保护。电压分压器 160 和 170 的分压比被选择由此输出焊盘 122 和 126 上的特定最大电压与部分焊盘电压之间的差值不会使驱动器半单元中的晶体管过载。

[0047] 通过本发明至少一实施例的这些所述几个方面,可知对本领域内技术人员而言,各种替换、修改和改善是容易想到的。这些替换、修改和改善意指成为本公开的一部分,且意指属于本发明的精神和范围。由此,在前描述和附图都仅为示例的方式。

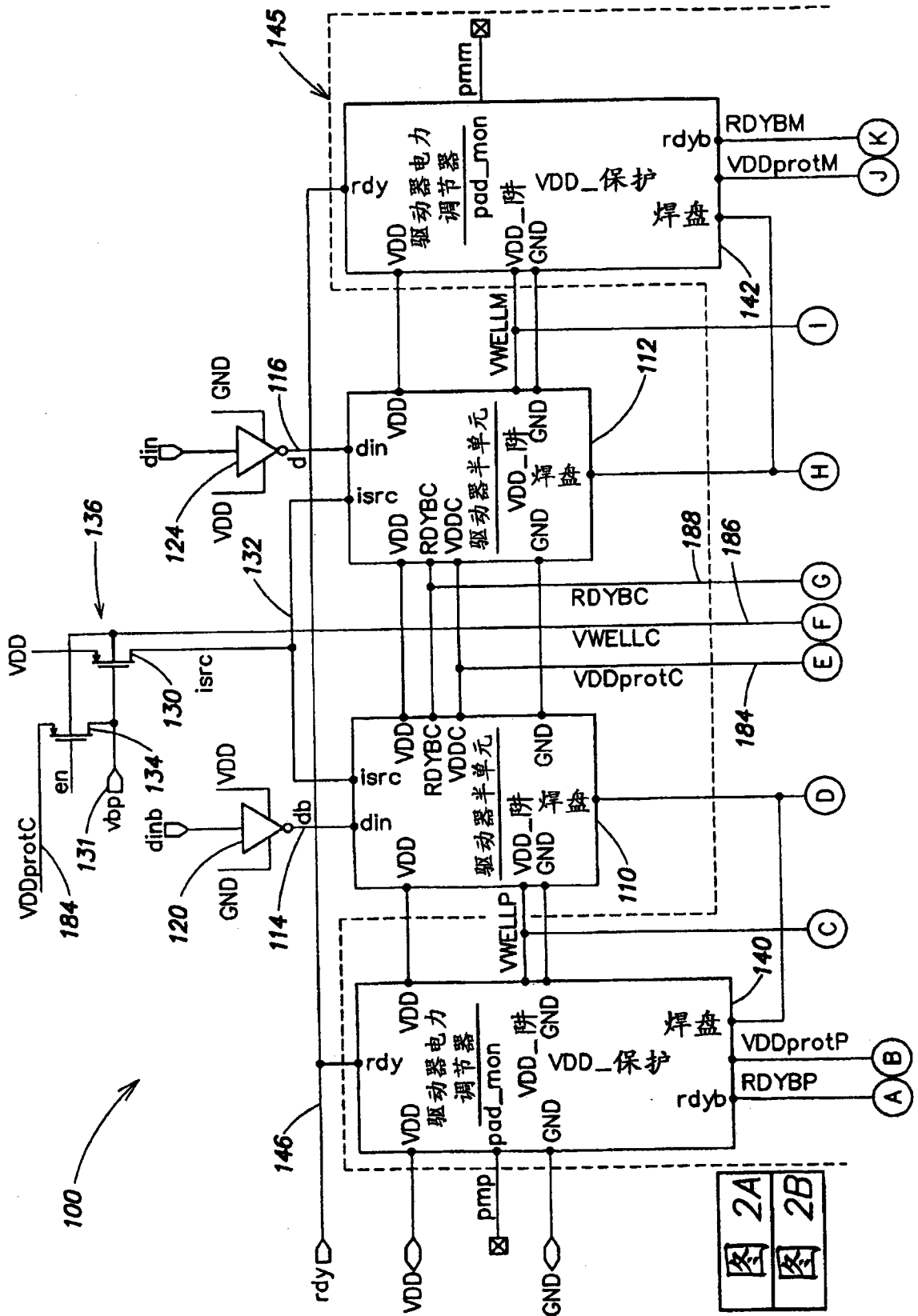


图 2A

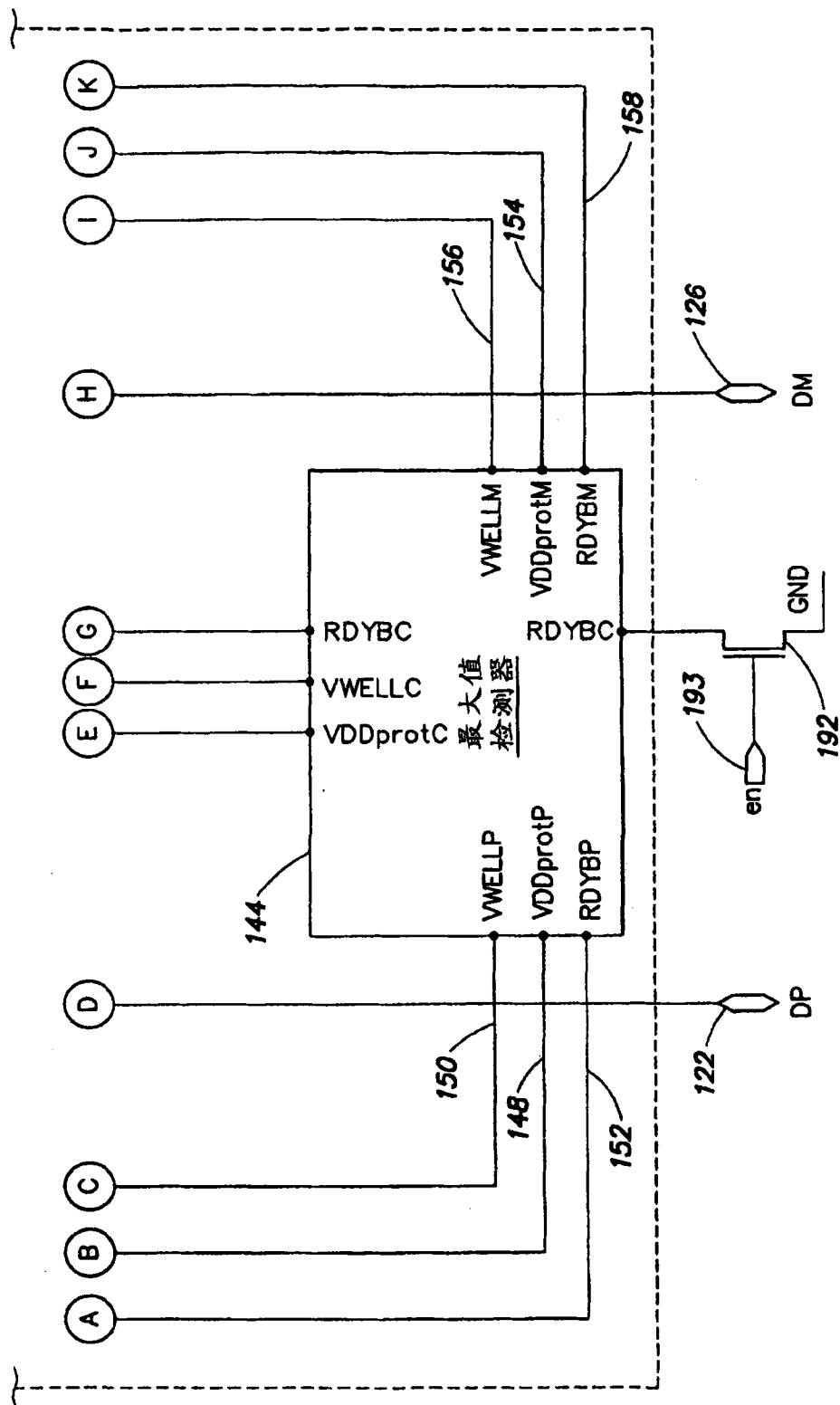


图 2B

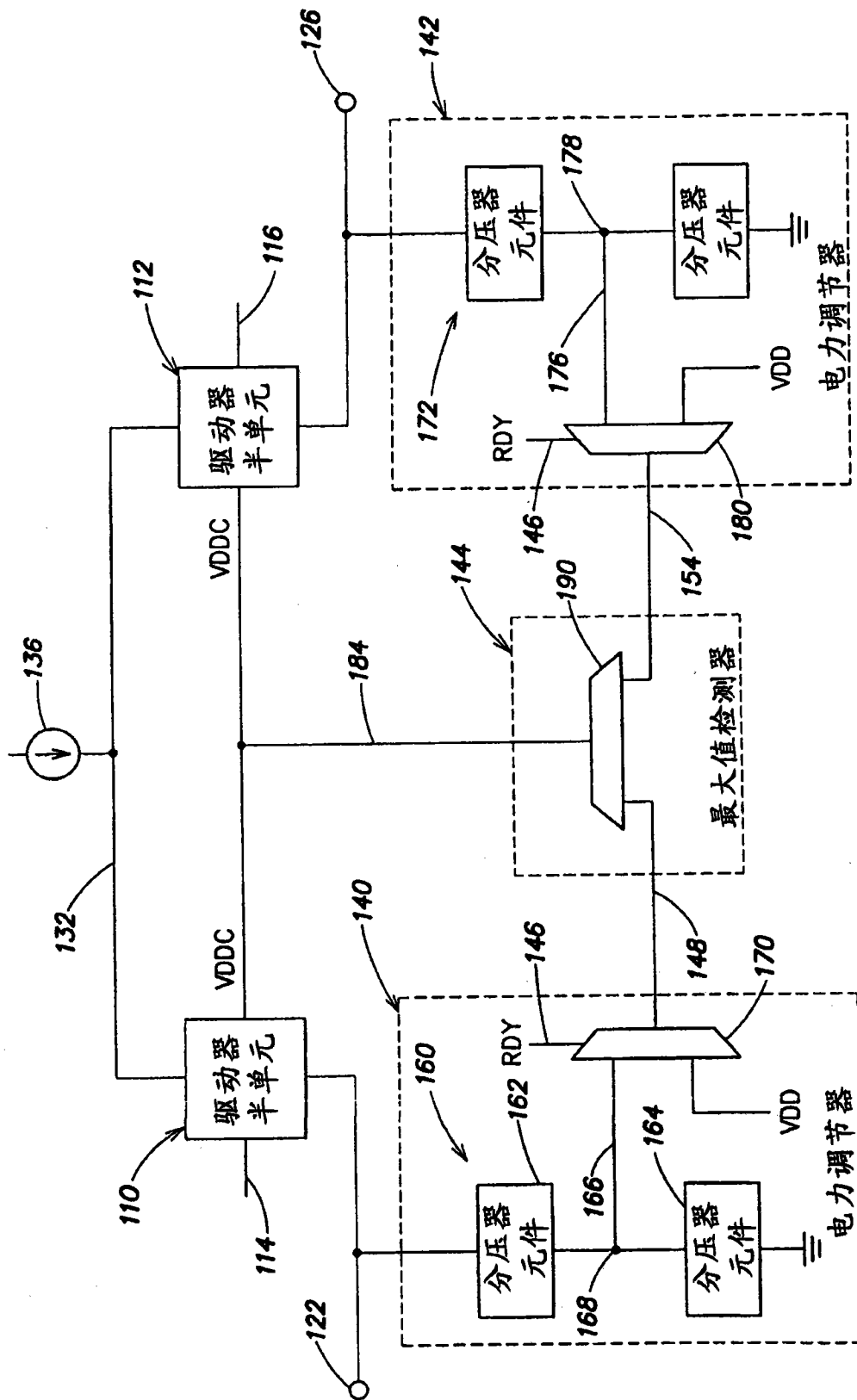


图 3

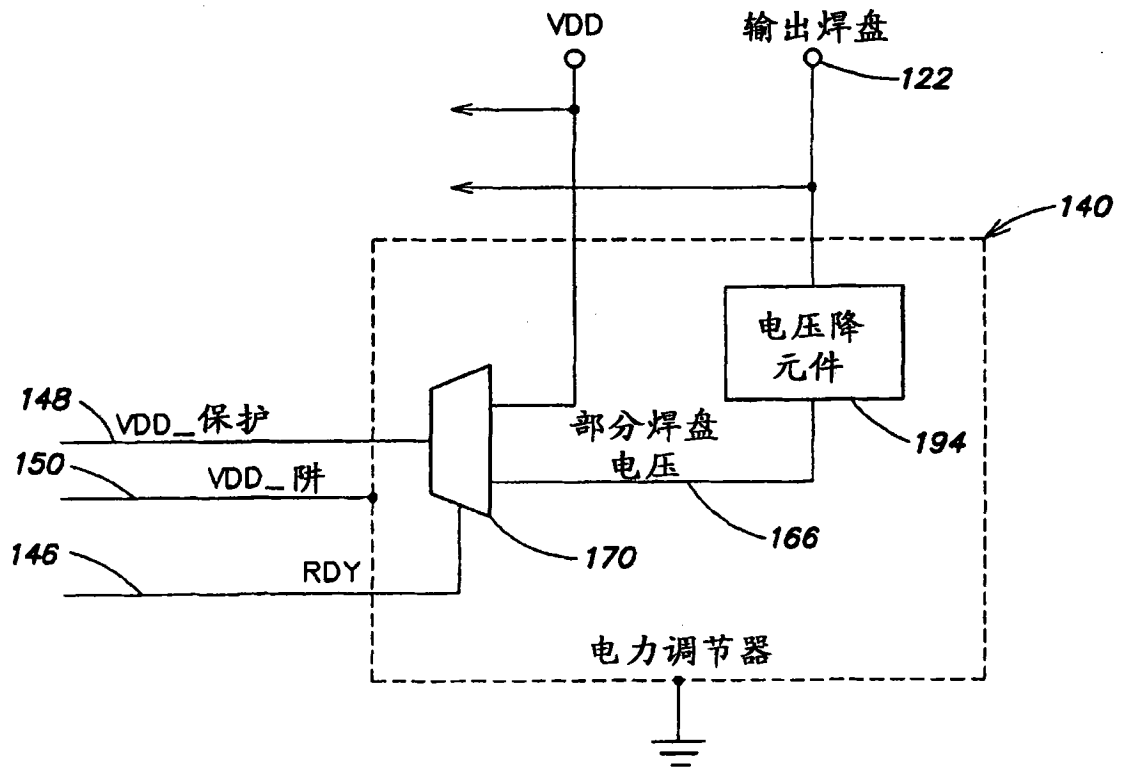


图 3A

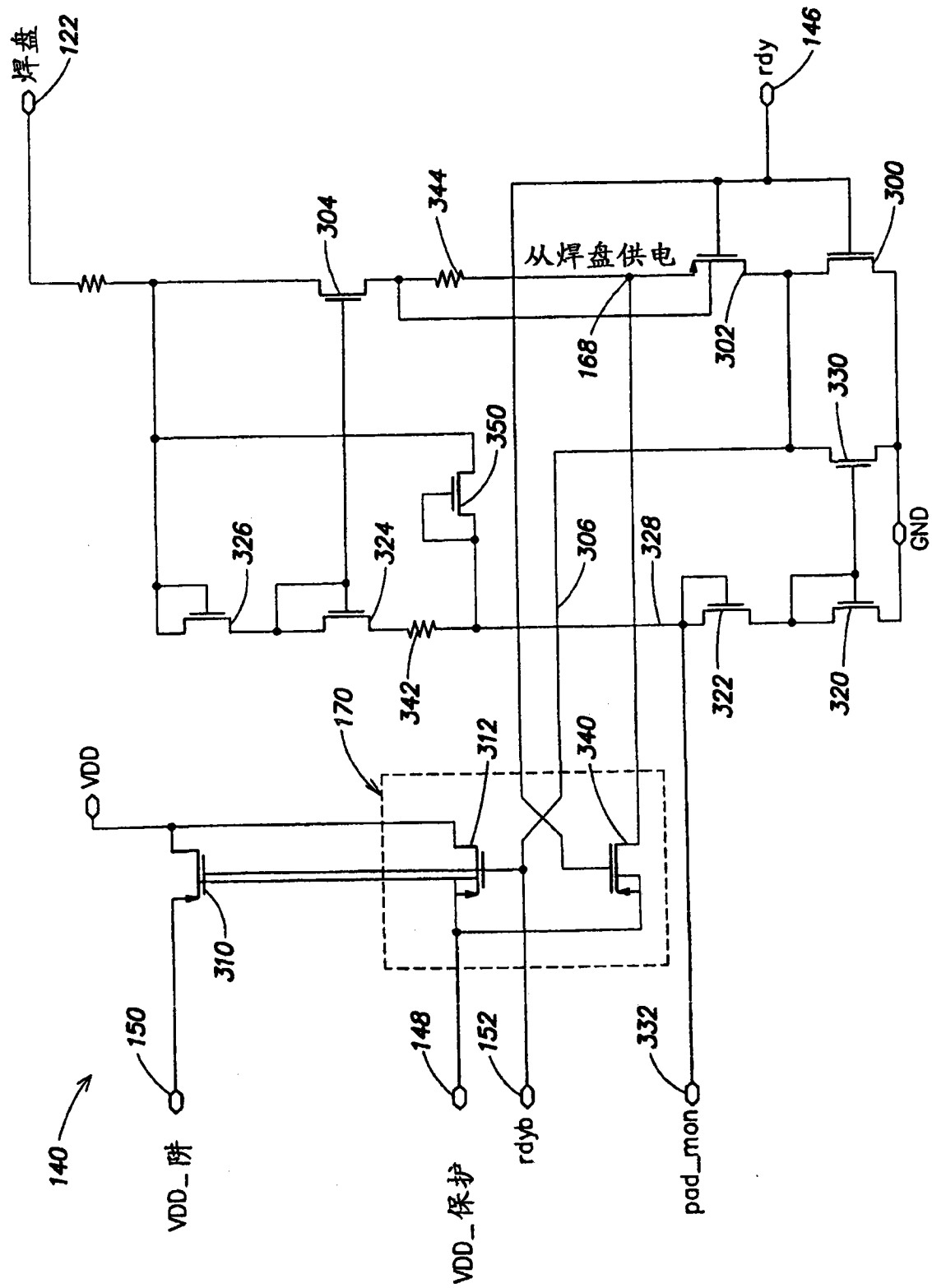


图 5

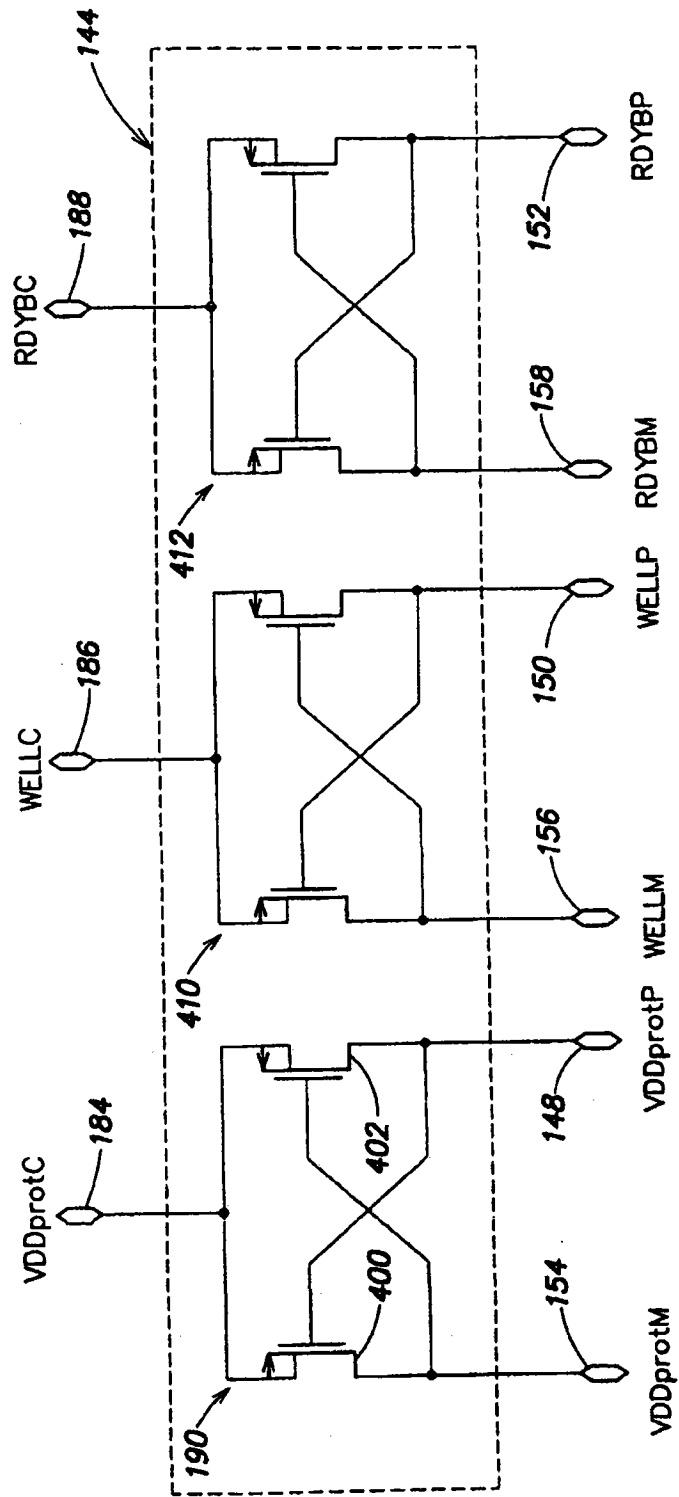


图 6