

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-141260

(P2009-141260A)

(43) 公開日 平成21年6月25日(2009.6.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 7 1 B	4 M 1 0 4
HO 1 L 27/108 (2006.01)	HO 1 L 27/08 1 0 2 C	5 F 0 4 8
HO 1 L 21/8234 (2006.01)	HO 1 L 29/58 G	5 F 0 8 3
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 3 0 1 V	5 F 1 4 0
HO 1 L 29/423 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2007-318530 (P2007-318530)  
 (22) 出願日 平成19年12月10日 (2007.12.10)

(71) 出願人 500174247  
 エルピーダメモリ株式会社  
 東京都中央区八重洲2-2-1  
 (74) 代理人 100123788  
 弁理士 官崎 昭夫  
 (74) 代理人 100106138  
 弁理士 石橋 政幸  
 (74) 代理人 100127454  
 弁理士 緒方 雅昭  
 (72) 発明者 山崎 靖  
 東京都中央区八重洲2-2-1 エルピー  
 ダメモリ株式会社内

最終頁に続く

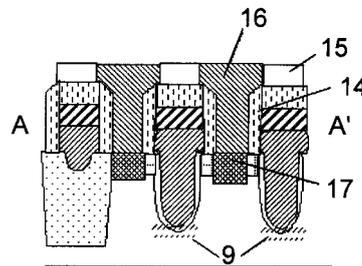
(54) 【発明の名称】 半導体装置、及びその製造方法

(57) 【要約】

【課題】 リソグラフィ工程を削減して、製造コストを約4%、削減する。リセス部に対してソース/ドレイン領域を自己整合的に形成して、トランジスタの $V_t$  (閾値電圧)、 $I_{on}$  (オン電流) 等の特性バラツキを低減する。

【解決手段】 (1) 第1マスクを設ける工程と、(2) 第1マスクをマスクに用いて不純物を注入することにより不純物拡散領域を形成する工程と、(3) 全面に第2マスクを堆積させる工程と、(4) エッチバックを行って第2マスクを残留させると共に、不純物拡散領域の一部を露出させる工程と、(5) 第1及び第2マスクをマスクに用いてエッチングを行い、半導体基板内に溝部を形成する工程と、(6) 第1及び第2マスクをマスクに用いて、溝部内に不純物を注入する工程と、(7) ゲート絶縁膜を形成する工程と、(8) ゲート電極を形成する工程と、を有する。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

(1) 半導体基板上に、所定のパターンを有する第 1 マスクを設ける工程と、  
 (2) 前記第 1 マスクをマスクに用いて前記半導体基板内に不純物を注入することにより不純物拡散領域を形成する工程と、  
 (3) 全面に第 2 マスクを堆積させる工程と、  
 (4) エッチバックを行うことにより前記第 1 マスクの側面に第 2 マスクを残留させると共に、前記不純物拡散領域の一部を露出させる工程と、  
 (5) 前記第 1 及び第 2 マスクをマスクに用いて前記半導体基板のエッチングを行うことにより、前記半導体基板内に溝部及び前記溝部を挟んだ両側に前記不純物拡散領域から構成されるソース/ドレイン領域を形成する工程と、  
 (6) 前記第 1 及び第 2 マスクをマスクに用いて前記溝部内に不純物を注入した後、前記第 1 及び第 2 マスクを除去する工程と、  
 (7) 前記溝部の内壁上にゲート絶縁膜を形成する工程と、  
 (8) 前記溝部内を埋め込むようにゲート電極を形成する工程と、  
 を有することを特徴とするリセスチャネル型トランジスタを備えた半導体装置の製造方法。

10

## 【請求項 2】

前記工程 (5) において、  
 深さ 50 ~ 200 nm の前記溝部を形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

## 【請求項 3】

前記工程 (6) において、  
 前記不純物として B を注入エネルギー 5 ~ 15 keV、ドーズ量  $1 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$  の条件、又は前記不純物として  $\text{BF}_2$  を注入エネルギー 10 ~ 50 keV、ドーズ量  $1 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$  の条件で注入することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

## 【請求項 4】

前記工程 (8) は、  
 (9) 前記溝部内を埋め込むように導電性ポリシリコン領域を形成する工程と、  
 (10) 前記導電性ポリシリコン領域上に金属層を形成する工程と、  
 を有し、  
 前記ゲート電極として、前記導電性ポリシリコン領域及び金属層からなるゲート電極を形成することを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の半導体装置の製造方法。

30

## 【請求項 5】

前記工程 (9) において、  
 DOPOS (Doped Polycrystalline Silicon) 法により前記導電性ポリシリコン領域を形成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

## 【請求項 6】

前記工程 (8) の後に更に、  
 (11) 全面に層間絶縁膜を形成する工程と、  
 (12) 前記層間絶縁膜内を、前記ソース/ドレイン領域まで貫通するようにコンタクトプラグを形成する工程と、  
 (13) 前記コンタクトプラグに電氣的に接続するようにキャパシタを形成する工程と、  
 を有することを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の半導体装置の製造方法。

40

## 【請求項 7】

前記工程 (12) において、前記コンタクトプラグとして不純物を含有する導電性ポリシリコンから構成されるコンタクトプラグを形成し、

50

前記工程(12)の後に更に、

(14)熱処理を行うことにより、前記導電性ポリシリコン中の不純物を前記ソース/ドレイン領域中まで拡散させる工程を有することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】

請求項1～7の何れか1項に記載の半導体装置の製造方法によって製造されたことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、リセスチャネル型トランジスタを備えた半導体装置の製造方法及び、この半導体装置の製造方法によって製造した半導体装置に関する。

【背景技術】

【0002】

DRAMセル等の半導体装置の微細化に伴い、トランジスタの短チャネル効果を抑制するために、リセスチャネル型トランジスタが考案されている。このリセスチャネル型トランジスタは、半導体基板内に設けられた溝部内にゲート絶縁膜及びゲート電極を有する。そして、このゲート電極を挟んだ両側の半導体基板表面側にソース/ドレイン領域が設けられている。特許文献1及び非特許文献1には、このリセスチャネル型トランジスタが開示されている。

20

【0003】

このリセスチャネル型トランジスタを製造する代表的な製造方法を図2～4に示す。まず、P型Si基板1上にSTI技術により深さ約300nmの素子分離領域2を形成する。この後、熱酸化法によりP型Si基板1の表面に約20nmのパッド酸化膜3を形成した後、CVD法によりパッド酸化膜3上にシリコン窒化膜を約100nm、形成する。この後、リソグラフィ技術を用いてフォトレジスト5をパターニングして、リセス部(溝部)を設ける位置に開口を有するレジストパターンを形成する。次に、このレジストパターンをマスクに用いてドライエッチングによりシリコン窒化膜のマスクパターン4を形成する(図2(a))。

【0004】

30

この後、アッシング工程によりレジストパターンを除去する。次に、この状態でシリコン窒化膜のマスクパターン4をマスクに用いて、P型Si基板1をエッチングして、幅約90nm、深さ約150nmのSiリセス部(溝部)6を形成する(図2(b))。

【0005】

続いて、高温の燐酸を用いてシリコン窒化膜のマスクパターン4を除去した後、フッ酸(HF)を含む溶液で平面部分に存在するパッド酸化膜3を除去する。次に、この状態で熱酸化法を行うことにより、Siリセス部(溝部)6内にゲート絶縁膜7としてシリコン酸化膜を約6nm形成する(図3(a))。

【0006】

40

次に、DOPOS(Doped Polycrystalline Silicon)法により、Siリセス部(溝部)6内を埋め込むように、導電性ポリシリコン領域(リン濃度： $2 \times 10^{20} \text{ cm}^{-3}$ )8を、約100nmの高さとなるように成長させる(図3(b))。

【0007】

続いて、通常のリソグラフィ技術により、リセスチャネル型トランジスタを形成する領域上に開口を有するフォトレジストのレジストマスク(図示していない)を形成する。この状態で、ボロン(B)を注入エネルギー40keV～70keV、ドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ の条件で注入し、Siリセス部(溝部)6の底部付近にP型チャネル領域ドープ層9を形成する(図3(c))。

【0008】

50

次に、通常のCVD法又はスパッタリング法により、全面にタングステン膜10を約50nm、成膜する(図4(a))。その後、低圧CVD法により、窒化シリコン膜(SiN膜)11を約150nm、成膜する。その後、リソグラフィー法により、リセス部(溝部)6内に埋め込まれた導電性ポリシリコン領域8上にマスクを有するようにフォトレジストのマスクパターン(図示していない)を形成する。この状態で、このフォトレジストをマスクに用いて、ドライエッチング技術により、窒化シリコン膜11、タングステン膜10、導電性ポリシリコン領域8を順次、エッチングする。これにより、タングステン膜10及び導電性ポリシリコン領域8からなるゲート電極12が形成される。

#### 【0009】

この状態で先ほどと同様に、リセスチャネル型トランジスタを形成する領域上に開口を有するようにフォトレジストのマスクパターン(図示していない)を形成する。次に、このフォトレジストのマスクパターンをマスクに用いて、リン(P)を注入エネルギー10keV~40keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入し、P型Si基板1の表面にN型拡散層(ソース/ドレイン領域)13を形成する(図4(b))。その後、アッシング工程によりフォトレジストのマスクを除去する。

#### 【0010】

続いて、CVD法により、全面に約40nmの窒化シリコン膜(SiN膜)を成膜した後、ドライエッチングでエッチバックを行うことにより、ゲート電極12の側面に側壁膜14を形成する。その後、全面にBPSG膜(B、P含有酸化シリコン膜)の成膜とリフローを行った後、CMPプロセスによる平坦化を行うことにより、層間絶縁膜15を形成する。

#### 【0011】

次に、リソグラフィー技術により、N型拡散層13上に開口を有するレジストマスク(図示していない)を設ける。その後、このレジストマスクをマスクに用いてドライエッチング技術により、層間絶縁膜15内を貫通してN型拡散層13にまで到達するようにコンタクトホールを形成する。その後、DOPoS成膜により、コンタクトホール内に導電性ポリシリコンを形成した後、CMP技術で平坦化することによりセルコンタクトプラグ16を形成する。次に、熱処理(800℃, 30min程度)を行なうことにより、セルコンタクトプラグ16中のリンをN型拡散層(ソース/ドレイン領域)13中にまで拡散させて、N型拡散層17を形成する(図4(c))。

#### 【0012】

以上、説明したように、従来のリセスチャネル型トランジスタを備えた半導体装置の製造方法では、下記工程でリソグラフィー工程を用いる必要があった。

(A) 素子分離領域の形成工程

(B) リセス部形成用のシリコン窒化膜のマスクパターン4を形成する工程(図2(a))

(C) チャネル領域用不純物のドーブ工程(図3(c))

(D) ゲート電極の形状への加工工程(図4(a)、4(b))

(E) ソース/ドレイン領域用不純物の注入工程(図4(b))

(F) コンタクトホールの形成工程(5(c))。

#### 【0013】

このように従来の半導体装置の製造方法では多数のリソグラフィー工程を必要としていた。特に、上記工程(C)及び(E)は製造コストを増加させる原因となり、上記工程(C)及び(E)によって全体の製造コストが4%程度、高くなっていた。また、(E)ソース/ドレイン領域用不純物の注入を、(D)ゲート電極のパターニング後に行っていた。このため、リセス部(溝部)とゲート電極との間で位置合わせのずれが生じた場合には、ソース/ドレイン領域を、リセス部(溝部)に対してセルフアラインに形成できないという課題もあった。

【特許文献1】特開2006-332211号公報

【非特許文献1】J. Y. KIM et al., Symp. on VLSI Tech

10

20

30

40

50

、 p 1 1 - 1 2 、 2 0 0 3

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明は上記課題に鑑みてなされたものであり、予め設けた第1マスクをマスクに用いてソース/ドレイン領域用不純物の注入を行なうことにより、セルフアラインにソース/ドレイン領域（不純物拡散領域）を形成する。また、第1及び第2マスクをマスクに用いてセルフアラインにリセス部（溝部）を形成する。本発明では、これらの工程により、リソグラフィ工程の回数を少なくしてコスト低減を図ると共に、リセス部（溝部）に対してセルフアラインにソース/ドレイン領域を形成できる半導体装置の製造方法を提供する

10

【課題を解決するための手段】

【0015】

上記課題を解決するため、本発明は以下の構成を有することを特徴とする。

- (1) 半導体基板上に、所定のパターンを有する第1マスクを設ける工程と、
  - (2) 前記第1マスクをマスクに用いて前記半導体基板内に不純物を注入することにより不純物拡散領域を形成する工程と、
  - (3) 全面に第2マスクを堆積させる工程と、
  - (4) エッチバックを行うことにより前記第1マスクの側面に第2マスクを残留させると共に、前記不純物拡散領域の一部を露出させる工程と、
  - (5) 前記第1及び第2マスクをマスクに用いて前記半導体基板のエッチングを行うことにより、前記半導体基板内に溝部及び前記溝部を挟んだ両側に前記不純物拡散領域から構成されるソース/ドレイン領域を形成する工程と、
  - (6) 前記第1及び第2マスクをマスクに用いて前記溝部内に不純物を注入した後、前記第1及び第2マスクを除去する工程と、
  - (7) 前記溝部の内壁上にゲート絶縁膜を形成する工程と、
  - (8) 前記溝部内を埋め込むようにゲート電極を形成する工程と、
- を有することを特徴とするリセスチャネル型トランジスタを備えた半導体装置の製造方法。

20

【発明の効果】

30

【0016】

従来の半導体装置の製造方法と比べてリソグラフィ工程を2工程、削減できるため、全体として製造コストを約4%、削減することができる。また、リセス部に対してソース/ドレイン領域を自己整合的に形成できるため、トランジスタの $V_t$ （閾値電圧）、 $I_{on}$ （オン電流）等の特性パラッキを低減することができる。

【発明を実施するための最良の形態】

【0017】

本発明の半導体装置の製造方法は、以下の工程を有する。

- (1) 半導体基板上に、所定のパターンを有する第1マスクを設ける工程と、
- (2) 第1マスクをマスクに用いて半導体基板内に不純物を注入することにより不純物拡散領域を形成する工程と、
- (3) 全面に第2マスクを堆積させる工程と、
- (4) エッチバックを行うことにより第1マスクの側面に第2マスクを残留させると共に、不純物拡散領域の一部を露出させる工程と、
- (5) 第1及び第2マスクをマスクに用いて半導体基板のエッチングを行うことにより、半導体基板内に溝部及び溝部を挟んだ両側に不純物拡散領域から構成されるソース/ドレイン領域を形成する工程と、
- (6) 第1及び第2マスクをマスクに用いて溝部内に不純物を注入した後、第1及び第2マスクを除去する工程と、
- (7) 溝部の内壁上にゲート絶縁膜を形成する工程と、

40

50

(8) 溝部内を埋め込むようにゲート電極を形成する工程。

【0018】

本発明の半導体装置の製造方法では、上記工程(1)及び(8)においてリソグラフィ工程を用いる。また、本発明の製造方法において、STI技術により素子分離領域の形成、セルコンタクトプラグの形成を行なう場合を想定すると)、上記工程(1)及び(8)に加えて更に素子分離領域の形成工程、コンタクトホール形成においてリソグラフィ工程を用いることとなる。この結果、本発明の製造方法では、素子分離領域及びセルコンタクトプラグの形成工程を考慮しない場合は合計2回のリソグラフィ工程を用い、素子分離領域及びセルコンタクトプラグの形成工程を考慮した場合は合計4回のリソグラフィ工程を用いることとなる。

10

【0019】

特に、本発明では、従来の製造方法よりも、工程(1)において、リソグラフィ工程を1回分、余分に必要とする。この一方、本発明では、予め設けた第1マスクをマスクに用いてソース/ドレイン領域用不純物の注入を行なうことにより、セルフアラインにソース/ドレイン領域(不純物拡散領域)を形成できる。また、工程(5)では、第1マスク及び第2マスクをマスクに用いて、不純物拡散領域の中央部分をその厚み方向にエッチングして、セルフアラインにリセス部(溝部)の形成を行なうことができる。この際、この溝部を挟んだ両側に、不純物拡散領域(すなわち、ソース/ドレイン領域)が形成されることとなる。

【0020】

更に、工程(6)では、第1マスク及び第2マスクをマスクに用いてセルフアラインにリセス部(溝部)の形成とチャンネル領域用不純物の注入を行なうことができる。この結果、従来の製造方法の工程(B)、(C)、(E)のリソグラフィ工程が不要となり、製造方法全体としては、従来の製造方法よりもリソグラフィ工程を2回、削減することが可能となる。そして、全体として製造コストを約4%、削減することができる。また、リセス部に対してソース/ドレイン領域を自己整合的に形成できるため、トランジスタの $V_t$ (閾値電圧)、 $I_{on}$ (オン電流)等の特性パラッキを低減することができる。

20

【0021】

また、工程(5)では、深さ50~200nmの溝部を形成することが好ましい。深さ50~200nmの溝部を形成することによって、安定して高い駆動特性を有するリセスチャンネル型トランジスタを得ることができる。

30

【0022】

本発明の半導体装置は、素子分離領域により区画された半導体基板の部分にリセス部(溝部)構造を有する。そして、このリセス部(溝部)の内壁上にゲート絶縁膜を有し、リセス部(溝部)の内部にゲート電極を有する。また、半導体基板の表面部分のリセス部(溝部)を挟んだ両側にはソース/ドレイン領域が設けられている。そして、このゲート電極、ゲート絶縁膜、ソース/ドレイン領域、及びリセス部(溝部)近傍の半導体領域とからリセスチャンネル型トランジスタが構成される。このリセスチャンネル型トランジスタでは、ゲート電極に電圧を印加すると電界効果により、リセス部(溝部)近傍の半導体領域を介してソース/ドレイン領域間にチャンネル電流が流れることとなる。このリセスチャンネル型トランジスタはN型のトランジスタであっても、P型のトランジスタであっても良い。

40

【0023】

また、本発明の半導体装置は、1つのリセスチャンネル型トランジスタを有していても、複数のリセスチャンネル型トランジスタを有していても良い。図1は、複数のリセスチャンネル型トランジスタを有する本発明の半導体装置の一例を表す上面図である。図1には楕円で囲まれた3つのソース/ドレイン領域13が示されている。そして、各ソース/ドレイン領域上には2つのゲート電極(ワード線)12が設けられて、2つのリセスチャンネル型トランジスタが構成されている。また、楕円で囲まれた各ソース/ドレイン領域13の中央部分は、2つのリセスチャンネル型トランジスタの間で共通化されている。更に、楕円で囲まれた各ソース/ドレイン領域13の中央部分はビットコンタクトプラグ21を介して

50

ビット線に電気接続されている。

【0024】

このゲート絶縁膜としては、例えば、シリコン酸化膜 ( $\text{SiO}_2$ )、シリコン窒化膜 ( $\text{Si}_3\text{N}_4$ )、シリコンオキシナイトライド膜やこれらの膜の積層体、ハフニウム ( $\text{Hf}$ ) を含んだ酸化物等を挙げることができる。また、ゲート絶縁膜としてはこの他に例えば、金属酸化物、金属シリケート、金属酸化物又は金属シリケートに窒素が導入された高誘電率絶縁膜などを用いることができる。

【0025】

なお、「高誘電率絶縁膜」とは半導体装置においてゲート絶縁膜として広く利用されている  $\text{SiO}_2$  よりも比誘電率 ( $\text{SiO}_2$  の場合は約 3.6) が大きな絶縁膜のことを表す。典型的には、高誘電率絶縁膜の比誘電率としては数十～数千のものを挙げることができる。高誘電率絶縁膜としては例えば、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfZrSiO}$ 、 $\text{HfZrSiON}$ 、 $\text{ZrSiO}$ 、 $\text{ZrSiON}$ 、 $\text{HfAlO}$ 、 $\text{HfAlON}$ 、 $\text{HfZrAlO}$ 、 $\text{HfZrAlON}$ 、 $\text{ZrAlO}$ 、 $\text{ZrAlON}$  などを用いることができる。

10

【0026】

ゲート電極としては、例えば、導電性ポリシリコン、金属、シリサイドやこれらの積層体等から構成することができる。導電性ポリシリコンは例えば、ポリシリコン中に N 型不純物を含有させることによって得ることができる。この際、N 型不純物の濃度は、 $1.0 \times 10^{20} \sim 1.0 \times 10^{21} / \text{cm}^3$  の範囲であることが好ましい。また、この N 型不純物としては、例えば、リン、ヒ素等を挙げることができる。

20

【0027】

また、シリサイドとしては具体的には、 $\text{NiSi}$ 、 $\text{Ni}_2\text{Si}$ 、 $\text{Ni}_3\text{Si}$ 、 $\text{NiSi}_2$ 、 $\text{WSi}$ 、 $\text{TiSi}_2$ 、 $\text{VSi}_2$ 、 $\text{CrSi}_2$ 、 $\text{ZrSi}_2$ 、 $\text{NbSi}_2$ 、 $\text{MoSi}_2$ 、 $\text{TaSi}_2$ 、 $\text{CoSi}$ 、 $\text{CoSi}_2$ 、 $\text{PtSi}$ 、 $\text{Pt}_2\text{Si}$ 、 $\text{Pd}_2\text{Si}$  などを挙げることができるが、導電性及び加工性等の点から  $\text{WSi}$  を用いることが好ましい。

【0028】

また、本発明の半導体装置は例えば、リセスチャネル型トランジスタの周りにプレナー型電界効果型トランジスタやフィン型電界効果型トランジスタを有していても良い。

【0029】

更に、セルコンタクトプラグを介してリセスチャネル型トランジスタのソース/ドレイン領域とキャパシタを電氣的に接続することにより、メモリセルを構成することができる。この場合、1つのリセスチャネル型トランジスタ及び1つのキャパシタから1つのメモリセルを構成することとなる。このようにして複数のメモリセルを設けると共に、各リセスチャネル型トランジスタのゲート電極を電氣的に接続してワード線とすることにより、DRAM (Dynamic Random Access Memory) を構成することができる。

30

【0030】

(第1実施例)

まず、P 型 Si 基板 1 内に、STI (shallow trench isolation) 法により、深さ約 300 nm の素子分離領域 2 を形成した。この後、熱酸化法により、P 型 Si 基板 1 の表面に約 10 nm のパッド酸化膜 3 を形成した。この後、CVD 法により、全面にシリコン窒化膜を約 100 nm、成膜した。この後、リソグラフィ技術によりレジストマスクを形成した後、このレジストマスクをマスクに用いてドライエッチングによりシリコン窒化膜を加工して、所望のパターンを有する第 1 マスク 18 を形成した (図 5 (a); 工程 (1))。

40

【0031】

次に、第 1 マスク 18 をマスクに用いて、P 型 Si 基板 1 内にリン (P) を注入エネルギー  $10 \text{ keV} \sim 50 \text{ keV}$ 、ドーズ量  $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$  の条件でイオン注入することにより、不純物拡散領域 13 を形成した (図 5 (b); 工程 (2))。この工程 (2) では、上記のように、既に P 型 Si 基板 1 上に第 1 マスク 18 が存在している

50

ため、これが不純物拡散領域用の不純物注入時のマスクとなり、新たにリソグラフィ工程を追加すること無しに、所望の箇所にセルフラインでリンを注入することができる。

【0032】

次に、CVD法により、全面にシリコン窒化膜を約30nm成膜して第2マスク19を形成した(図5(c);工程(3))。次に、全面エッチバックによりシリコン窒化膜を第1マスクの側面に残留させることにより、第2マスク20を形成した。また、この際、半導体基板内の不純物拡散領域上のパッド酸化膜3を露出させた(工程(4))。

【0033】

この状態で、第1及び第2マスクをマスクに用いてP型Si基板1をエッチングすることにより、P型Si基板1内にSiリセス部(溝部)6を形成した。この際、予め形成した不純物拡散領域はSiリセス部(溝部)6を挟んだ両側に残留することとなり、このSiリセス部(溝部)6の両側に残留した不純物拡散領域がソース/ドレイン領域13となる(図6(a);工程(5))。

10

【0034】

次に、全面に、ボロン(B)を注入エネルギー5keV~15keV、ドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ の条件で注入するか、又はBF<sub>2</sub>を注入エネルギー10~50keV、ドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ の条件で注入した。これにより、P型チャネル領域ドープ層9を形成した(図6(b);工程(6))。この工程(5)及び(6)では、工程(2)の不純物の注入工程と同様、第1マスク、第2マスク及び素子分離領域2がマスクとして働くため、新たなリソグラフィ工程を不要とすることができる。また、この際、ボロン又はBF<sub>2</sub>は、Siリセス部(溝部)6の底部にのみドープされた。

20

【0035】

次に、高温の燐酸を用いてシリコン窒化膜の第1及び第2マスクを除去した。この後、この状態で熱酸化法を行うことにより、Siリセス部(溝部)6内にゲート絶縁膜7としてシリコン酸化膜を約6nm、形成した(工程(7))。次に、DOPOS(Doped Polycrystalline Silicon)法により、Siリセス部(溝部)6内を埋め込むように、導電性ポリシリコン領域(リン濃度: $2 \times 10^{20} \text{cm}^{-3}$ )8を、約100nmの高さとなるように成長させた。

【0036】

次に、通常のCVD法又はスパッタリング法により、全面にタンゲステン膜10を約50nm成膜した。この後、低圧CVD法により、窒化シリコン膜(SiN膜)11を約150nm、成膜した。この後、リソグラフィ法により、リセス部(溝部)上にマスクを有するようにフォトレジストのレジストマスク(図示していない)を形成した。この状態で、レジストマスクをマスクに用いて、ドライエッチング技術により、窒化シリコン膜11、タンゲステン膜10、導電性ポリシリコン領域8を順次、エッチングした。これにより、タンゲステン膜10及び導電性ポリシリコン領域8からなるゲート電極12を形成した(図6(c);工程(8))。

30

【0037】

続いて、CVD法により、全面に約40nmの窒化シリコン膜(SiN膜)を成膜した後、ドライエッチングでエッチバックを行うことにより、ゲート電極の側面に側壁膜14を形成した。この後、全面にBPSG膜(B、P含有酸化シリコン膜)の成膜とリフローを行った後、CMPプロセスによる平坦化を行うことにより、層間絶縁膜15を形成した。

40

【0038】

次に、リソグラフィ技術により、N型拡散層13上に開口を有するレジストマスク(図示していない)を設けた。この後、このレジストマスクをマスクに用いてドライエッチング技術により、層間絶縁膜15内を貫通してN型拡散層13にまで到達するようにコンタクトホールを形成した。この後、DOPOS成膜により、コンタクトホール内に導電性ポリシリコンを形成した後、CMP技術で平坦化することによりセルコンタクトプラグ16を形成した。次に、熱処理(800℃, 30min程度)を行なうことにより、セルコ

50

ンタクトプラグ 16 中のリンを N 型拡散層（ソース/ドレイン領域）13 にまで拡散させて、N 型拡散層 17 を形成した（図 7）。

【0039】

本実施例で示した製造方法では、従来の製造方法と比べて、全体としてリソグラフィ工程が 2 工程、少なくなっているため、製造コストの低減を図ることができる。また、不純物拡散領域を予め設け、この不純物拡散領域の中央部分にシリセス部（溝部）6 を形成し、このシリセス部（溝部）6 内にゲート電極及びゲート絶縁膜を形成する。このため、シリセス部（溝部）6 に対してセルフアラインにソース/ドレイン領域を形成することができる。

【0040】

（第 2 実施例）

本実施例は、第 1 実施例において図 7 のセルコンタクトプラグに電氣的に接続されるようにキャパシタ（図示していない）が設けられており、リセスチャネル型トランジスタとキャパシタがメモリセルを構成する半導体装置に関するものである。

【0041】

この半導体装置は、図 5 ~ 7 までは第 1 実施例と同様にして半導体装置を製造することができる。また、キャパシタの製造工程としては公知の方法を用いることができる。

【0042】

（第 3 実施例）

本実施例では、リセスチャネル型トランジスタのゲート電極がシリサイドから構成されている点が、第 1 実施例の半導体装置と異なる。このゲート電極を形成する際には例えば、図 6 (b) ~ 図 6 (c) の工程において、シリセス部（溝部）6 内にポリシリコン層を充填させた後、このポリシリコン層上に金属層を堆積させる。そして、熱処理を行なうことによってシリサイドを形成することができる。なお、所望のシリサイドに応じて、このポリシリコン層の厚さ、金属の種類及び金属層の厚さ、熱処理時の温度及び時間を適宜、調製すれば良い。このシリサイドとしては例えば、 $NiSi$ 、 $Ni_2Si$ 、 $Ni_3Si$ 、 $NiSi_2$ 、 $WSi$ 、 $TiSi_2$ 、 $VSi_2$ 、 $CrSi_2$ 、 $ZrSi_2$ 、 $NbSi_2$ 、 $MoSi_2$ 、 $TaSi_2$ 、 $CoSi$ 、 $CoSi_2$ 、 $PtSi$ 、 $Pt_2Si$ 、 $Pd_2Si$ などを挙げることもできるが、導電性及び加工性等の点から  $WSi$  を用いることが好ましい。

【産業上の利用可能性】

【0043】

本発明の半導体装置は、DRAM (Dynamic Random Access Memory) 用のメモリセル等として使用することができる。

【図面の簡単な説明】

【0044】

【図 1】本発明の半導体装置の一例を表す図である。

【図 2】従来の半導体装置の製造方法を表す図である。

【図 3】従来の半導体装置の製造方法を表す図である。

【図 4】従来の半導体装置の製造方法を表す図である。

【図 5】本発明の半導体装置の製造方法の一例を表す図である。

【図 6】本発明の半導体装置の製造方法の一例を表す図である。

【図 7】本発明の半導体装置の製造方法の一例を表す図である。

【符号の説明】

【0045】

- 1 P 型 Si 基板
- 2 素子分離領域
- 3 パッド酸化膜
- 4 シリコン窒化膜のマスクパターン
- 5 レジストパターン
- 6 リセス部（溝部）

10

20

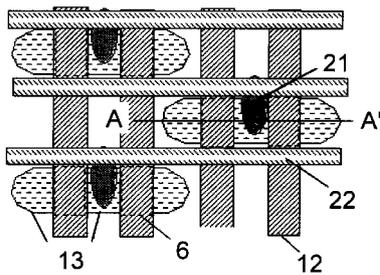
30

40

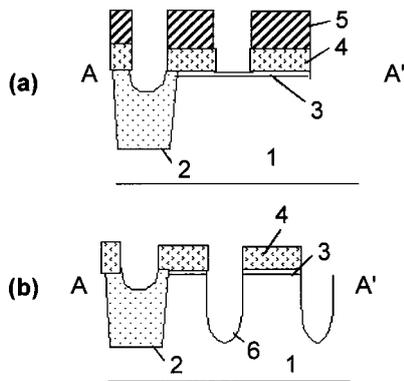
50

- 7 ゲート絶縁膜
- 8 導電性ポリシリコン領域
- 9 P型チャンネル領域ドーパ領域
- 10 タングステン膜
- 11 シリコン窒化膜
- 12 ゲート電極
- 13 ソース/ドレイン領域
- 14 側壁膜
- 15 層間絶縁膜
- 16 セルコンタクトプラグ
- 17 N型拡散層
- 18 第1マスク
- 19、20 第2マスク
- 21 ビットコンタクトプラグ
- 22 ビット線

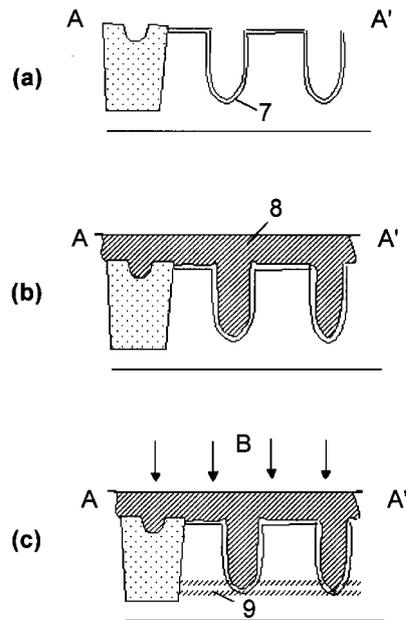
【図1】



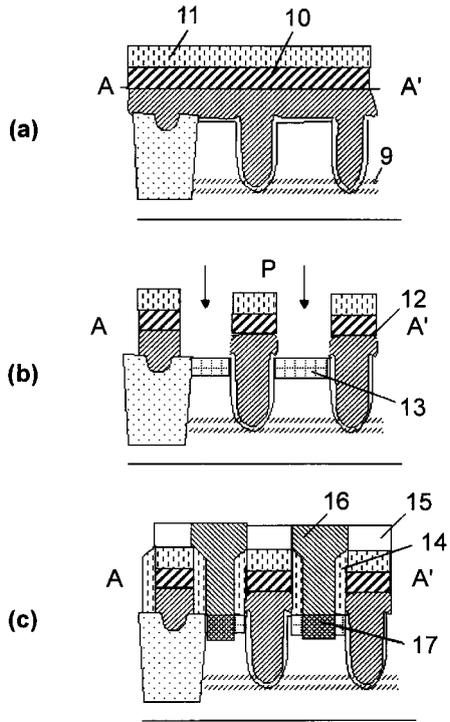
【図2】



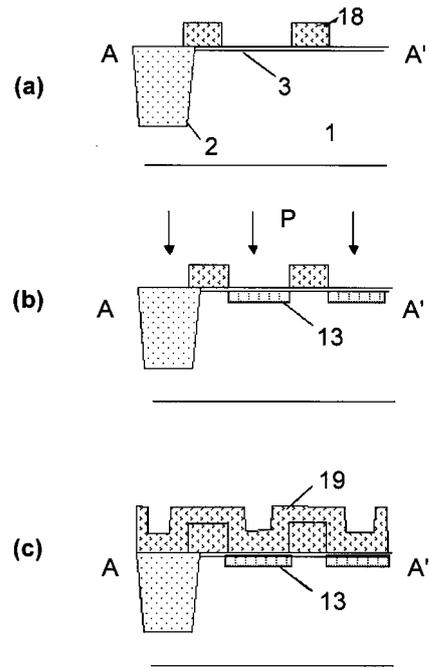
【図3】



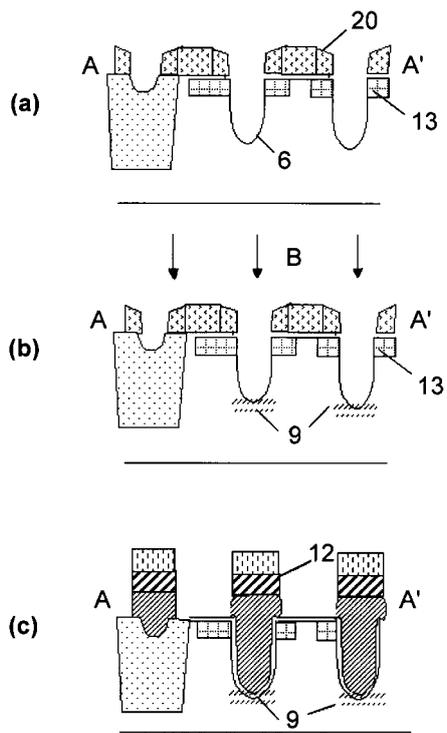
【 図 4 】



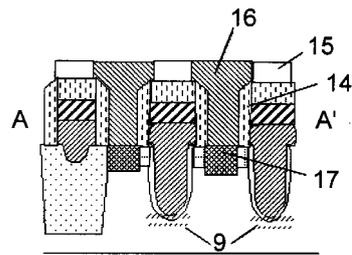
【 図 5 】



【 図 6 】



【 図 7 】



## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

**H 0 1 L 29/49 (2006.01)****H 0 1 L 29/78 (2006.01)**

Fターム(参考) 4M104 BB01 BB20 BB21 BB22 BB23 BB24 BB25 BB26 BB27 BB28  
 BB39 CC05 DD02 DD26 DD79 DD92 EE03 EE05 EE09 EE14  
 EE16 EE17 FF13 FF27 GG08 GG09 GG16 GG19 HH20  
 5F048 AA09 AB01 AB03 AC01 AC10 BA01 BB06 BB08 BB11 BD04  
 BF04 BF16 BG13  
 5F083 AD04 GA28 JA02 JA05 JA12 JA19 JA35 JA39 MA03 MA06  
 MA17 MA20 PR07 PR10  
 5F140 AA40 BA01 BE07 BF04 BF11 BF17 BF18 BF43 BG08 BG14  
 BG34 BG53 BJ01 BJ04 BJ27 BK05 BK13 BK15 CB04 CC07  
 CE18