

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4410188号
(P4410188)

(45) 発行日 平成22年2月3日(2010.2.3)

(24) 登録日 平成21年11月20日(2009.11.20)

(51) Int.Cl. F I
G 1 1 C 16/02 (2006.01) G 1 1 C 17/00 6 1 1 A
G 1 1 C 16/04 (2006.01) G 1 1 C 17/00 6 4 1
 G 1 1 C 17/00 6 2 2 E

請求項の数 2 (全 37 頁)

(21) 出願番号	特願2005-324737 (P2005-324737)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成17年11月9日(2005.11.9)	(74) 代理人	100092820 弁理士 伊丹 勝
(65) 公開番号	特開2006-228394 (P2006-228394A)	(74) 代理人	100106389 弁理士 田村 和彦
(43) 公開日	平成18年8月31日(2006.8.31)	(72) 発明者	藤生 政樹 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝 マイクロエレクトロニクスセ ンター内
審査請求日	平成17年11月25日(2005.11.25)	(72) 発明者	柴田 昇 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝 マイクロエレクトロニクスセ ンター内
(31) 優先権主張番号	特願2004-328971 (P2004-328971)		
(32) 優先日	平成16年11月12日(2004.11.12)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願2005-14627 (P2005-14627)		
(32) 優先日	平成17年1月21日(2005.1.21)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体記憶装置のデータ書き込み方法

(57) 【特許請求の範囲】

【請求項1】

しきい値電圧により決まるデータを不揮発に記憶するメモリセルを有する半導体記憶装置において、互いに隣接する第1及び第2のメモリセルに順次書き込みが行われる場合に、第1のメモリセルに所望のしきい値電圧のデータを書き込む方法であって、

前記第2のメモリセルに書かれるべきデータが第1のしきい値電圧状態である場合に、前記第1のメモリセルのデータ書き込み時に、前記所望のしきい値電圧に等しい第1の書き込みベリファイ電圧を用い、

前記第2のメモリセルに書かれるべきデータが第1のしきい値電圧より高い第2のしきい値電圧状態である場合に、前記第1のメモリセルのデータ書き込み時に、前記所望のしきい値電圧より低い第2の書き込みベリファイ電圧を用いることを特徴とする半導体記憶装置のデータ書き込み方法。

【請求項2】

互いに交差して配列されたワード線とビット線、及びそれらの各交差部に配置された電気的書き換え可能な不揮発性メモリセルを有する半導体記憶装置のデータ書き込み方法であって、

第1のワード線に沿って配列された少なくとも第1及び第2のメモリセルに所望のしきい値電圧のデータを書き込むための書き込み電圧を印加し、

第1のワード線に続いて選択される隣接する第2のワード線により選択される、第1のメモリセルに隣接する第3のメモリセルに書き込まれるべきデータがそのしきい値電圧を

シフトさせないものである場合、第1のメモリセルに対して前記所望のしきい値電圧に等しい第1のペリファイ電圧を用いた第1の書き込みペリファイを行い、

前記第2のワード線により選択される、第2のメモリセルに隣接する第4のメモリセルに書き込まれるべきデータがそのしきい値電圧をシフトさせるものである場合、第2のメモリセルに対して前記所望のしきい値電圧より低い第2のペリファイ電圧を用いた第2の書き込みペリファイを行う

ことを特徴とする半導体記憶装置のデータ書き込み方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電氣的書き換え可能な不揮発性メモリセルを用いて構成される半導体記憶装置のデータ書き込み方法に関する。

【背景技術】

【0002】

電氣的書き換え可能な不揮発性半導体メモリ（EEPROM）の一つとして、NAND型フラッシュメモリが知られている。NAND型フラッシュメモリは、複数のメモリセルが直列接続されたNANDセルユニットを配列してメモリセルアレイが構成されるため、例えばNOR型フラッシュメモリと比べて単位セル面積が小さく、従って大容量化が容易であるという特長を持つ。

【0003】

フラッシュメモリのメモリセルとしては、電荷蓄積層（例えば浮遊ゲート）と制御ゲートが積層されたトランジスタが用いられる。通常、メモリセルの浮遊ゲートに電子が注入されたしきい値電圧の高い状態（正のしきい値電圧状態）をデータ“0”、浮遊ゲートの電子を放出させたしきい値電圧の低い状態（負のしきい値電圧状態）をデータ“1”として、2値記憶が行われる。

【0004】

フラッシュメモリのデータ記憶容量を更に大きいものとするためには、一つのメモリセルが多ビットを記憶する多値記憶方式が用いられる。例えば、4値記憶の場合、次のようなデータビット割り付け法が提案されている。上位ページデータ（上位ビットデータ）“x”と下位ページデータ（下位ビットデータ）“y”の組み合わせにより定義される2ビットデータ（xy）を用いて、しきい値電圧の順に、4値データをA=11、B=10、C=00、D=01のように設定する（例えば、特許文献1参照）。このデータ割り付け法を用いると、下位ページ読み出し回数を減らすことができ、また高速書き込みを行うことができるという利点がある。

【0005】

4値データ“A”、“B”、“C”、“D”の別の割り付け法として、A=11、B=10、C=01、D=00という例も既に知られている。しかしこのデータ割り付け法の場合、基本的にデータ読み出しのためには、1回の上位ページ読み出しと、3回の下位ページ読み出しが必要である。

【特許文献1】特開2001-93288号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

この発明は、データの信頼性向上を可能とする半導体記憶装置のデータ書き込み方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

この発明の第1の態様によるデータ書き込み方法は、しきい値電圧により決まる複数ビットのデータを不揮発に記憶するメモリセルを有する半導体記憶装置において、互いに隣接する第1及び第2のメモリセルに順次書き込みが行われる場合に、第1のメモリセルに

10

20

30

40

50

所望のしきい値電圧のデータを書き込む方法であって、前記第1のメモリセルに所望のしきい値電圧より低いしきい値電圧のデータを書き込む第1のデータ書き込みを行うステップと、前記第2のメモリセルに第2のデータ書き込みを行うステップと、前記第1のメモリセルに前記所望のしきい値電圧のデータを書き込む第3のデータ書き込みを行うステップとを備え、前記第1のデータ書き込みは、前記第2のデータ書き込みによるしきい値電圧の変動を考慮した分だけ、前記所望のしきい値電圧の下限值よりも低い第1ペリファイ電圧を用いて実行される予備的書き込みであり、前記第3のデータ書き込みは、前記所望のしきい値電圧の下限值と等しい第2ペリファイ電圧を用いて実行される仕上げ書き込みであり、前記予備的書き込み、及び前記仕上げ書き込みは、前記それぞれ複数ビットに対応した複数のページの書き込みであることを特徴とする。

10

【0008】

この発明の第2の態様によるデータ書き込み方法は、互いに交差して配列されたワード線とビット線、及びそれらの各交差部に配置されしきい値電圧により決まる複数ビットのデータを電氣的書き換え可能に不揮発性に記憶するメモリセルを有する半導体記憶装置のデータ書き込み方法であって、第1のメモリセル群に選択的に所望のしきい値電圧より低いしきい値電圧状態を書き込む第1のデータ書き込みを行うステップと、前記第1のデータ書き込みの後、前記第1のメモリセル群に隣接する第2のメモリセル群に選択的にデータを書き込む第2のデータ書き込みを行うステップと、前記第2のデータ書き込みの後、前記第1のメモリセル群に、前記第1の書き込みと同じデータパターンをもって前記所望のしきい値電圧状態を書き込む第3のデータ書き込みを行うステップとを備え、前記第1
のデータ書き込みは、前記第2のデータ書き込みによるしきい値電圧の変動を考慮した分だけ、前記所望のしきい値電圧の下限值よりも低い第1ペリファイ電圧を用いて実行される予備的書き込みであり、前記第3のデータ書き込みは、前記所望のしきい値電圧の下
限值と等しい第2ペリファイ電圧を用いて実行される仕上げ書き込みであり、前記予備的
書き込み、及び前記仕上げ書き込みは、前記それぞれ複数ビットに対応した複数のページ
の書き込みであることを特徴とする。

20

【0009】

この発明の第3の態様によるデータ書き込み方法は、しきい値電圧により決まるデータを不揮発に記憶するメモリセルを有する半導体記憶装置において、互いに隣接する第1及び第2のメモリセルに順次書き込みが行われる場合に、第1のメモリセルに所望のしきい値電圧のデータを書き込む方法であって、

30

前記第2のメモリセルに書かれるべきデータが第1のしきい値電圧状態である場合に、前記第1のメモリセルのデータ書き込み時に、前記所望のしきい値電圧に等しい第1の書き込みペリファイ電圧を用い、

前記第2のメモリセルに書かれるべきデータが第1のしきい値電圧より高い第2のしきい値電圧状態である場合に、前記第1のメモリセルのデータ書き込み時に、前記所望のしきい値電圧より低い第2の書き込みペリファイ電圧を用いる。

【0010】

この発明の第4の態様によるデータ書き込み方法は、互いに交差して配列されたワード線とビット線、及びそれらの各交差部に配置された電氣的書き換え可能な不揮発性メモリセルを有する半導体記憶装置のデータ書き込み方法であって、

40

第1のワード線に沿って配列された少なくとも第1及び第2のメモリセルに所望のしきい値電圧のデータを書き込むための書き込み電圧を印加し、

第1のワード線に続いて選択される隣接する第2のワード線により選択される、第1のメモリセルに隣接する第3のメモリセルに書き込まれるべきデータがそのしきい値電圧をシフトさせないものである場合、第1のメモリセルに対して前記所望のしきい値電圧に等しい第1のペリファイ電圧を用いた第1の書き込みペリファイを行い、

前記第2のワード線により選択される、第2のメモリセルに隣接する第4のメモリセルに書き込まれるべきデータがそのしきい値電圧をシフトさせるものである場合、第2のメ

50

メモリセルに対して前記所望のしきい値電圧より低い第2のペリファイ電圧を用いた第2の書き込みペリファイを行う。

【発明の効果】

【0011】

この発明によれば、データの信頼性向上を可能とする半導体記憶装置のデータ書き込み方法が提供できる。

【発明を実施するための最良の形態】

【0012】

NAND型フラッシュメモリのセルアレイの微細化が進むと、隣接メモリセルの浮遊ゲート間の容量結合がセルデータに影響を与える。具体的にこの事情を図49を用いて説明する。図49は、NANDセルユニット内のビット線方向に並んで隣接する3メモリセル MC_{i-1} 、 MC_i 、 MC_{i+1} を示している。メモリセルは、浮遊ゲートFGと制御ゲートCGが積層された積層ゲート構造のMOSトランジスタである。浮遊ゲートFGが電荷蓄積層となり、その電荷蓄積量によって決まるしきい値電圧がデータとして不揮発に記憶されることになる。制御ゲートCGは、紙面に直交する方向に連続的に形成されて、ワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} となる。

10

【0013】

浮遊ゲートFGと制御ゲートCG及びチャネルとの間に容量 C_1 、 C_2 が入り、隣接セルの浮遊ゲート間 (FG-FG間) に容量 C_3 が入る。容量 C_1 、 C_2 は、メモリセルの書き込み性能等を決定する。セルピッチの微細化が進むと、浮遊ゲート間容量 C_3 が大きくなり、これが書き込み後のデータ変動をもたらす。

20

【0014】

このデータ変動を具体的に説明する。データ書き込み前に、選択ブロック内の全メモリセルは消去状態 (低しきい値電圧状態) に設定される。メモリセル MC_{i-1} 、 MC_i 、 MC_{i+1} の順に書き込みを行うものとして、メモリセル MC_i にデータ書き込みを行う時、メモリセル MC_{i+1} は消去状態である。メモリセル MC_i にデータ書き込みを行った後、メモリセル MC_{i+1} にデータ書き込みを行うと、そのデータによって浮遊ゲートの電位が決まり、浮遊ゲート間容量 C_3 によって、既に書かれているメモリセル MC_i のデータが変動する。

30

【0015】

より具体的に説明する。メモリセル MC_i 、 MC_{i+1} に順次しきい値電圧を高くする“0”データが書かれるものとする。後に書かれるメモリセル MC_{i+1} の浮遊ゲートFGが“0”書き込み (電子注入) により電位低下すると、既に“0”データが書かれているメモリセル MC_i は、FG-FG間容量 C_3 の結合により、しきい値電圧がさらに正方向に移動することになる。

【0016】

従って、図48に破線で示すように、4値データしきい値分布は、通常のノイズ (バックパターンやソース線の電位変動等) に起因する変動に加えて、FG-FG間容量結合により変動する。この結果、データの読み出しマージン M_1 、 M_2 は、小さいものとなる。

【0017】

上述のように、メモリセルアレイのセルピッチが微細になると、浮遊ゲート間の容量結合が大きくなり、その影響でデータしきい値電圧の変動が大きくなり、読み出しマージンが低下する。これは特に、データしきい値分布間のマージンが小さい多値記憶を行う場合に大きな問題になるが、2値記憶においても微細化が進むと無視できなくなる。

40

【0018】

以下の実施の形態では、NAND型フラッシュメモリにおける上述のようなFG-FG間容量結合に起因するデータ変動を抑圧する書き込み方式を用いる。

【0019】

図1は、一実施の形態によるNAND型フラッシュメモリのメモリチップの機能ブロック構成を示している。メモリセルアレイ1は、図2に示すように、NANDセルユニット

50

NUを配列して構成される。各NANDセルユニットNUは、複数個(図2の場合、32個)の電氣的書き換え可能な不揮発性メモリセルMC0 - MC31と、その両端をそれぞれビット線BLとソース線CELSRCに接続するための選択ゲートトランジスタS1, S2を有する。

【0020】

メモリセルMC0 - MC31の制御ゲートはそれぞれ異なるワード線WL0 - WL31に接続される。選択ゲートトランジスタS1, S2のゲートは、ワード線と並行する選択ゲート線SGD, SGSに接続される。

【0021】

ワード線を共有するNANDセルユニットの集合は、データ消去の単位となるブロックBLKjを構成する。図2では代表的に一つのブロックBLKjを示しているが、通常ビット線の方向に複数のブロックが配列される。

10

【0022】

ロウデコーダ3は、メモリセルアレイ1のワード線選択を行い、カラムデコーダ2はメモリセルアレイのビット線選択を行う。データラッチを含むセンスアンプ回路4は、メモリセルアレイのビット線に接続されて、データ読み出しを行い、或いは書き込みデータを保持する。

【0023】

データ読み出し時、センスアンプ回路4に読み出されたデータは、データバス9を介し、I/Oバッファ6を介して外部入出力端子I/Oに出力される。データ書き込み時、外部メモリコントローラ11から入出力端子I/Oに供給される書き込みデータは、I/Oバッファ6を介し、データバス9を介してセンスアンプ回路4にロードされる。

20

【0024】

入出力端子I/Oから供給されるコマンドは内部制御回路5でデコードされ、アドレスはアドレスレジスタ7を介してロウデコーダ3及びカラムデコーダ2に転送される。内部コントローラ5は、動作モードに応じて供給される外部制御信号及びコマンドに基づいて、データ書き込み及び消去のシーケンス制御、及びデータ読み出しの制御を行う。

【0025】

ステータスレジスタ8は、チップがレディ状態にあるか、ビジー状態にあるかを示すレディ/ビジー信号R/Bがセットされ、これがチップ外部に出力されるようになっている。動作モードに応じて、電源電圧より高い種々の高電圧を発生するために、高電圧発生回路10が設けられている。高電圧発生回路10はコントローラ5により制御される。

30

【0026】

図2に示したメモリセルアレイ構成では、ビット線毎にセンスアンプSAが配置されている。この場合、2値記憶方式では、1ワード線に沿って配列されるメモリセルの集合が、データ読み出し及び書き込みの単位となる1ページとなる。1メモリセルが2ビットを記憶する4値記憶方式の場合には、1ワード線に沿って配列されるメモリセルの集合は、2ページになる。

【0027】

しかし、セルが微細化された実際のフラッシュメモリでは、図2に示すように、ビット線ピッチにセンスアンプSAを配置することは困難になり、また隣接ビット線間のノイズの影響が大きくなる。そのために、通常は、図3に示すように、隣接する偶数番ビット線BLEと奇数番ビット線BLOが一つのセンスアンプSAを共有する、共有センスアンプ方式が用いられる。この共有センスアンプ方式では、各センスアンプSAと対応する偶/奇ビット線BLE/BLOの間にビット線選択トランジスタQE, QOが配置され、偶/奇ビット線BLE/BLOのいずれか一方がセンスアンプSAに接続され、他方はシールド線として用いられる。

40

【0028】

この共有センスアンプ方式を採用した場合には、1ワード線WLiと全偶数番ビット線BLEにより選択されるメモリセルの集合が一つのセクタを構成し、同ワード線WLiと

50

全奇数番ビット線 BLo により選択されるメモリセルの集合が他のセクタを構成する。そして、2値記憶方式の場合には、1セクタが読み出し及び書き込み単位である1ページとなり、4値記憶方式の場合には、1セクタが2ページ(上位ページと下位ページ)となる。

【0029】

図4は、センスアンプ回路4のなかの、一对のビット線 BL_e / BLo に接続される1センスユニットの構成を示している。センスノード N_{sen} は、NMOSトランジスタ Q_1 を介し、ビット線選択トランジスタ Q_e, Q_o を介してビット線 BL_e, BLo の一方に接続される。このトランジスタ Q_1 は、データ読み出し時、ビット線電圧をクランプする動作と、セルデータに応じたビット線電圧を検出するプリセンスアンプの働きをし、データ書き込み時は書き込みデータに応じた電圧をビット線に転送する動作を行う。

10

【0030】

センスノード N_{sen} には、プリチャージ用NMOSトランジスタ Q_2 が接続されている。このプリチャージ用トランジスタ Q_2 はデータ読み出し時、ビット線を所定電圧にプリチャージするために用いられる。

【0031】

センスノード N_{sen} には、転送用NMOSトランジスタ Q_3, Q_4 を介して二つのデータ記憶回路(データラッチ) LAT_1, LAT_2 が接続されている。これらのデータラッチ LAT_1, LAT_2 は動作モードに応じて使い分けられる。例えば、データラッチ LAT_2 は、外部 I/O 端子との間で読み出し及び書き込みデータの授受を行うためのデータキャッシュを構成する。このため、データラッチ LAT_2 のデータノード N_{11}, N_{12} は、カラムゲートトランジスタ Q_5, Q_6 を介してデータ線対 DL, DL_n に接続される。これにより、1ページの読み出し/書き込みデータは、1カラム(8ビット或いは16ビット)ずつセンスアンプ回路4と I/O 端子の間でシリアル転送される。

20

【0032】

データ書き込み時、書き込みデータは、データラッチ LAT_2 にロードされた後、データラッチ LAT_1 に転送されて保持される。データ書き込みは、書き込み電圧印加と書き込み状態を確認するベリファイ読み出しとからなる書き込みサイクルを繰り返すことにより行われる。

【0033】

各書き込みサイクルでは、ビット毎の書き込みベリファイを行い、次の書き込みサイクルの書き込みデータを決定する。そのために、データラッチ LAT_1 のデータノード N_1 とセンスノード N_{sen} の間に、書き込みデータを一時記憶するデータ記憶回路 DS_1 が設けられている。

30

【0034】

簡単に書き込み動作を説明すれば、データラッチ LAT_1 の書き込みデータは、セルのしきい値電圧を正方向に移動させる“0”データは、 $N_1 = "L"$ 、セルのしきい値電圧を負の状態(消去状態)のまま保持する“1”データ(即ち書き込み禁止)は、 $N_1 = "H"$ としてセットされる。

【0035】

書き込みベリファイ読み出しでは、確認すべきデータしきい値電圧分布の下限値に相当する“ベリファイ電圧”を選択ワード線に与えて、プリチャージされたビット線が選択セルにより放電されるか否かを検出する。“0”書き込みがなされたセルはワード線に与えられるベリファイ電圧でオンせず、ビット線が放電されない。従って、 $N_{sen} = "H"$ なるデータとして読み出され、以後“1”書き込み(書き込み禁止)とされる。これに対して、“0”書き込みが不十分であるか、又は“1”データのセルではビット線が放電されて、これが“L”データとして読み出される。従って、次の書き込みサイクルでは、データ記憶回路 DS_1 が保持する前サイクルの書き込みデータに基づいて、“1”書き込みデータを再度“H”データとしてデータラッチ LAT_1 に書き戻す動作が行われる。

40

【0036】

50

1 ページ内の“0”書き込みデータが全て書き込まれると、データラッチLAT1は、データノードN1がオール“H”(オール“1”)状態となるように、制御される。このデータラッチLAT1のオール“1”状態を検出することで、1ページの書き込み完了が判定される。図4では、このベリファイ判定回路は示していない。

【0037】

図4では、データラッチLAT2にもデータ記憶回路DS2が設けられている例を示しているが、これは必要でない場合もある。また4値記憶方式では、データ書き込みに下位ページ書き込みと上位ページ書き込みが必要である。更に上位ページ書き込みでは、二つのデータ状態を確認するためのベリファイ条件の異なる別々の書き込みベリファイが必要となる。そして、この上位ページ書き込みシーケンスにおいて、既に書かれている下位ページデータを参照して書き込みベリファイを行う必要がある。そのためにデータラッチLAT2は、上位ページ書き込みの間、メモリセルアレイから読み出した下位ページデータを保持する働きをする。

【0038】

図5は、4値記憶方式の場合のデータしきい値分布の一例を示している。4値データA, B, C, Dは、しきい値電圧の順に定義される。4値データが、上位ページデータ“x”と下位ページデータ“y”により“xy”で表されるものとして、ここでは、A=11, B=10, C=00, D=01なるデータビット割付が用いられている。データ“A”は最もしきい値電圧の低い(即ち負のしきい値電圧)の消去状態である。

【0039】

データ消去は、ブロック単位で行われる。選択ブロックの全ワード線を0Vとし、メモリセルアレイが形成されたp型ウェルに消去電圧 V_{era} (例えば20V)を印加する。これにより、選択ブロック内の全メモリセルは、浮遊ゲートの電子が放出されて、負のしきい値電圧状態(データ“A”)になる。

【0040】

データ書き込みは、図5に示したように、下位ページ書き込みと上位ページ書き込みとを必要とする。下位ページ書き込みは、データ“A”のセルを選択的にデータ“B”にする動作である。データラッチLAT1にロードする書き込みデータは、“0”(データ“B”の書き込み)又は“1”(データ“A”の維持、即ち書き込み禁止)である。この書き込みデータに応じて、ビット線を介してNANDセルチャネルの電位が、“0”, “1”書き込みに応じて、 V_{ss} , $V_{dd} - V_t$ (V_t は選択ゲートトランジスタのしきい値電圧)に設定される。そして選択ワード線に書き込み電圧 V_{pgm} を与えることにより、“0”データが与えられたセルでは電子注入が生じ、“1”データが与えられたセルでは電子注入が生じない。これにより、同じページ内で選択的にセルのしきい値を上昇させることができる。

【0041】

各書き込みサイクルの書き込みベリファイにおいては、データ“B”のしきい値分布の下限値に設定されたベリファイ電圧 V_{v1} が用いられる。

【0042】

上位ページ書き込みは、データ“B”のセルを選択的にデータ“C”にする第1の上位ページ書き込みと、データ“A”のセルを選択的にデータ“D”にする第2の上位ページ書き込みとを含む。これら二種の上位ページ書き込みは、一つのシーケンス内で、選択ページに対して、選択的に“0”, “1”書き込みデータを与えて同時に書き込み電圧印加が行われる。即ち、第1及び第2の上位ページ書き込みは、共に“0”書き込み動作として同時に行われる。

【0043】

但し、二種の上位ビット書き込みの書き込みベリファイは、異なるベリファイ電圧を用いる必要があるので、別工程となる。即ち第1の上位ページ書き込みでは、ベリファイ電圧 V_{v2} が用いられ、第2の上位ページ書き込みでは、ベリファイ電圧 V_{v3} が用いられる。

10

20

30

40

50

【 0 0 4 4 】

第1の上位ページ書き込みの書き込みベリファイでは、データ“C”のみについて書き込み状態を確認し、データ“D”はベリファイ対象から除外する必要がある。そのためには、既に書かれている下位ページデータを参照する。即ち、上位ページ書き込みの開始前に、下位ページデータ“ A ”，“ B ”をワード線に与える読み出し電圧を V_{r1} として、それぞれ、“ 1 ”，“ 0 ”データとして読み出して、これをデータラッチ $L A T 2$ に保持する。詳細な動作説明は省くが、このデータラッチ $L A T 2$ の保持データを利用して、第1の上位ページ書き込みのベリファイでは、データ“ D ”をベリファイ対象から除外することができる。

【 0 0 4 5 】

ベリファイ電圧 V_{v3} を用いる第2の上位ページ書き込みでは、データ“ C ”は“ 1 ”データとして読み出されるので、下位ページデータの参照を要せずにデータ“ D ”の書き込み状態のみを確認することができる。

【 0 0 4 6 】

通常データの読み出しは、1回の上位ページ読み出しと、2回の下位ページ読み出しが行われる。まず、データ“ B ”，“ C ”のしきい値電圧分布の間に設定された読み出し電圧 V_{r2} を用いた上位ビット読み出しが行われる。これにより、上位ページデータ“ x ”が“ 1 ”であるデータ“ A ”又は“ B ”は、データ“ 1 ”として、上位ページデータ“ x ”が“ 0 ”であるデータ“ C ”又は“ D ”はデータ“ 0 ”として読み出される。

【 0 0 4 7 】

次いで、データ“ A ”，“ B ”の間に設定した読み出し電圧 V_{r1} を用いた第1の下位ページ読み出しと、データ“ C ”，“ D ”の間に設定した読み出し電圧 V_{r3} を用いた第2の下位ページ読み出しを順次行う。これにより、データ“ A ”と“ B ”の判別と、データ“ C ”と“ D ”の判別が可能になる。

【 0 0 4 8 】

なお、データ読み出しに用いられる上述の読み出し電圧 $V_{r1} - V_{r3}$ は、選択ワード線に与えられる電圧である。選択ブロック内の非選択ワード線、選択ゲート線には、全データしきい値分布の上限値より高い読み出しパス電圧 V_{read} (図5参照) が与えられる。これにより、非選択セルをデータによらずオンさせることができるから、選択ワード線のデータによりビット線電流が流れるか否かを検知して、データを判定することができる。なおベリファイ読み出し動作においてもこの読み出しパス電圧 V_{read} が用いられる。

【 0 0 4 9 】

ここまで、NAND型フラッシュメモリの構成と基本的な動作を説明した。この実施の形態では、実際のデータ書き込みにおいて、隣接セルの浮遊ゲート間容量に起因するデータの変動を抑圧するような書き込み方式を採用する。以下、いくつかの書き込み方式を具体的に説明する。

【 0 0 5 0 】

[第1の書き込み方式]

第1の書き込み方式では、第1のワード線に沿って配列された第1のメモリセル群に選択的に所望のしきい値電圧より低いしきい値電圧状態を書き込む第1のデータ書き込み(予備的書き込み)を行い、その第1のデータ書き込みの後、第1のワード線に隣接する第2のワード線に沿って配列された第2のメモリセル群に選択的にデータを書き込む第2のデータ書き込みを行い、その第2のデータ書き込みの後、第1のメモリセル群に選択的に、第1の書き込みと同じデータパターンをもって所望のしきい値電圧状態を書き込む第3のデータ書き込み(仕上げ書き込み)を行う。

【 0 0 5 1 】

具体的には、負のしきい値電圧のデータ“ A ”(消去状態)のメモリセル群に選択的に正のしきい値電圧のデータ“ B ”を書き込む場合を説明する。これは、前述した4値データ記憶方式の例では、下位ページ書き込みに対応するが、上位ページ書き込みにも同様に

10

20

30

40

50

適用できる。また、“A” = “1”，“B” = “0”とする2値データ記憶方式にもそのまま適用できる。

【0052】

図6は、この第1の書き込み方式の書き込み順序を示している。この例では、選択ブロック内のソース線CELSRCに最も近いワード線WL0から順に、最終ワード線WL31まで書き込みを行うものとする。

【0053】

最初にワード線WL0に沿ったメモリセル群に書き込みを行う。これは、後に隣接セルに書かれるデータの影響によるしきい値電圧変動分だけ所望のデータしきい値電圧より低いしきい値電圧を得るもので、いわば予備的書き込みとすることができる。次にワード線WL1に沿ったメモリセル群に書き込み（これも予備的書き込みである）を行い、その後ワード線WL0に沿ったメモリセル群に、所望のしきい値電圧を得るための仕上げ書き込み（即ち追加書き込み）を行う。次にワード線WL2に沿ったメモリセル群に予備的書き込みを行った後、ワード線WL1に沿ったメモリセル群に仕上げ書き込みを行う。以下、同様の書き込み動作を繰り返す。

【0054】

図7～図10は、2本の隣接するワード線 WL_i 、 WL_{i+1} に着目し、これらに沿って配列されたそれぞれ3個ずつのメモリセル($MC_{i,0} \sim MC_{i,2}$)、($MC_{i+1,0} \sim MC_{i+1,2}$)について、選択的にデータ“B”を書く場合のしきい値電圧変化の例を示している。

【0055】

初期状態では、図7に示すように、選択ブロック内の全メモリセルが消去状態（データ“A”状態）にある。図8は、ワード線 WL_i での最初の書き込みを示している。ここでは、後のデータしきい値変動を考慮して、データ“B”の所望のしきい値電圧下限値より低いペリファイ電圧 V_{v11} を用いる。図では、メモリセル $MC_{i,0}$ と $MC_{i,2}$ にデータ“B”が書かれる場合を示している。このとき、ワード線 WL_{i+1} の全メモリセルはデータ“A”状態である。

【0056】

図9は、続くワード線 WL_{i+1} での最初の書き込みを示している。メモリセル $MC_{i+1,1}$ と $MC_{i+1,2}$ に対して書き込みデータ“0”を与えることにより、データ“B”が書かれる。このときもペリファイ電圧 V_{v11} が用いられる。

【0057】

このワード線 WL_{i+1} での書き込みの結果、既に書かれているメモリセル $MC_{i,2}$ のデータ“B”のしきい値電圧分布は、隣接するメモリセル $MC_{i+1,2}$ にデータ“B”が書かれることによって、浮遊ゲート間容量のカップリングで、破線で示すように、しきい値分布が正方向に移動する。メモリセル $MC_{i,0}$ は、隣接するメモリセル $MC_{i+1,0}$ がデータ“A”のままであるため、しきい値変動はない。メモリセル $MC_{i,1}$ は、データ“A”であるため、隣接するメモリセル $MC_{i+1,1}$ がデータ“B”になっても、その影響は無視できる。

【0058】

この後、図10に示すように、ワード線 WL_i に戻って、データ“B”の所望のしきい値分布下限値に設定されたペリファイ電圧 V_{v12} を用いた仕上げ書き込みを、最初の書き込み時と同じデータパターンをもって行う。これにより、先にデータ“B”が書かれたメモリセル $MC_{i,0}$ 及び $MC_{i,2}$ は、ワード線 WL_{i+1} のメモリセルのデータの影響によるしきい値電圧のばらつきが低減されたデータ“B”が得られる。

【0059】

なお最終ワード線WL31については、これより後に書かれる隣接セルはない。従ってこの最終ワード線の書き込みは、所望のしきい値分布下限値に設定したペリファイ電圧 V_{v12} を用いた1回の書き込みのみでよい。

【0060】

10

20

30

40

50

図11は、ワード線WL0～Nで規定される書き込み領域に、ワード線を順次選択してデータ書き込みを行う場合の基本シーケンスを示している。各ワード線での書き込み制御はそれぞれ、書き込みコマンド入力、アドレス入力、書き込みデータロード及び書き込み開始コマンド入力を行うことにより、内部コントローラ5により自動的に行われる。そして、各ワード線の書き込みシーケンス内で、前ワード線の書き込みデータに対する仕上げ書き込みを行うようにする。

【0061】

図12は、図11におけるワード線WL1でのデータ書き込みステップS2のシーケンスを具体的に示している。書き込みコマンドの入力により、書き込みシーケンスが開始される。アドレスを入力し(ステップS11)、書き込みデータをロードし(ステップS12)、書き込み開始コマンドを入力する(ステップS13)ことにより、コントローラ5は書き込み動作制御を開始する。

10

【0062】

データ書き込みは、書き込み電圧印加(ステップS14)と書き込みベリファイ(ステップS15)を繰り返すことにより、行われる。このとき、ベリファイ電圧Vv11が用いられる。書き込み完了の判定ステップS16では、データラッチLAT1がオール“1”になったか否かを判定する。

【0063】

書き込み完了が判定されると、次に一つ前のワード線WL0の書き込みデータがメモリセルアレイから読み出され、データラッチLAT1に書き込みデータとして保持される(ステップS17)。そして、ワード線WL0のメモリセルに対して仕上げ書き込みを行う(ステップS18)。

20

【0064】

このワード線WL0の書き込みのためのページアドレスは、チップ内部でデクリメントして発生させればよい。或いはコマンドと共に改めてページアドレスを入力することにしてもよい。また、ステップS17のデータ読み出し動作に代わり、外部から改めてコマンド、アドレス及び書き込みデータを入力して、仕上げ書き込みを行うこともできる。

【0065】

書き込みベリファイステップS19では、ベリファイ電圧Vv12が用いられる。この仕上げ書き込みも、書き込み完了判定ステップS20で書き込み完了が判定されるまで、書き込み電圧印加(ステップS18)と書き込みベリファイ(ステップS19)が繰り返される。

30

【0066】

書き込み電圧は、通常、書き込みサイクル毎に少しずつステップアップする。図50は、この実施の形態での書き込み電圧Vpgmの変化を示している。予備的書き込み(ステップS14)に比べて、仕上げ書き込み(ステップS18)でのしきい値電圧変化量を小さく抑えるものとするれば、図50に示すように、仕上げ書き込みサイクルでの電圧ステップVpgm2は、予備的書き込みサイクルでの電圧ステップVpgm1より低く設定することが好ましい。これにより、仕上げ書き込みでの高精度しきい値分布制御が可能になる。

40

【0067】

なお、図11に示す先頭ワード線WL0の書き込みステップS1のみは、図12のステップS11-S16により終了する。この先頭ワード線WL0の書き込みステップS1を除く、各ワード線の書き込みシーケンスにおいて、上述のワード線WL1の書き込みシーケンスにおけると同様に、一つ前のワード線に対する仕上げ書き込みが行われる。また最終ワード線のメモリセルに対する書き込みは、ステップS15の書き込みベリファイでベリファイ電圧Vv12が用いられる点で、他のワード線とは異なる。

【0068】

以上のような書き込み方式によって、隣接セルの浮遊ゲート間容量に起因するデータしきい値変動の影響を低減して、信頼性の高いデータ記憶を行うことが可能になる。例えば

50

4 値記憶方式の場合であれば、図 5 に破線で示したように、データしきい値分布のばらつきは通常のノイズ（バックパターンやソース線電位変動等）に起因するもののみとなる。これにより、データ“B”，“C”，“D”間の読み出しマージン M_1 ， M_2 は、図 4 8 のそれと比べて大きく確保できる。

【0069】

また、この第 1 の書き込み方式では、予備的書き込みと仕上げ書き込みが行われるが、予備的書き込みでは、所望のしきい値電圧より後に書かれる隣接セルデータの影響によるしきい値電圧変動分だけ低いしきい値電圧を目標とする。このため、書き込み時間は通常のデータ書き込みより短い。仕上げ書き込みも、しきい値電圧変化量は小さく、短い書き込み時間で済む。従って、2 段階の書き込みを行うものの、通常の書き込み方式と比べて、書き込み時間がそれほど長くなることはない。

10

【0070】

図 1 3 は、上述の第 1 の書き込み方式で、ブロック内の特定のワード線範囲（書き込み領域）に書き込む場合の書き込み順序を、図 6 と対応させて示している。この場合、書き込み領域の外に隣接するワード線 WL_{28} についてダミーデータ書き込みを行った後、ワード線 WL_{27} について仕上げ書き込みを行う。

【0071】

ダミーデータパターンは、例えばオール“0”或いは“1”，“0”の繰り返しパターン等、どの様なものでもよい。要するに、このダミーデータ書き込みによりワード線 WL_{27} のセルが影響を受けるので、ワード線 WL_{27} について仕上げ書き込みを行う。

20

【0072】

なおダミーデータが書かれたワード線 WL_{28} は、データ記憶領域としては無効領域とする。即ち、有効データを書くことのできる残り領域は、ワード線 WL_{29} - WL_{31} の範囲となる。また、ワード線 WL_{28} をオール“1”の消去状態のまま、無効領域としてもよい。その場合には、図 6 の場合の最終ワード線 WL_{31} と同様に、書き込み領域の最終ワード線 WL_{27} の書き込みに関して、所望しきい値電圧下限値に対応するペリファイ電圧 V_{v12} を設定した書き込みを行えばよく、仕上げ書き込みは必要なくなる。

【0073】

なお上の例では、あるワード線に対する書き込みシーケンス内で、アドレスのデクリメントを行って、一つ前のワード線について仕上げ書き込みを行うものとしたが、仕上げ書き込みを独立のコマンド入力により制御するようにしてもよい。更に、仕上げ書き込みの方式は、必ずしもあるワード線の書き込みの後、その一つ前のワード線に対して行うという例に限定されない。例えば複数ワード線に連続的に書き込みを行った後に、複数ワード線分戻って、仕上げ書き込みを行うことも可能である。

30

【0074】

[第 2 の書き込み方式]

第 2 の書き込み方式は、第 1 の書き込み方式の変形である。即ち第 2 の書き込み方式では、連続する複数のワード線からなる書き込み領域について順次ワード線を選択して、それぞれのメモリセル群に所定のデータパターンで所望のしきい値電圧より低い第 1 のペリファイ電圧を用いた書き込みペリファイを伴ってデータ書き込み（予備的書き込み）を行う。

40

【0075】

次いで同じ書き込み領域について再度順次ワード線を選択して、それぞれのメモリセル群に前記所定のデータパターンで所望のしきい値電圧に等しい第 2 のペリファイ電圧を用いた書き込みペリファイを伴ってデータ書き込み（仕上げ書き込み即ち、追加書き込み）を行う。

【0076】

図 1 4 は、第 2 の書き込み方式の書き込み順序を示している。選択ブロックの全ワード線 WL_0 - WL_{31} の範囲にソース線 $C E L S R C$ 側から順に書き込みを行うものとして、まずワード線 WL_0 - WL_{31} にこの順に、図 8 に示したと同様に、所望のしきい値電

50

圧より低いベリファイ電圧 V_{v11} による書き込みベリファイを伴って書き込みを行う。各ワード線での書き込みシーケンスは、図 12 のステップ S 11 ~ S 16 までであり、ステップ S 16 の書き込み完了検出により終了する。

【0077】

その後ワード線 WL_0 に戻って、ワード線 $WL_0 - WL_{31}$ にこの順に、所望のしきい値電圧分布の下限值に設定されたベリファイ電圧 V_{v12} を用いた書き込みベリファイを伴って、仕上げ書き込みを行う。

【0078】

図 15 は、一般的にワード線 $WL_0 \sim N$ の書き込み領域に第 2 の書き込み方式を適用した場合の書き込みシーケンスを示している。最初のワード線 $WL_0 \sim N$ の書き込みステップ S 21 - S 24 では、ベリファイ電圧 V_{v11} が用いられ、仕上げ書き込みステップ S 25 では、全ワード線 $WL_0 \sim N$ の範囲について、ベリファイ電圧 V_{v12} を用いた仕上げ書き込みが行われる。

【0079】

なお図 15 で説明した書き込み領域の最終ワード線 WLN が、図 14 の例におけるようにブロックの最終ワード線でない場合には、前述の第 1 の書き込み方式で説明したと同様に、ここにはダミーデータを書き込んで、無効領域とすることが好ましい。ワード線 WLN に仕上げ書き込みを行っても、その後ワード線 $WLN + 1$ にデータが書かれると、そのデータの影響を受けるからである。

【0080】

図 16 は、図 15 の仕上げ書き込みステップ S 25 の具体的な書き込みシーケンスを示している。仕上げ書き込み用のコマンドを入力した後、ワード線 WL_0 を選択するアドレスを入力し（ステップ S 31）、書き込み開始コマンドを入力することにより（ステップ S 32）、内部コントローラ 5 による仕上げ書き込み制御が開始される。

【0081】

選択されたワード線 WL_0 のメモリセルデータを読み出し、これをデータラッチ LAT 1 に書き込みデータとして保持する（ステップ S 33）。この書き込みデータに基づいて、書き込み電圧印加（ステップ S 34）と書き込みベリファイ（ステップ S 35）を繰り返す。書き込みベリファイでは、ベリファイ電圧 V_{v12} が用いられる。

【0082】

ステップ S 36 で書き込み完了が判定されたら、現に選択されたワード線 WL_i が最終ワード線 WLN であるか否かを判断する（ステップ S 37）。この判断のためには、最終ワード線 WLN のアドレス情報を参照データとして予めアドレスレジスタ等にセットしておく。そして、最終ワード線 WLN に達していなければ、アドレスをインクリメントして（ステップ S 38）、次のワード線について書き込みデータを読み出し（ステップ S 33）、同様の仕上げ書き込みを繰り返す。

【0083】

この第 2 の書き込み方式の場合も、予備的書き込みに比べて仕上げ書き込みでの書き込み電圧のステップアップ分を低くすることが好ましい。これにより高精度の仕上げ書き込みが可能になる。

【0084】

この第 2 の書き込み方式によっても、隣接セルの浮遊ゲート間容量に起因するデータしきい値変動の影響を低減して、信頼性の高いデータ記憶を行うことが可能になる。更にこの第 2 の書き込み方式では、書き込み領域全体に所望のしきい値電圧より低いしきい値電圧を目標とする予備的書き込みを行い、その後その書き込み領域に所望のしきい値電圧を得る仕上げ書き込みを行うので、通常データ書き込み方式と比べて、バックパターン（メモリセルアレイ内のデータ分布）によるしきい値電圧のばらつきが低減されるという効果が得られる。

【0085】

なお上の例では、一つのコマンドで複数ワード線に対する仕上げ書き込みを行うように

10

20

30

40

50

したが、各ワード線の仕上げ書き込み毎にコマンド入力するようにしてもよい。

【0086】

ここまで説明した第1及び第2の書き込み方式は、基本的に、互いに隣接する第1及び第2のメモリセルを有し、第1及び第2のメモリセルに順にしきい値電圧により決まるデータが書き込まれる半導体記憶装置のデータ書き込み方法であって、第2のメモリセルへのデータ書き込み動作前に、第1のメモリセルに所望のしきい値電圧より低いしきい値電圧のデータを書き込み（予備的書き込み）、第2のメモリセルへのデータ書き込み動作後に、第1のメモリセルに前記所望のしきい値電圧のデータを書き込む（仕上げ書き込み或いは、追加書き込み）ものである。

【0087】

[第3の書き込み方式]

第3の書き込み方式では、隣接する第1及び第2のメモリセルの第1のメモリセルにデータを書き込む際に、後に書かれるべき第2のメモリセルのデータに応じて、そのしきい値電圧制御を行う。

【0088】

具体的にこの第3の書き込み方式では、後に書かれるべき隣接セルデータによるデータ変動を予測して、1書き込みサイクル内で異なるベリファイ条件を用いた2回の書き込みベリファイを行う。

【0089】

図17は、この第3の書き込み方式を適用した例のワード線 WL_i での書き込みシーケンスを示している。図18～図20は、2本の隣接するワード線 WL_i 、 WL_{i+1} に着目し、これらに沿って配列されたそれぞれ3個ずつのメモリセル($MC_{i,0} \sim MC_{i,2}$)、($MC_{i+1,0} \sim MC_{i+1,2}$)について、選択的にデータ“B”を書く場合のしきい値電圧変化の例を示している。

【0090】

初期状態では、図18に示すように、選択ブロック内の全メモリセルが消去状態（データ“ A ”状態）にある。図19は、ワード線 WL_i での書き込みによるしきい値電圧変化である。ここでは、メモリセル $MC_{i,0}$ 及び $MC_{i,2}$ に対して“0”書き込みを行う場合を示しているが、この書き込みサイクルにおいて、後に選択されるワード線 WL_{i+1} のメモリセル $MC_{i+1,0}$ 、 $MC_{i+1,2}$ の書き込みデータに応じて、異なるベリ

【0091】

例えば、図21に示すように、ワード線 WL_i に沿ったカラム $Col.0$ 及び $Col.2$ のメモリセル $MC_{i,0}$ 及び $MC_{i,2}$ は共に“0”書き込みによりデータ“B”を書くが、これらに隣接するワード線 WL_{i+1} に沿うカラム $Col.0$ 及び $Col.2$ のメモリセル $MC_{i+1,0}$ 及び $MC_{i+1,2}$ にはそれぞれ、“1”及び“0”書き込みにより、データ“ A ”及び“ B ”が書かれるものとする。このとき、メモリセル $MC_{i,0}$ のデータしきい値は、後に書かれるメモリセル $MC_{i+1,0}$ の浮遊ゲートの影響を受けないが、メモリセル $MC_{i,2}$ のデータしきい値は、メモリセル $MC_{i+1,2}$ に“0”書き込みされると、その影響を受ける。

【0092】

そこで、ワード線 WL_i での書き込みの際して、後に書かれるべきメモリセル $MC_{i+1,0}$ 及び $MC_{i+1,2}$ のデータを参照して、図19に示すように、メモリセル $MC_{i,0}$ については、所望のしきい値分布下限値に等しいベリファイ電圧 V_{v12} を用い、メモリセル $MC_{i,2}$ については、後に書かれる隣接セルによるしきい値変動を考慮してそれより低いベリファイ電圧 V_{v11} を用いた書き込みベリファイを行う。

【0093】

その後、図20に示すように、ワード線 WL_{i+1} に書き込みを行うと、しきい値電圧が低めに書き込まれたメモリセル $MC_{i,2}$ は、メモリセル $MC_{i+1,2}$ のデータ“ B ”の影響を受けてしきい値電圧が正方向に変動する。従って、ワード線 WL_i 上で共に“

10

20

30

40

50

0”書き込みされたメモリセル MC_i , 0 と MC_i , 2 のデータ “ B ” は、FG - FG 間容量結合の影響が低減された、しきい値分布のばらつきが小さい状態になる。

【 0 0 9 4 】

図 1 7 に示す書き込みシーケンスを説明すれば、書き込みコマンド入力によりこの書き込みシーケンスは開始される。ワード線 WL_i を選択する書き込みページアドレスを入力し (ステップ S 4 1)、書き込みデータをロードする (ステップ S 4 2)。書き込みデータは、図 4 のデータラッチ LAT_1 に転送されて保持される。

【 0 0 9 5 】

続いて、次のワード線 WL_{i+1} に書き込まれるべきデータを、データラッチ LAT_2 にロードする (ステップ S 4 3)。書き込み開始コマンドを入力することにより (ステップ S 4 4)、コントローラ 5 による以下の書き込み制御が開始される。

【 0 0 9 6 】

各書き込みサイクルにおいて、書き込み電圧印加 (ステップ S 4 5) の後、ベリファイ電圧 Vv_{11} を用いた第 1 の書き込みベリファイ (ステップ S 4 6) と、ベリファイ電圧 Vv_{12} を用いた第 2 の書き込みベリファイ (ステップ S 4 7) とが順次行われる。これら第 1 及び第 2 の書き込みベリファイでは、それぞれベリファイ対象とするメモリセルが、ワード線 WL_{i+1} の書き込みデータ “ 0 ”, “ 1 ” に応じて選択されるようにする。

【 0 0 9 7 】

具体的に、2 回の書き込みベリファイでは、次のような操作が必要である。ベリファイ電圧 Vv_{11} を用いる第 1 の書き込みベリファイでは、図 2 1 に示すメモリセル MC_i , 2 の “ 0 ” 書き込み (同じカラム $Col. 2$ の隣接メモリセル $MC_{i+1}, 2$ にも “ 0 ” 書き込みされる) のみを確認する必要がある。このため、データラッチ LAT_2 が “ 1 ” データを保持しているカラム $Col. 0$ は、ベリファイ対象から外す。

【 0 0 9 8 】

ベリファイ電圧 Vv_{12} を用いる第 2 の書き込みベリファイでは、図 2 1 に示すメモリセル MC_i , 0 の “ 0 ” 書き込み (同じカラム $Col. 0$ の隣接メモリセル $MC_{i+1}, 0$ には “ 1 ” 書き込みされる) のみを確認するために、データラッチ LAT_2 が “ 0 ” データを保持しているカラム $Col. 2$ は、ベリファイ対象から外す。

【 0 0 9 9 】

より具体的に説明する。データラッチ LAT_1 の書き込みデータに基づくデータ書き込み時、ベリファイ読み出しは選択ワード線 WL_i にベリファイ電圧 Vv_{11} を与えて行われる。このとき、プリチャージされたビット線は、選択セルによるビット線放電動作により、データ “ 0 ” が書かれたカラムのビット線は “ H ” レベルを保持し、データ “ 1 ” (書き込み禁止) が書かれたカラム及び “ 0 ” 書き込み不十分のカラムのビット線は “ L ” になる。このビット線放電動作後のビット線電位の “ H ” レベルは、 “ 0 ” 書き込みがなされたものとして、また “ L ” レベルは “ 1 ” 書き込み (書き込み禁止) がなされたか又は “ 0 ” 書き込みが不十分なものとしてデータセンスされる。

【 0 1 0 0 】

このデータセンスに先立ち、 “ 0 ” 書き込みがなされるメモリセルのうち、データラッチ LAT_2 に保持されている隣接セルに対する書き込みデータが “ 1 ” であるカラム $Col. 0$ については、ベリファイ読み出しの結果、ビット線が “ H ” レベルになるか否かに拘わらず、ビット線を強制放電させて、 “ L ” レベル (即ちデータ “ 1 ”) としてセンスされるようにする。従って第 1 の書き込みベリファイでは、隣接セルに書き込まれるべきデータが “ 0 ” であって、 “ 0 ” 書き込みがなされたセルについてのみ、 “ H ” データとして検出され、これは以後 “ 1 ” 書き込み (即ち書き込み禁止) とされる。

【 0 1 0 1 】

同様に、第 2 の書き込みベリファイでは、データラッチ LAT_2 が “ 0 ” データを保持しているカラム $Col. 2$ をベリファイ対象から外す。そのために、第 1 の書き込みベリファイと同様に、ベリファイ読み出しの結果、データラッチ LAT_1 の書き込みデータが “ 0 ” であるセルのうち、データラッチ LAT_2 のデータが “ 0 ” であるセルについてビ

10

20

30

40

50

ット線を強制放電させて、“L”レベル（即ちデータ“1”）としてセンスされるようにする。従って第2の書き込みベリファイでは、隣接セルの書き込みデータが“1”であって、“0”書き込みが確認されたセルのみ、“H”データとして検出され、これは以後の書き込みサイクルで“1”書き込み（即ち書き込み禁止）とされる。

【0102】

書き込み完了の判定は、2回の書き込みベリファイ動作の結果として、データラッチLAT1がオール“1”になったことを検出することにより行われる（ステップS48）。

【0103】

以上のようにこの第3の書き込み方式によれば、次に書き込まれるべき隣接セルの書き込みデータを参照して書き込みベリファイを行うことによって、仕上げ書き込みを行うことなく、浮遊ゲート間容量結合に基づくデータしきい値分布のばらつきを低減することが可能になる。

10

【0104】

[第4の書き込み方式]

ここまでで説明した書き込み方式は、メモリセルの初期データ状態がデータ“A”であって、2つのワード線に沿ったメモリセルに選択的にデータ“B”を書く場合を想定している。このような書き込みは、4値記憶方式にも用いられるが、基本的には2値記憶方式に適用される。

【0105】

そこで次に、具体的に4値記憶方式に適用した第4の書き込み方式を説明する。ここでは、第1及び第2のワード線に沿ったメモリセルに下位ページデータが書かれた状態から、順次上位ページデータが書かれる場合を説明する。ここで用いる4値記憶方式では、図22に示すように、4値データが、しきい値電圧の順に、A = “11”，B = “01”，C = “10”，D = “00”として定義される。

20

【0106】

下位ページ書き込みでは、データ“A”（消去状態）のセルに選択的に、データ“B”と“C”の間にまたがるブロードなしきい値電圧分布を持つ中間データ“BC”が書き込まれる。中間データ“BC”は、そのしきい値下限値 V_{v20} に対応するワード線電圧をベリファイ電圧とした書き込みベリファイを伴ってデータ書き込みが行われる。

【0107】

上位ページ書き込みでは、データ“A”のセルに選択的にデータ“B”を書き込むモード1と、データ“BC”のセルに、データ“C”又は“D”を書き込むモード2とが用いられる。図示のようにデータ“B”，“C”及び“D”のしきい値下限値に対応するベリファイ電圧は、 V_{v1} ， V_{v2} ， V_{v3} である。

30

【0108】

上位ページ書き込みに際して、外部からデータラッチLAT2にロードされる書き込みデータは、データ“A”，“B”，“C”及び“D”についてそれぞれ、“1”，“0”，“1”，“0”である。これに対して、図22に示すように、データ“C”及び“D”の書き込みは、共にしきい値電圧変化をもたらす“0”書き込みとして行う必要がある。従って、ビット線制御を行うためにデータラッチLAT1にセットされるべき書き込みデータは、データ“A”，“B”，“C”及び“D”についてそれぞれ、“1”，“0”，“0”，“0”とする必要がある。詳細説明は省くが、外部からロードされた書き込みデータを、センスアンプ回路内でこの様な上位ページ書き込みデータに変換するデータ処理が行われる。

40

【0109】

この4値記憶方式では、下位ページデータが書かれた状態での読み出し時ワード線に与えられる読み出し電圧ARは、データ“A”と“BC”のしきい値電圧分布の中間に設定される。また上位ページデータまで書かれた後の読み出し電圧は、それぞれデータ“A”，“B”，“C”及び“D”のしきい値電圧分布の間に、BR1，BR2，BR3として設定される。

50

【 0 1 1 0 】

実際のデータ書き込みに際しては、セルアレイの通常データ領域とは異なるカラム領域に、上位ページデータ書き込みと同時に、上位ページデータが書かれたことを示すフラグデータが書かれる。データ読み出し時は、このフラグデータに基づいて読み出し電圧を選択することができる。

【 0 1 1 1 】

具体的に、隣接する2ワード線 $W L i$, $W L i + 1$ に着目して、第4の書き込み方式を説明する。

【 0 1 1 2 】

図23は、ワード線 $W L i$, $W L i + 1$ のメモリセルに下位ページデータ書き込みが行われた状態、即ちメモリセルがデータ“ A ” (消去状態)又は中間データ“ B C ”状態にあることを示している。

10

【 0 1 1 3 】

図24は、ワード線 $W L i$ のメモリセルに対して、上位ページデータ書き込みを行った状態である。即ち、ベリファイ電圧 $V v 1 1$, $V v 2 1$, $V v 3 1$ を用いてそれぞれ、データ“ B ” , “ C ”及び“ D ”が書き込まれる。ここで、ベリファイ電圧 $V v 1 1$, $V v 2 1$ 及び $V v 3 1$ はそれぞれ、最終的なデータ“ B ” , “ C ”及び“ D ”の所望のしきい値下限値より低い値に設定される。

【 0 1 1 4 】

この後、図25に示すように、次のワード線 $W L i + 1$ に沿ったメモリセルについて上位ページデータ書き込みを行う。即ち、ベリファイ電圧 $V v 1 1$, $V v 2 1$, $V v 3 1$ を用いてそれぞれ、データ“ B ” , “ C ”及び“ D ”が書き込まれる。このワード線 $W L i + 1$ での上位ページ書き込みにより、ワード線 $W L i$ のメモリセルのしきい値電圧が影響を受ける。

20

【 0 1 1 5 】

図25では、ワード線 $W L i$ のメモリセルのデータ“ B ” , “ C ”及び“ D ”が、それらに隣接するワード線 $W L i + 1$ 上のメモリセルにしきい値電圧を上昇させるデータ状態が書かれた場合に、浮遊ゲート間容量結合によって、しきい値電圧がシフトする様子を破線で示している。

【 0 1 1 6 】

ワード線 $W L i + 1$ での上位ページ書き込みにおいて、あるメモリセルがデータ“ A ”を維持する場合には、それに隣接するワード線 $W L i$ のメモリセルに対して、しきい値電圧変動を起こさない。また、ワード線 $W L i + 1$ での上位ページ書き込みにおいて、データ“ C ”が書かれるメモリセルについては、データ“ D ”が書かれる場合に比べて、それに隣接するワード線 $W L i$ のメモリセルに対するしきい値電圧変動の影響は小さい。要するに、ワード線 $W L i + 1$ のメモリセルに書き込まれる上位ページデータの如何に応じて、ワード線 $W L i$ のメモリセルに対する浮遊ゲート間容量結合による影響が異なる。従って前述のベリファイ電圧 $V v 1 1$, $V v 2 1$ 及び $V v 3 1$ は、ワード線 $W L i + 1$ での書き込みによるワード線 $W L i$ のセルのしきい値が最大のシフトを示しても所望のしきい値電圧を超えることがないように、設定される。

30

40

【 0 1 1 7 】

そして、ワード線 $W L i + 1$ の上位ページ書き込み後、図26に示すように、ワード線 $W L i$ のメモリセルについて、仕上げの上位ページ書き込みを行う。即ち、先のワード線 $W L i$ での書き込みと同じデータパターンをもって、かつ所望のしきい値電圧下限値に設定されたベリファイ電圧 $V v 1 2$ (= $V v 1$) , $V v 2 2$ (= $V v 2$) 及び $V v 3 2$ (= $V v 3$)を用いてそれぞれ、データ“ B ” , “ C ”及び“ D ”を書き込む。

【 0 1 1 8 】

これにより、ワード線 $W L i$ の書き込みデータの隣接ワード線 $W L i + 1$ のセルデータによる影響を低減することができる。

【 0 1 1 9 】

50

図 27 は、この第 4 の書き込み方式での上位ページ書き込みのシーケンスを示している。書き込みコマンドの入力により、書き込みシーケンスが開始される。例えば、ワード線 WL_i を選択するアドレスを入力し（ステップ S51）、書き込みデータをロードし（ステップ S52）、書き込み開始コマンドを入力する（ステップ S53）ことにより、コントローラ 5 は書き込み動作制御を開始する。

【0120】

データ書き込みは、書き込み電圧印加（ステップ S54）の後、複数の書き込みベリファイ（ステップ S55 - S57）を繰り返すことにより、行われる。例えば、図 24 で説明した最初の上位ページ書き込みの場合であれば、各ベリファイステップ S55 - S57 でそれぞれ、ベリファイ電圧 V_{v11} 、 V_{v21} 及び V_{v31} が用いられる。

10

【0121】

各書き込みベリファイステップ S55 - S57 では、確認すべきデータに対応して、センスアンプ回路内でデータの転送、反転等の処理が必要であるが、その詳細説明は省略する。書き込みベリファイの後、書き込み完了の判定が行われ（ステップ S58）、書き込みが完了するまで、書き込み電圧印加と書き込みベリファイが繰り返される。

【0122】

この書き込みシーケンスは、図 24 で説明したワード線 WL_i の予備的書き込みの他、図 26 で説明したワード線 WL_i の仕上げ書き込みにも同様に適用される。

【0123】

図 28 は、第 4 の書き込み方式での別の上位ページ書き込みシーケンスを示している。これは、ワード線 WL_{i+1} への上位ページ書き込みのシーケンス内で連続的に、ワード線 WL_i への仕上げ書き込みを行う例である。

20

【0124】

書き込みコマンドと共に、ワード線 WL_{i+1} を選択するアドレスを入力し（ステップ S61）、書き込みデータをロードし（ステップ S62）、書き込み開始コマンドを入力する（ステップ S63）ことにより、書き込み動作制御が開始される。

【0125】

データ書き込みは、書き込み電圧印加（ステップ S64）の後、複数の書き込みベリファイ（ステップ S65 - S67）を繰り返すことにより、行われる。最初の上位ページ書き込みでは、各ベリファイステップ S65 - S67 でそれぞれ、ベリファイ電圧 V_{v11} 、 V_{v21} 及び V_{v31} が用いられる。

30

【0126】

これらの書き込みベリファイの後、書き込み完了の判定が行われ（ステップ S68）、書き込みが完了するまで、書き込みとベリファイが繰り返される。書き込み完了が判定されたら、次に仕上げ書き込みの動作に移る。即ちセルアレイ内の先に書かれたワード線 WL_i のセルデータを読み出してセンスアンプ回路に保持する。その保持データに基づいて、ワード線 WL_i について仕上げの上位ページ書き込みを行う（ステップ S70）。仕上げ書き込みについての書き込みベリファイステップ S71 - S73 では、前述のようにデータ“B”、“C”及び“D”の所望のしきい値下限値のベリファイ電圧 V_{v12} 、 V_{v22} 及び V_{v32} が用いられる。これらの書き込みベリファイの後、書き込み完了の判定が行われ（ステップ S74）、書き込みが完了するまで、書き込みとベリファイが繰り返される。

40

【0127】

なおここまでの第 4 の書き込み方式の説明では、隣接ワード線 WL_i 、 WL_{i+1} の書き込み順序のみに着目している。これは、1ワード線の全メモリセルが同時に書き込み及び読み出しされる場合、即ち図 2 のセルアレイとセンスアンプ方式にはそのまま有効である。これに対して、図 3 に示した共有センスアンプ方式を適用した場合には、1ワード線に沿ったメモリセルは、偶数ビット線 BL_e 上のメモリセル群（第 1 セクタ）と、奇数ビット線 BL_o 上のメモリセル群（第 2 セクタ）に分けられ、これらは異なるタイミングで読み出し及び書き込みが行われる。

50

【 0 1 2 8 】

即ちこの共有センスアンプ方式の場合、2ワード線 WL_i 、 WL_{i+1} に着目したこの第4の書き込み方式の適用については、まずワード線 WL_i について第1セクタ及び第2セクタの予備的書き込みを順次行い、次にワード線 WL_{i+1} について、第1セクタ、第2セクタの予備的書き込みを順次行い、次にワード線 WL_i に戻って、第1セクタ及び第2セクタの仕上げ書き込みを順次行うことになる。

【 0 1 2 9 】

またこの第4の書き込み方式においても、予備的書き込みに対して仕上げ書き込みでの書き込み電圧ステップを小さくすることが好ましく、これにより高精度の仕上げ書き込みが可能になる。

10

【 0 1 3 0 】

[第5の書き込み方式]

第5の書き込み方式として、先の第3の書き込み方式を4値記憶方式の上位ページ書き込みに適用した例を次に説明する。

【 0 1 3 1 】

図29は、この第5の書き込み方式における、隣接するワード線 WL_i 、 WL_{i+1} のうちワード線 WL_i に対する上位ページデータ書き込みの様子を示している。ここで、4値記憶方式は、図22を用いて説明したものである。下位ページ書き込みによって、ワード線 WL_i のメモリセルは、予めデータ“ A ”（消去状態）又は中間データ状態“ BC ”のいずれかになっている。

20

【 0 1 3 2 】

上位ページ書き込みは、データ“ A ”のセルに選択的にデータ“ B ”を書き込む書き込みモード1と、中間データ“ BC ”のセルにデータ“ C ”又は“ D ”を書き込む書き込みモード2とを有する。

【 0 1 3 3 】

データ“ B ”書き込みに対する書き込みベリファイには、次のワード線 WL_{i+1} のメモリセルに書き込まれるべき上位ページデータに応じて異なるベリファイ電圧 Vv_{11} 、 Vv_{12} が用いられる。即ち、隣接するセルに書かれるべきデータがしきい値変動を伴わない場合（これを書き込みデータ“ 1 ”とする）は、所望のしきい値下限値に対応するベリファイ電圧 Vv_{12} が用いられる。隣接するセルに書かれるべきデータがしきい値変動を伴う場合（これを書き込みデータ“ 0 ”とする）には、所望のしきい値下限値より低いベリファイ電圧 Vv_{11} が用いられる。

30

【 0 1 3 4 】

同様に、データ“ C ”書き込みに対する書き込みベリファイには、次のワード線 WL_{i+1} のメモリセルに書き込まれるべき上位ページデータに応じて異なるベリファイ電圧 Vv_{21} 、 Vv_{22} が用いられる。データ“ D ”書き込みに対する書き込みベリファイには、次のワード線 WL_{i+1} のメモリセルに書き込まれるべき上位ページデータに応じて異なるベリファイ電圧 Vv_{31} 、 Vv_{32} が用いられる。

【 0 1 3 5 】

このような書き込み制御のためには、第3の書き込み方式におけると同様に、ワード線 WL_i への上位ページデータ書き込み時に、後に書かれるべきワード線 WL_{i+1} のデータをセンスアンプ回路にロードし、これを参照して書き込みベリファイ制御を行うことが必要になる。

40

【 0 1 3 6 】

以上のように第5の書き込み方式によれば、次に書き込まれるべき隣接セルの書き込みデータを参照して書き込みベリファイを行うことによって、仕上げ書き込みを行うことなく、浮遊ゲート間容量結合に基づくデータしきい値分布のばらつきを低減することが可能になる。

【 0 1 3 7 】

この第5の書き込み方式は、一つのメモリセルが記憶するビット数を更に増やして、隣

50

接セル間の影響がより大きくなる 8 値記憶や 16 値記憶を行う場合にも、書き込みペリファイ数を増やす等により、応用することが可能である。

【0138】

[第6の書き込み方式]

ここまで説明した第1乃至第5の書き込み方式は、いずれも隣接ワード線のセル間干渉の影響を低減するものであった。これに対してこの発明の書き込み方法は、隣接ビット線のセル間干渉の影響を低減する方法としても有効である。

【0139】

具体的に、図3で説明した共有センスアンプ方式を用いた場合には、ワード線上の隣接セルで浮遊ゲート間容量結合が問題になる。ワード線WL_iと偶数番ビット線BL_eにより選択される第1セクタのメモリセル群と、同じワード線WL_iと奇数番ビット線BL_oにより選択される第2セクタのメモリセル群とは、異なるタイミングで書き込みが行われるためである。

10

【0140】

第6の書き込み方式として、図22で説明した4値記憶方式において、隣接ビット線のセル間干渉の影響を低減する例を、図30～図33を参照して説明する。

【0141】

図30は、隣接する二つの偶奇ビット線BL_e、BL_oについて、それらのメモリセルに下位ページデータが書かれた状態を示している。即ち偶数番ビット線BL_e及び奇数番ビット線BL_o上のメモリセルは、データ“A”(消去状態)又は中間データ“BC”のいずれかの状態にある。

20

【0142】

この後、図31に示すように、偶数番ビット線BL_eのメモリセルに、上位ページデータ書き込み(予備的書き込み)を行う。即ち、データ“A”のセルに選択的に、データ“B”を書き込み、中間データ“BC”のセルに、データ“C”又は“D”を書き込む。ここで、これらのデータ“B”、“C”及び“D”のしきい値電圧下限値であるペリファイ電圧V_{v11}、V_{v21}及びV_{v31}は、それぞれ所望のしきい値電圧より低く設定される。

【0143】

この後、図32に示すように、奇数番ビット線BL_oのメモリセルに対して、同様に上位ページデータ書き込みを行う。この奇数番ビット線BL_oの上位ページデータ書き込みの結果、隣接する偶数番ビット線BL_eのメモリセルデータは、浮遊ゲート間容量結合によりしきい値電圧が変化する。

30

【0144】

具体的にいえば、データ“B”のセル群M_{C_EX}のうち、ある範囲のセル群M_{C_EX}'については、実線と破線で示すように、これらに隣接するセルのしきい値変動を伴う書き込みデータに応じてしきい値電圧が正方向にシフトする。残りのセルは、隣接するセルにしきい値電圧がシフトするデータが書かれないため元のしきい値電圧状態を保持する。他のデータ“C”、“D”についても同様である。

【0145】

そこで図33に示すように、偶数番ビット線BL_eについて、仕上げの上位ページ書き込みを行う。即ちデータ“B”、“C”及び“D”について、それぞれ所望のしきい値電圧下限値に等しいペリファイ電圧V_{v12}、V_{v22}及びV_{v32}を用いたデータ書き込みを行う。

40

【0146】

これにより、偶数番ビット線BL_eのデータ“B”のメモリセルは、隣接する奇数番ビット線BL_oのセルデータの影響によるしきい値電圧のばらつきがなくなり、一定のしきい値下限値を持つことになる。データ“C”及び“D”についても同様である。

【0147】

この第6の書き込み方式においても、予備的書き込みに対して仕上げ書き込みでの書き

50

込み電圧ステップアップ幅を小さくすることが好ましく、これにより高精度の仕上げ書き込みが可能になる。

【0148】

なお、隣接ビット線のセル間干渉の影響を低減する書き込み方式として、第3或いは第5の書き込み方式と同様に、次に書かれるべきデータに応じてしきい値電圧制御を行う方法を適用することも可能である。

【0149】

[第7の書き込み方式]

第7の書き込み方式として、ある着目するメモリセルについて、これを取り囲むように隣接する複数のメモリセルの影響を考慮に入れて、仕上げ書き込みを行う例を説明する。

10

【0150】

この第7の書き込み方式の基本は、第1の書き込み方式と同様であり、第1のメモリセルにデータ書き込みを行う場合に、第1のメモリセルに所望のしきい値電圧より低いしきい値電圧状態に書き込む第1の書き込み(予備的書き込み)を行い、第1のメモリセルに隣接するメモリセルに第2の書き込みを行った後、第1のメモリセルに前記所望のしきい値電圧状態に書き込む第3の書き込み(仕上げ書き込み)を行う。

【0151】

図34に示すように、図3のセンスアンプ方式を用いたメモリセルアレイ上で、隣接する二つのワード線 WL_i 、 WL_{i+1} と、これらにより選択される4つのメモリセル群(セクタ) X 、 Y 、 Z 、 W に着目する。ブロック内の書き込みは、ワード線 WL_0 から順に行われるものとして、着目するワード線 WL_i 、 WL_{i+1} の書き込みは次のようになる。

20

【0152】

まず、ワード線 WL_i と偶数番ビット線 BLE (BLE_m 、 BLE_{m+1} 、 BLE_{m+2} 、...)により選択されるセクタ X のメモリセル(X_m 、 X_{m+1} 、 X_{m+2} 、...)に書き込み(予備的書き込み)を行う。次に、同じワード線 WL_i と奇数番ビット線 BLo (BLo_m 、 BLo_{m+1} 、 BLo_{m+2} 、...)により選択されるセクタ Y のメモリセル(Y_m 、 Y_{m+1} 、 Y_{m+2} 、...)に書き込み(予備的書き込み)を行う。続いて、ワード線 WL_{i+1} と偶数番ビット線 BLE により選択されるセクタ Z のメモリセル(Z_m 、 Z_{m+1} 、 Z_{m+2} 、...)に書き込み(予備的書き込み)を行う。その後ワード線 WL_{i+1} と奇数番ビット線 BLo により選択されるセクタ W のメモリセル(W_m 、 W_{m+1} 、 W_{m+2} 、...)に書き込み(予備的書き込み)を行う。

30

【0153】

以上の4回の予備的書き込み動作の後、セクタ X に戻って、仕上げ書き込みを行う。以下、セクタ Y 、 Z 、 W について同様に仕上げ書き込みを行う。

【0154】

この第7の書き込み方式は、一般に一つのメモリセルが N ビットを記憶する $M = 2^N$ 値記憶に適用できるが、ここでは具体例として、 $N = 2$ の4値記憶の例を説明する。データ書き込みの単位を1ページとして、一つのメモリセルが記憶する2ビットデータは、異なるページのデータとして記憶してもよいし、或いはデータ量が2倍の1ページデータとして記憶してもよい。

40

【0155】

図35に示すように、4値データ“ A ”、“ B ”、“ C ”及び“ D ”はしきい値の順に定義される。これらのデータ“ A ”、“ B ”、“ C ”及び“ D ”のビット割付は問わない。具体的にデータ書き込みは、書き込みアドレス入力コマンド、アドレス入力に続いて、書き込みデータをロードし、書き込み開始コマンドを発行することにより開始される。詳細説明は省くが、書き込みデータは、データラッチを持つセンスアンプ回路にロードされ、センスアンプ内でデータ“ A ”、“ B ”、“ C ”及び“ D ”書き込みに必要なデータ変換処理が行われる。

【0156】

50

図36は、着目するセクタ（メモリセル群）X、Y、Z及びWのセル初期状態、即ち書き込み前にデータ“ A ”状態にあることを示している。データ“ A ”は、例えばしきい値電圧が最も低い消去状態であるが、或いは他の適当なしきい値電圧状態であってもよい。即ちここで例に挙げる4値記憶方式の場合であれば、データ“ A ”は消去状態と仮定すればよいが、更に多値データ記憶を行う場合には、消去状態とは限らない。

【0157】

図37は、セクタXのメモリセルに対して予備的書き込みを行った状態を示している（図44のステップS91）。セクタX内のメモリセルに、ペリファイ電圧 V_{vb1} 、 V_{vc1} 及び V_{vd1} を用いてそれぞれ、データ“ B ”、“ C ”及び“ D ”が書かれる。ここでペリファイ電圧 V_{vb1} 、 V_{vc1} 及び V_{vd1} は、最終的なデータ“ B ”、“ C ”及び“ D ”の所望のしきい値電圧分布の下限値より低い値に設定される。これは後に書かれる隣接セルの影響によるしきい値変化を考慮した結果であり、最終的なデータしきい値分布より低いしきい値分布A0、B0、C0及びD0となる。

10

【0158】

図38は、セクタXに続いて選択されるセクタYのメモリセルに対して、同様に予備的書き込みを行った状態を示している（図44のステップS92）。即ち、セクタY内のメモリセルに、ペリファイ電圧 V_{vb1} 、 V_{vc1} 及び V_{vd1} を用いて、データ“ B ”、“ C ”及び“ D ”が書かれる。

【0159】

セクタXのメモリセルデータ“ A ”、“ B ”、“ C ”及び“ D ”のしきい値分布は、先の予備的書き込みの結果では、A0、B0、C0及びD0（破線）あるが、これらは、セクタYのセル書き込みの後に、そのセル書き込みデータの影響（FG-FG間容量結合）を受けてそれぞれ、A1、B1、C1及びD1（実線）のようにシフトする。

20

【0160】

図39は、セクタYに続いて選択されるセクタZのセルに同様に予備的書き込みを行った状態を示している（図44のステップS93）。このとき、セクタXのデータしきい値分布は、A1、B1、C1及びD1（破線）の状態からそれぞれ、A2、B2、C2及びD2（実線）のようにシフトする。

【0161】

図40は、セクタZに続いて選択されるセクタWのセルに同様に予備的書き込みを行った状態を示している（図44のステップS94）。このとき、セクタXのデータしきい値分布は、A2、B2、C2及びD2（破線）の状態からそれぞれ、A3、B3、C3及びD3（実線）のようにシフトする。

30

【0162】

以上により、ワード線 WL_i 及び WL_{i+1} により選択されるセクタX、Y、Z及びWの全メモリセルに対して所定のデータの予備的書き込みが終わる。最初のセクタXの書き込みセルは、その後のセクタY、Z、Wの予備的書き込みの度に、しきい値シフトを生じるが、それらのしきい値シフトが最大値の場合にも最終的な所望のデータしきい値を超えないように、予備的書き込みのペリファイ電圧 V_{vb1} 、 V_{vc1} 及び V_{vd1} が設定されることになる。

40

【0163】

この後、セクタXに戻って、そのメモリセルに仕上げ書き込みを行う（図44のステップS95）。図41がこのセクタXの仕上げ書き込みの状態を示している。この仕上げ書き込みでは、先の予備的書き込みと同じデータパターンを用いるが、データ“ B ”、“ C ”及び“ D ”の書き込みに所望のしきい値下限値に対応するペリファイ電圧 V_{vb2} 、 V_{vc2} 及び V_{vd2} を用いる。

【0164】

これにより、図41に示すように、セクタXのデータ“ B ”、“ C ”及び“ D ”は、直前のしきい値分布B3、C3及びD3（破線）から最終的なデータしきい値分布B4、C4及びD4（実線）になる。データ“ A ”の最終的しきい値分布A4はその前のしきい値

50

分布 A 3 と同じである。このセクタ X の仕上げ書き込みで、予備書き込みが終わっているセクタ Y, Z 及び W のデータしきい値分布がわずかにシフトする。

【 0 1 6 5 】

以下、図 4 2 に示すように、セクタ Y, Z 及び W についても順次、同様にペリファイ電圧 V_{vb2} , V_{vc2} 及び V_{vd2} を用いた仕上げ書き込みを行う (図 4 4 のステップ S 9 6 - S 9 8)。これらのセクタ Y, Z 及び W の仕上げ書き込みで、既に仕上げ書き込みされているセクタ X のセルデータしきい値分布が、図 4 2 に示すように、B 4, C 4 及び D 4 (破線) から B 5, C 5 及び D 5 (実線) へとわずかにシフトする。しかし、予備の書き込みで所望のしきい値電圧に近いレベルまで書き込むようにすれば、仕上げ書き込み後のしきい値シフト量を無視できる程度に小さく抑えることができる。

10

【 0 1 6 6 】

図 4 3 は、この第 7 の書き込み方式の書き込みシーケンスを示している。書き込みコマンドを入力することによりこの書き込みシーケンスが開始される。メモリセル群 (セクタ) を選択するアドレスを入力し (ステップ S 8 1)、書き込みデータをロードし (ステップ S 8 2)、続いて書き込み開始コマンドを入力すると (ステップ S 8 3)、チップ内で自動的に書き込み動作が行われる。

【 0 1 6 7 】

書き込みサイクルは、書き込み電圧パルス印加ステップ S 8 4 と、データ “ B ”, “ C ” 及び “ D ” の書き込み状態を確認するための書き込みペリファイステップ S 8 5 - S 8 7 とを有する。この書き込みサイクルが、書き込み完了判定ステップ S 8 8 で書き込み完了が判定されるまで繰り返される。

20

【 0 1 6 8 】

この書き込みシーケンスは、上述したセクタ X, Y, Z, W の予備的書き込みにも、その後のそれぞれのメモリセル群についての仕上げ書き込みにも同様に適用される。

【 0 1 6 9 】

ここまでは、隣接する 2 本のワード線 WL_i , WL_{i+1} に着目して書き込みを行う場合を説明したが、この方式のポイントは、ワード線 WL_{i+1} に予備的書き込みを行った後に、ワード線 WL_i に戻って仕上げ書き込みを行うにある。従って、ブロック内の任意ページ範囲の書き込み領域のデータ書き込みの場合には、図 1 3 で説明した第 1 の書き込み方式と同様に予備的書き込みと仕上げ書き込みを繰り返せばよい。

30

【 0 1 7 0 】

また例えば、ワード線 WL_i から WL_{i+n} までの連続する $n-1$ 本のワード線で規定される書き込み範囲について、全ワード線に順次予備的書き込みを行い、その後同じワード線に順次仕上げ書き込みを行う、という方法を適用することもできる。これは図 1 4 で説明した第 2 の書き込み方式と基本的に同じである。

【 0 1 7 1 】

図 4 5 はその様な書き込みシーケンスを示している。ワード線 WL_i と偶数番ビット線 BL_e で選択されるセクタ X に予備的書き込みを行い (ステップ S 1 0 1)、次いで同じワード線 WL_i と奇数番ビット線 BL_o により選択されるセクタ Y に予備的書き込みを行う (ステップ S 1 0 2)。以下同様に、ワード線 WL_{i+n} と偶数番ビット線 BL_e で選択されるセクタ Z に対する予備的書き込み (ステップ S 1 0 3)、ワード線 WL_{i+n} と奇数番ビット線 BL_o で選択されるセクタ W に対する予備的書き込み (ステップ S 1 0 4) までの予備的書き込みを繰り返す。

40

【 0 1 7 2 】

その後最初のセクタ X に戻って仕上げ書き込みを行い (ステップ S 1 0 5)、続いて次のセクタ Y について仕上げ書き込みを行う (ステップ S 1 0 6)。以下同様に、セクタ Z, W までの仕上げ書き込みを行う (ステップ S 1 0 7, S 1 0 8)。

【 0 1 7 3 】

この書き込み方式によると、隣接セルの FG - FG 間結合による影響を低減できるだけでなく、バックパターン (注目するメモリセルの後に書かれるメモリセルのデータによる

50

しきい値電圧のばらつき)の影響を低減する効果も期待できる。

【0174】

この発明は上記実施の形態に限られない。例えば仕上げ書き込みの実施の形態では、注目するメモリセルに対して、予備的書き込みと仕上げ書き込みの2回の書き込みが行われる場合を説明したが、3回以上の複数回の書き込みで所望のデータしきい値を得るようにすることもできる。

【0175】

更に、余分にデータラッチを搭載したセンスアンプを用いれば、仕上げ書き込みの際に予備的書き込みと同じデータを再度外部からロードする必要がなくなる。例えば、4値データ書き込みの場合であれば、2ビット分のデータラッチを余分に用意する。このデータラッチに書き込みデータを保持しておくことにより、仕上げ書き込み時にその書き込みデータを利用することができる。

10

【0176】

更にこの発明は、図46に示すデータしきい値分布の8値データ記憶方式や、図47に示すデータしきい値分布の16値データ記憶方式の書き込みに同様に適用することができる。

【図面の簡単な説明】

【0177】

【図1】この発明の実施の形態によるフラッシュメモリの機能ブロック構成を示す図である。

20

【図2】同フラッシュメモリのメモリセルアレイとセンスアンプ回路の構成を示す図である。

【図3】共有センスアンプ方式の場合のビット線とセンスアンプの関係を示す図である。

【図4】同フラッシュメモリのセンスアンプ回路のセンスユニット構成を示す図である。

【図5】4値記憶方式でのデータしきい値電圧分布を示す図である。

【図6】実施の形態の第1の書き込み方式によるブロック内全ワード線選択の場合の書き込み順序を示す図である。

【図7】第1の書き込み方式を説明するための3×3メモリセルの初期データ状態を示す図である。

【図8】同第1の書き込み方式におけるワード線 WL_i での書き込みによるデータ状態変化を示す図である。

30

【図9】同第1の書き込み方式におけるワード線 WL_{i+1} での書き込みによるデータ状態変化を示す図である。

【図10】同第1の書き込み方式におけるワード線 WL_i での仕上げ書き込みによるデータ状態変化を示す図である。

【図11】同第1の書き込み方式における書き込み動作フローを示す図である。

【図12】図11の書き込みステップS2の書き込みシーケンスを示す図である。

【図13】第1の書き込み方式におけるブロック内特定領域選択の場合の書き込み順序を示す図である。

【図14】第2の書き込み方式の書き込み順序を示す図である。

40

【図15】同第2の書き込み方式の書き込み動作フローを示す図である。

【図16】図15の仕上げ書き込みステップS25の書き込みシーケンスを示す図である。

【図17】第3の書き込み方式におけるワード線 WL_i での書き込みシーケンスを示す図である。

【図18】同第3の書き込み方式を説明するための3×3メモリセルの初期データ状態を示す図である。

【図19】同第3の書き込み方式におけるワード線 WL_i での書き込みによるデータ変化を示す図である。

【図20】同第3の書き込み方式におけるワード線 WL_{i+1} での書き込みによるデータ

50

変化を示す図である。

【図 2 1】同第 3 の書き込み方式における書き込みデータとベリファイ電圧の関係を示す図である。

【図 2 2】他の 4 値記憶方式によるデータしきい値電圧分布と書き込み法を示す図である。

【図 2 3】第 4 の書き込み方式におけるワード線 $W L i$ 及び $W L i + 1$ での下位ページ書き込み状態を示す図である。

【図 2 4】同第 4 の書き込み方式におけるワード線 $W L i$ での上位ページデータ書き込み状態を示す図である。

【図 2 5】同第 4 の書き込み方式におけるワード線 $W L i + 1$ での上位ページデータ書き込み状態を示す図である。

10

【図 2 6】同第 4 の書き込み方式におけるワード線 $W L i$ での仕上げの上位ページデータ書き込み状態を示す図である。

【図 2 7】同第 4 の書き込み方式の上位ページ書き込みシーケンスを示す図である。

【図 2 8】同第 4 の書き込み方式の他の上位ページ書き込みシーケンスを示す図である。

【図 2 9】第 5 の書き込み方式の上位ページ書き込み状態を示す図である。

【図 3 0】第 6 の書き込み方式の下位ページデータ書き込み状態を示す図である。

【図 3 1】同第 6 の書き込み方式の偶数番ビット線 $B L e$ での上位ページ書き込み状態を示す図である。

【図 3 2】同第 6 の書き込み方式の奇数番ビット線 $B L o$ での上位ページ書き込み状態を示す図である。

20

【図 3 3】同第 6 の書き込み方式の偶数番ビット線 $B L e$ での仕上げの上位ページ書き込み状態を示す図である。

【図 3 4】第 7 の書き込み方式を説明するためのセルアレイ構成を示す図である。

【図 3 5】同第 7 の書き込み方式で用いる 4 値データのしきい値分布を示す図である。

【図 3 6】セクタ X, Y, Z, W の初期データ状態を示す図である。

【図 3 7】セクタ X の予備的書き込み後のデータ状態を示す図である。

【図 3 8】セクタ Y の予備的書き込み後のデータ状態を示す図である。

【図 3 9】セクタ Z の予備的書き込み後のデータ状態を示す図である。

【図 4 0】セクタ W の予備的書き込み後のデータ状態を示す図である。

30

【図 4 1】セクタ X の仕上げ書き込み後のデータ状態を示す図である。

【図 4 2】セクタ $Y - W$ の仕上げ書き込み後のデータ状態を示す図である。

【図 4 3】同第 7 の書き込み方式の書き込みシーケンスを示す図である。

【図 4 4】同第 7 の書き込み方式の書き込み順序を示す図である。

【図 4 5】同第 7 の書き込み方式を拡張した書き込み順序を示す図である。

【図 4 6】8 値データのしきい値分布を示す図である。

【図 4 7】16 値データのしきい値分布を示す図である。

【図 4 8】4 値データの浮遊ゲート間容量結合によるデータ変動を示す図である。

【図 4 9】メモリセルの浮遊ゲート間容量結合の状態を示す図である。

【図 5 0】予備的書き込みと仕上げ書き込みの書き込み電圧ステップアップの相違を示す図である。

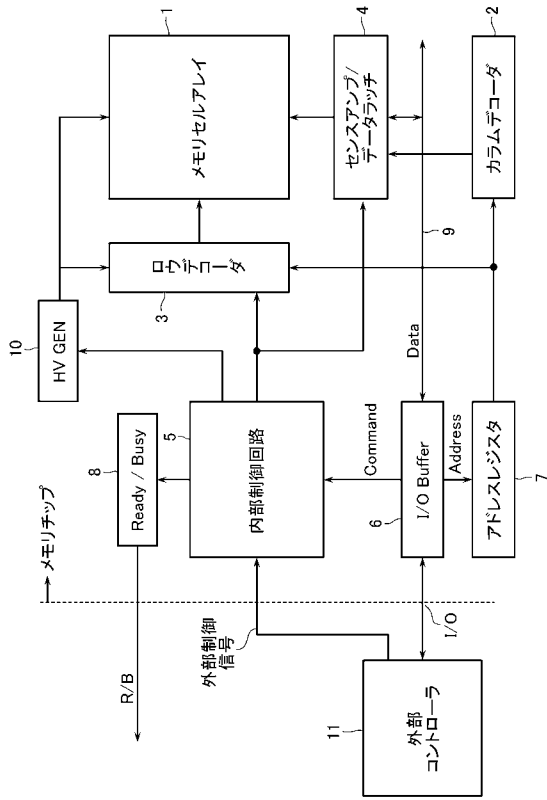
40

【符号の説明】

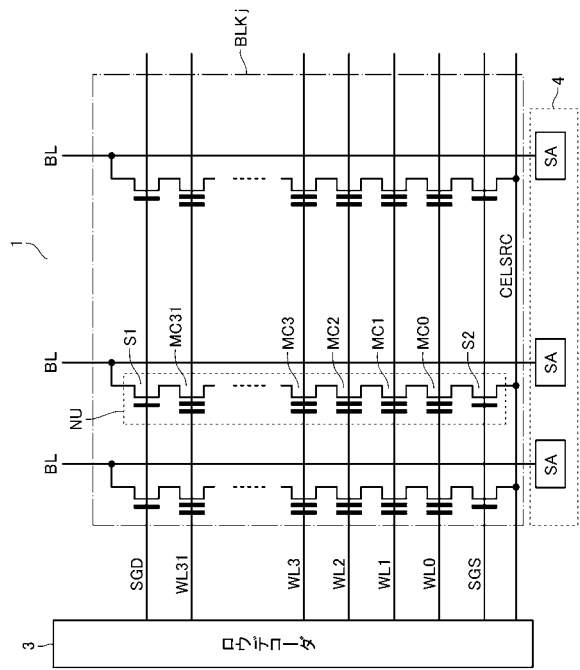
【0178】

1 ...メモリセルアレイ、2 ...カラムデコーダ、3 ...ロウデコーダ、4 ...センスアンプ回路、5 ...内部コントローラ、6 ...I/Oバッファ、7 ...アドレスレジスタ、8 ...ステータスレジスタ、9 ...データバス、10 ...高電圧発生回路、11 ...メモリコントローラ、 $W L 0 - W L 3 1$...ワード線、 $S G D, S G S$...選択ゲート線、 $B L (B L e, B L o)$...ビット線、 $M C 0 - M C 3 1$...メモリセル、 $S 1, S 2$...選択ゲートトランジスタ、 $N U$... $N A N D$ セルユニット、 $B L K i$...ブロック。

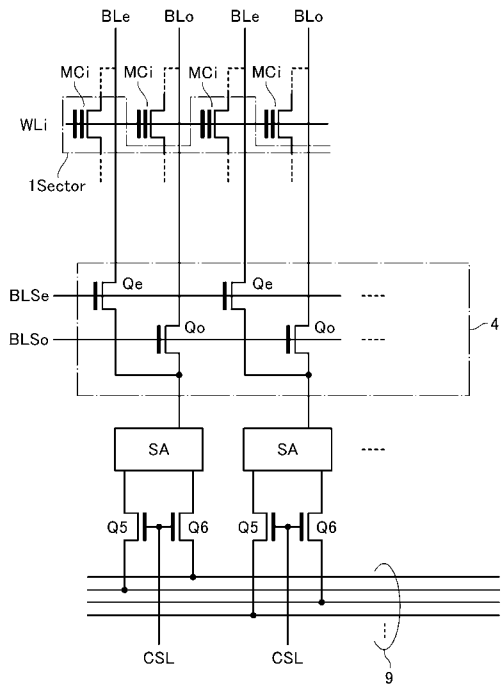
【図1】



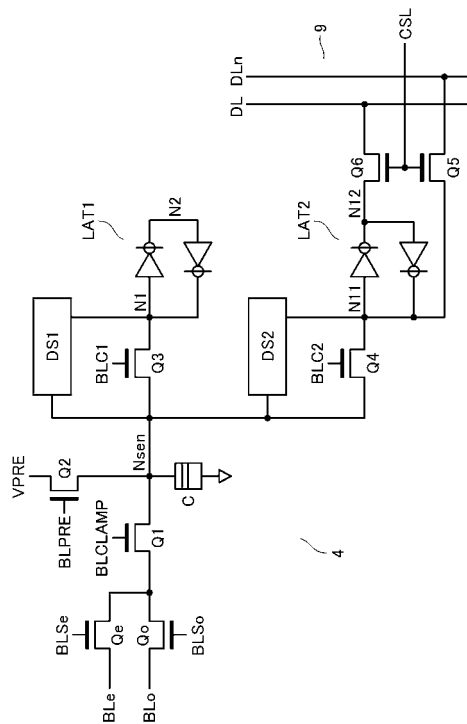
【図2】



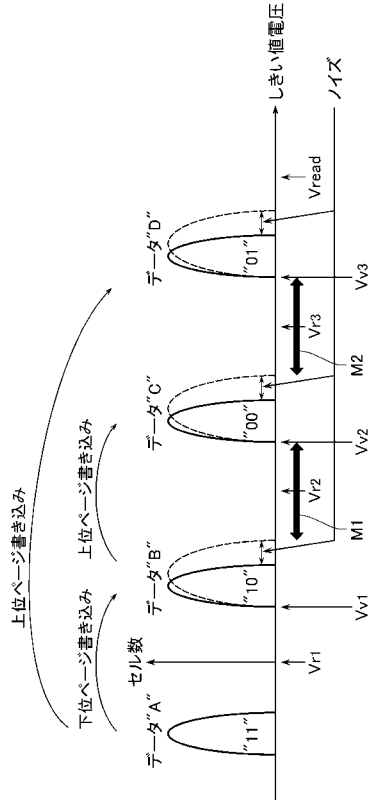
【図3】



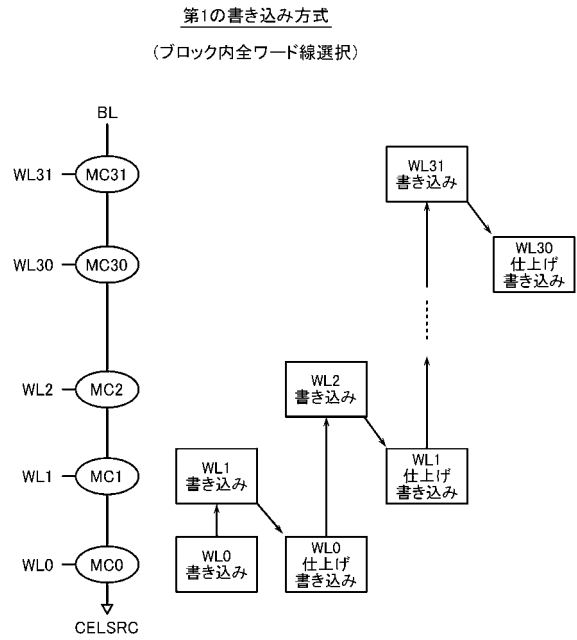
【図4】



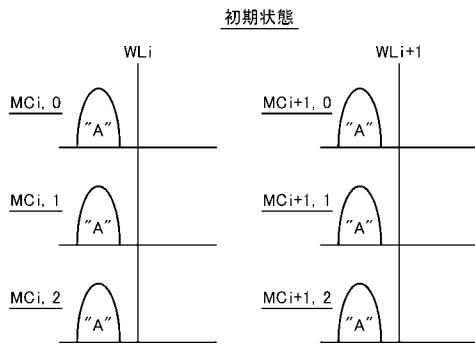
【 図 5 】



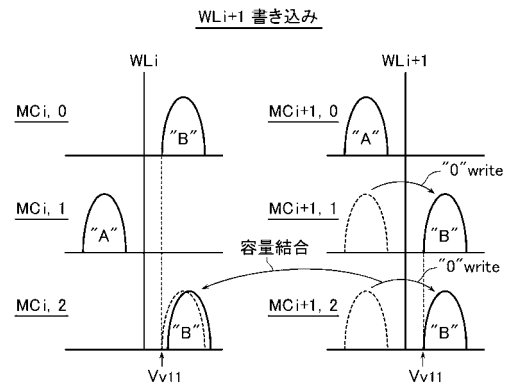
【 図 6 】



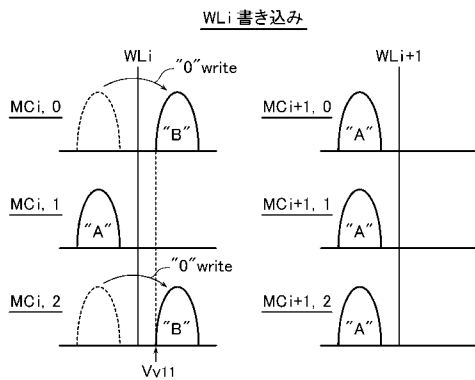
【 図 7 】



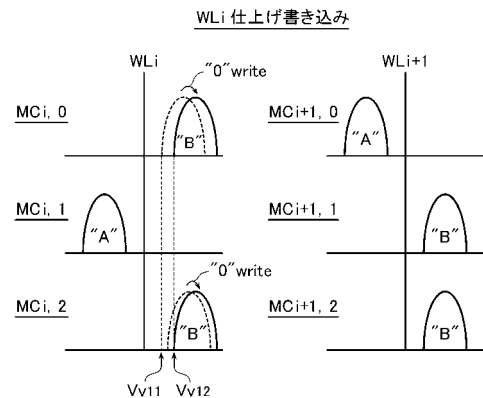
【 図 9 】



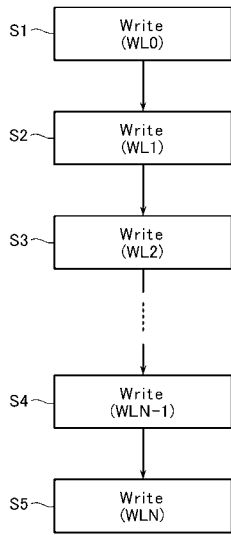
【 図 8 】



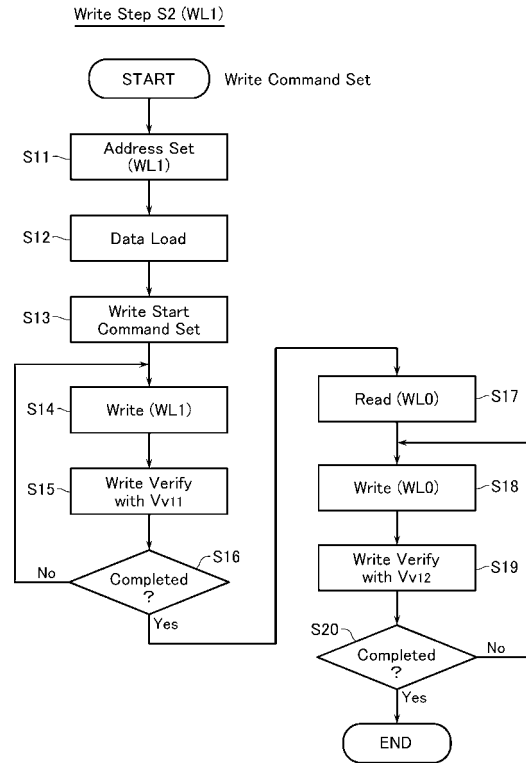
【 図 10 】



【図11】

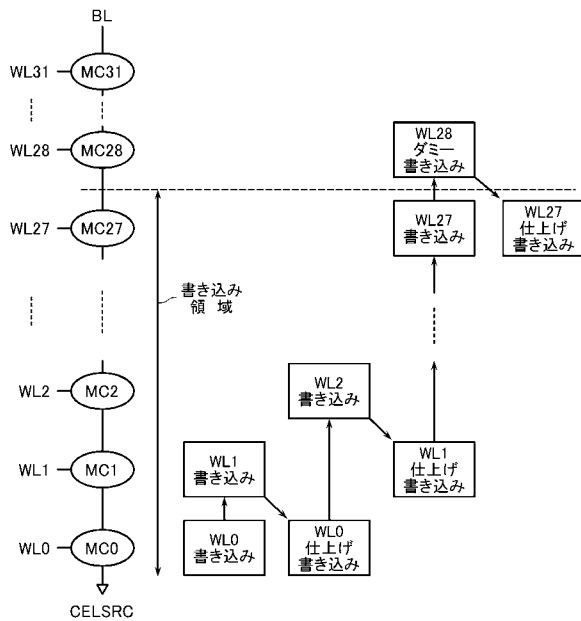


【図12】



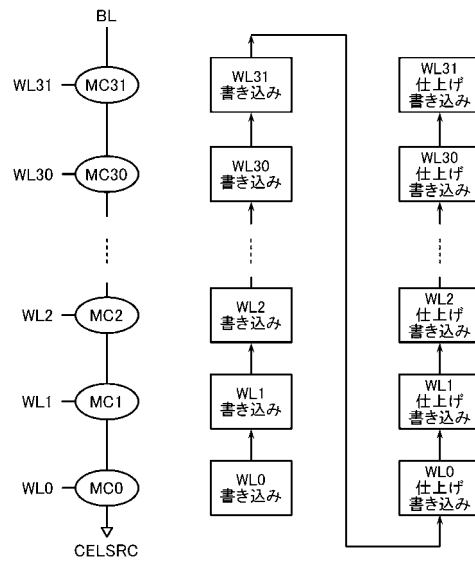
【図13】

第1の書き込み方式
(ブロック内特定領域選択)

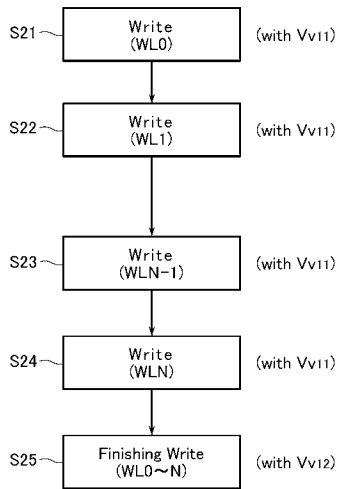


【図14】

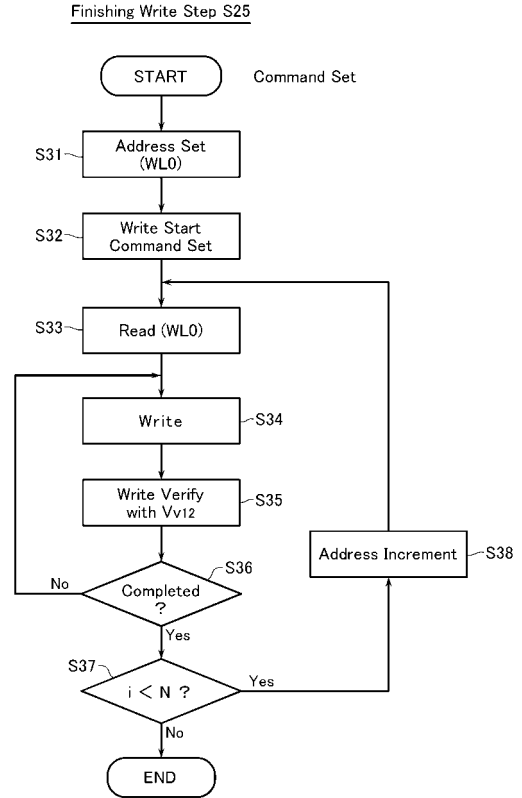
第2の書き込み方式



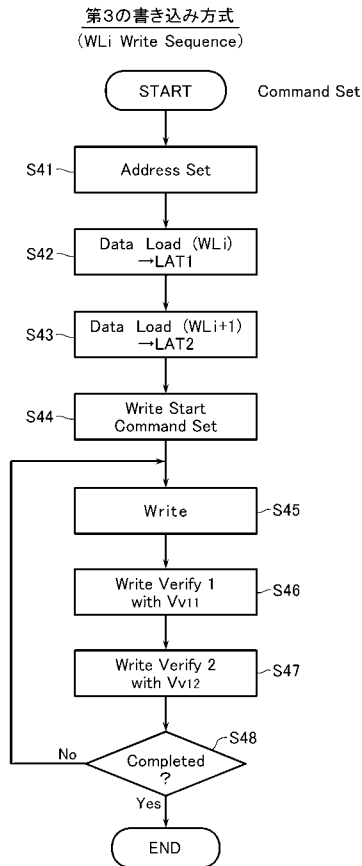
【 図 1 5 】



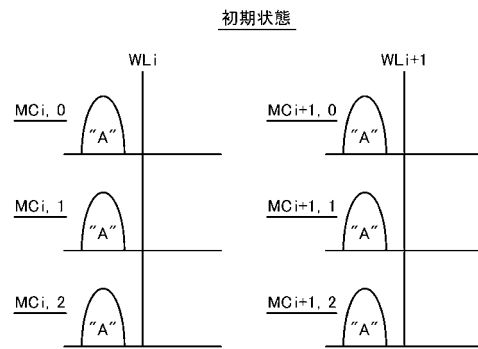
【 図 1 6 】



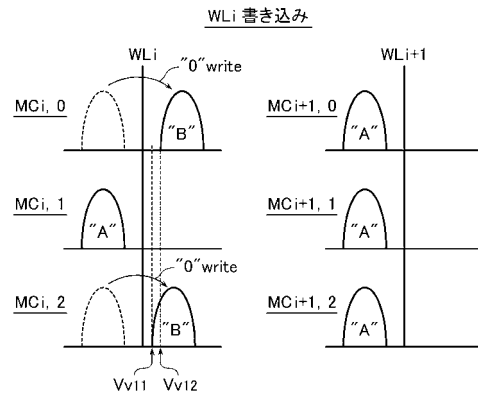
【 図 1 7 】



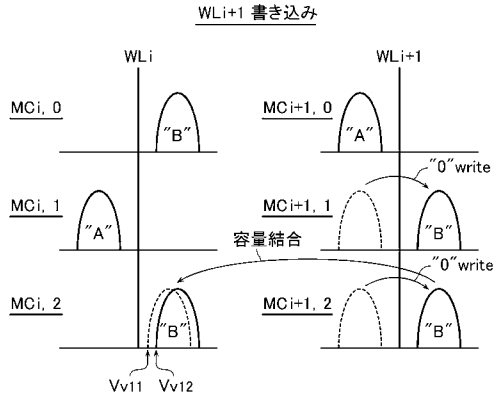
【 図 1 8 】



【 図 1 9 】



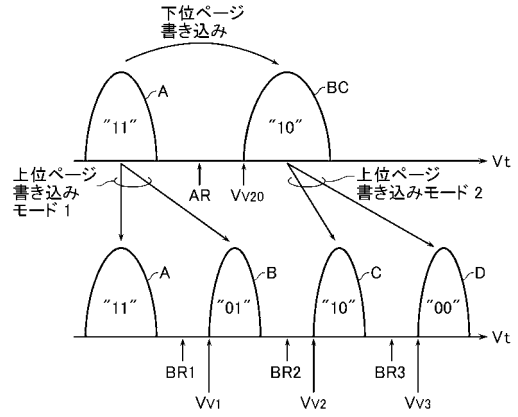
【図20】



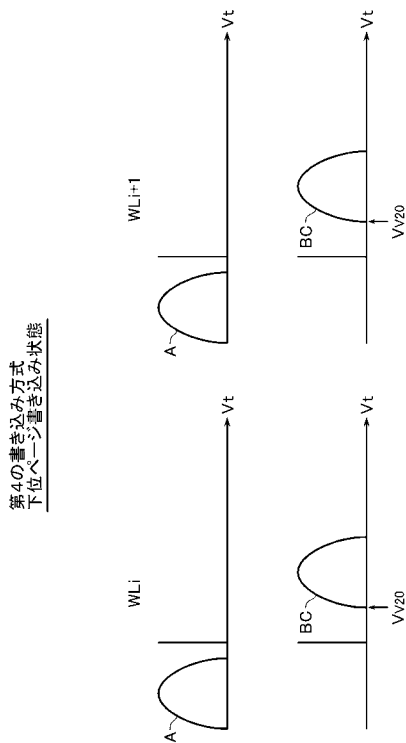
【図21】

	Col. 0	Col. 1	Col. 2
WL _i 書き込みデータ	MC _{i,0} 0	MC _{i,1} 1	MC _{i,2} 0
WL _{i+1} 書き込みデータ	MC _{i+1,0} 1	MC _{i+1,1} 0	MC _{i+1,2} 0
WL _i 書き込みペリファイ電圧	V _{v12}	—	V _{v11}

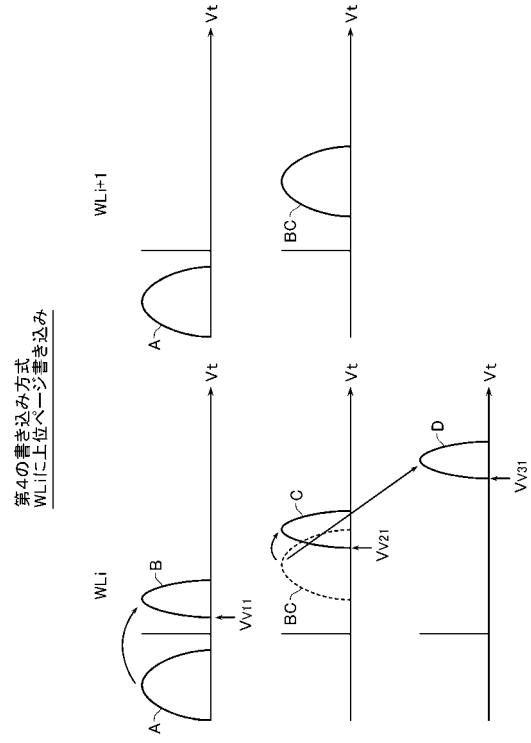
【図22】



【図23】

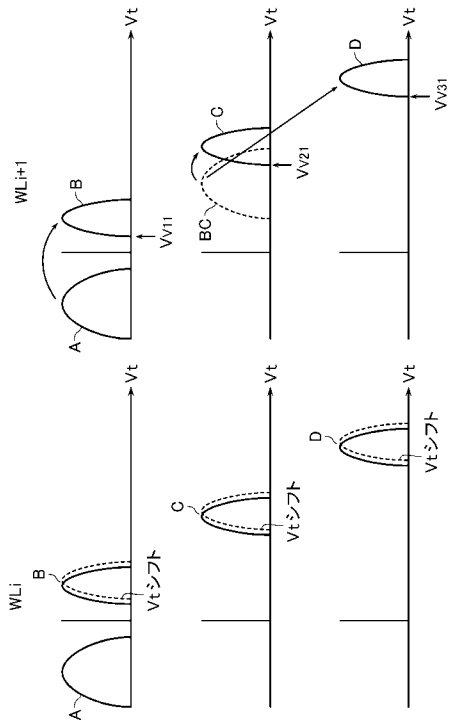


【図24】



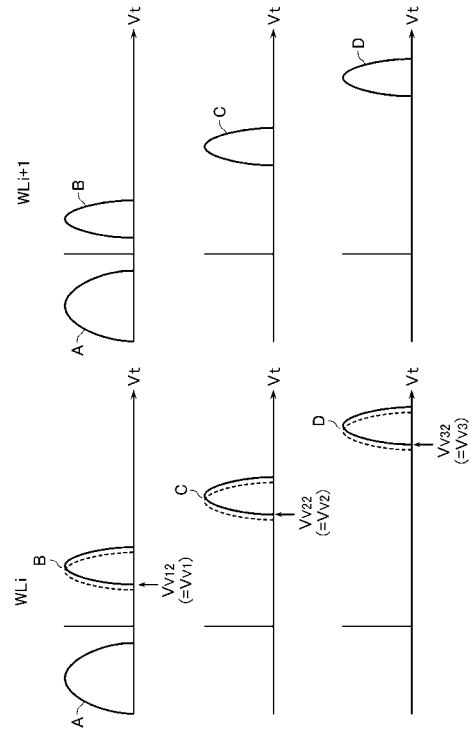
【図25】

第4の書き込み方式
WL_{i+1}に上位ページ書き込み



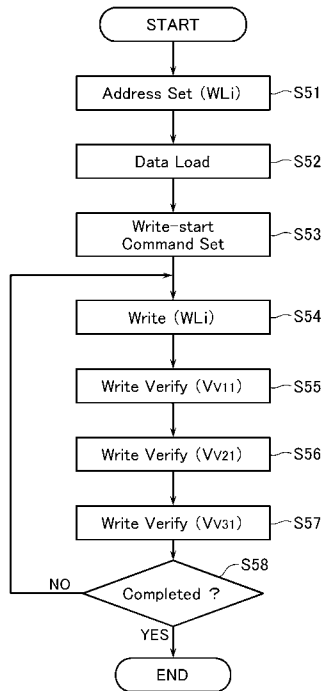
【図26】

第4の書き込み方式
WL_iに仕上げ書き込み



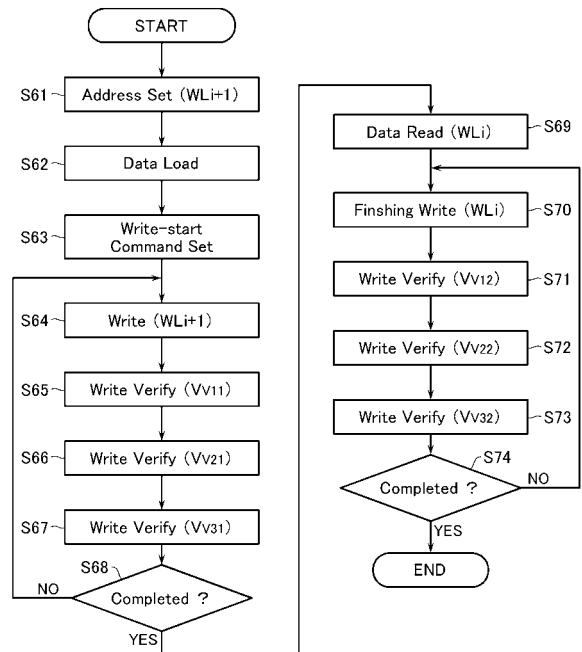
【図27】

第4の書き込み方式
上位ページ書き込み

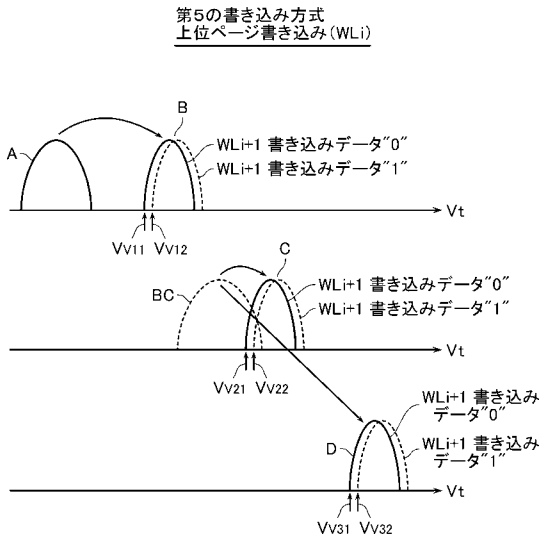


【図28】

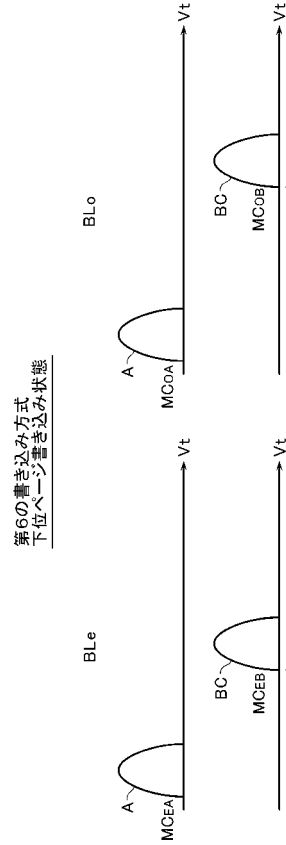
第4の書き込み方式
上位ページ書き込み



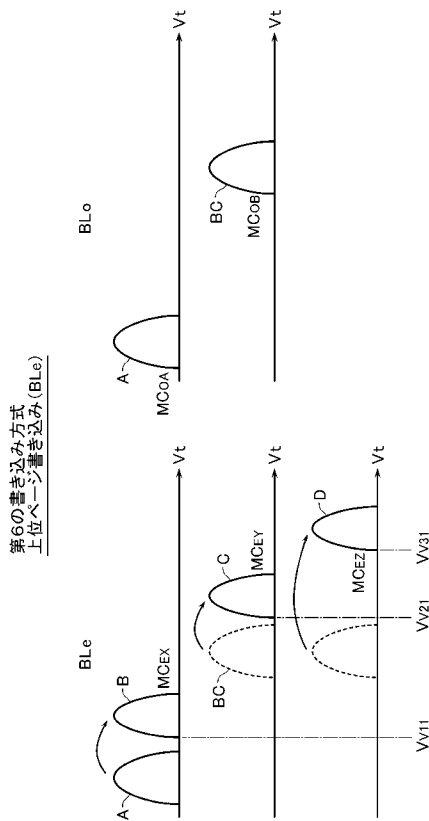
【図29】



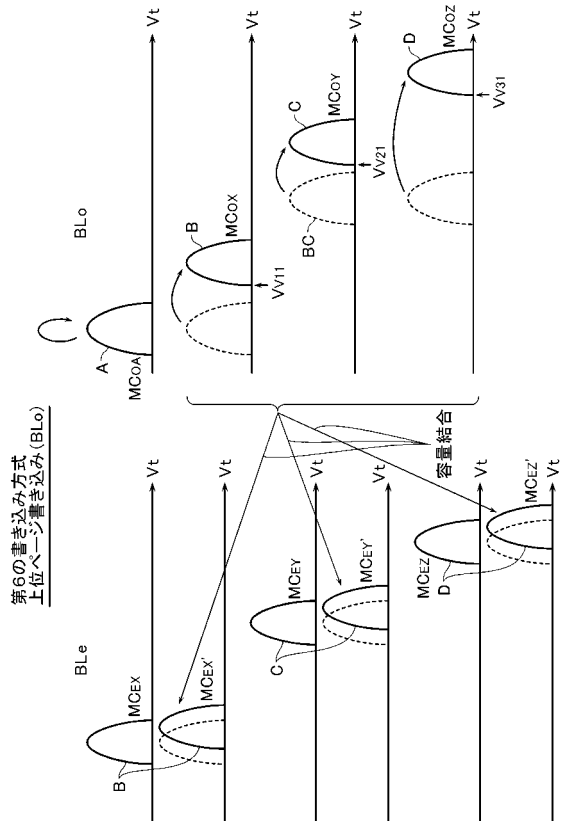
【図30】



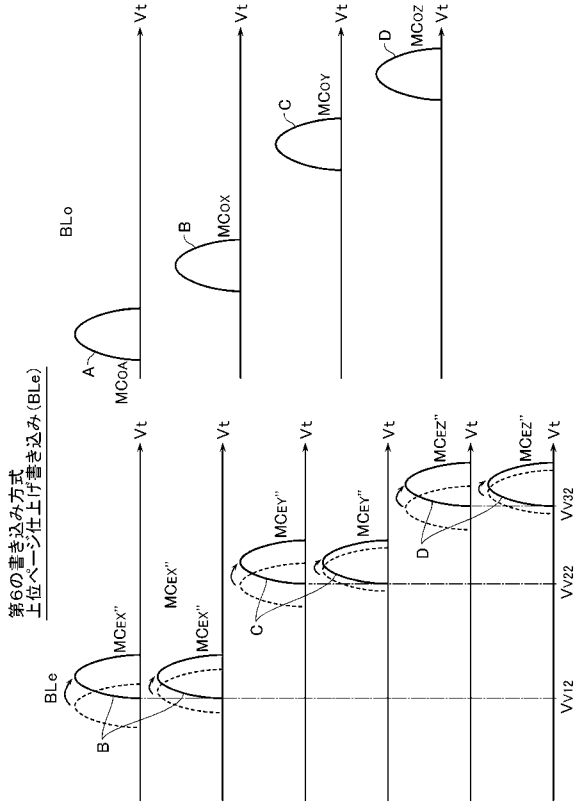
【図31】



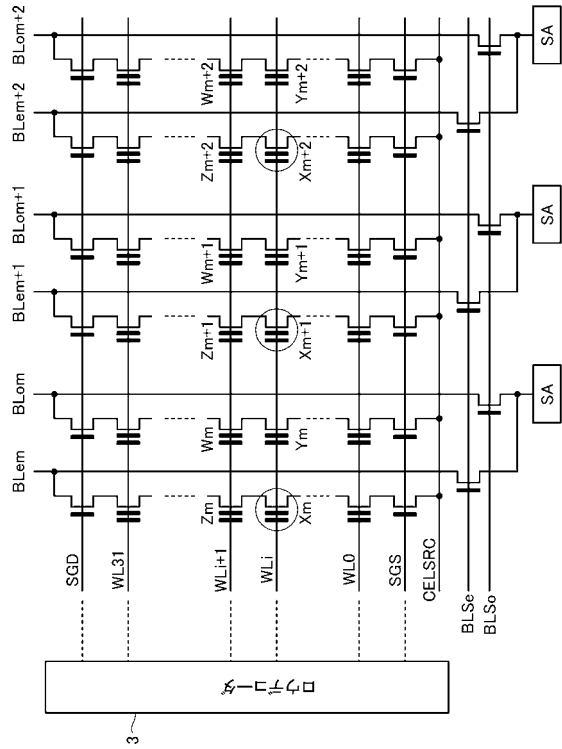
【図32】



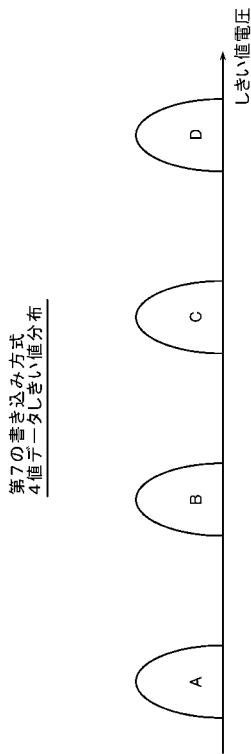
【図 3 3】



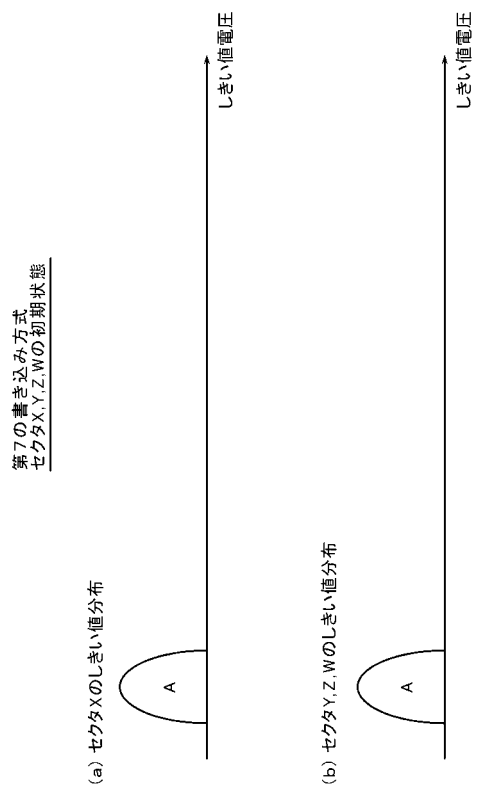
【図 3 4】



【図 3 5】

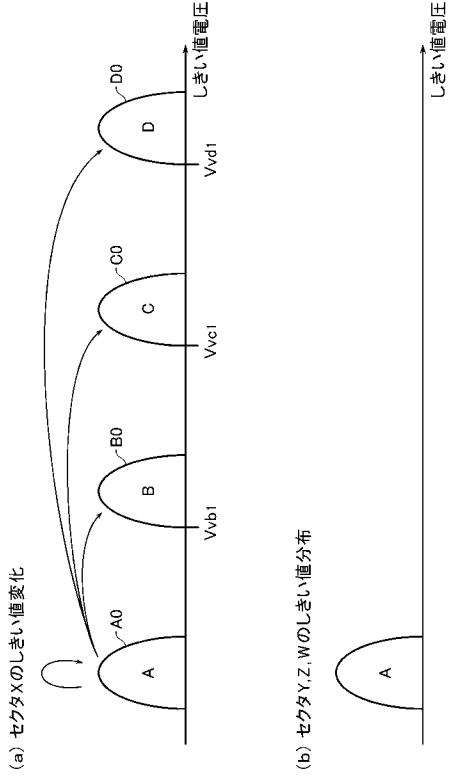


【図 3 6】



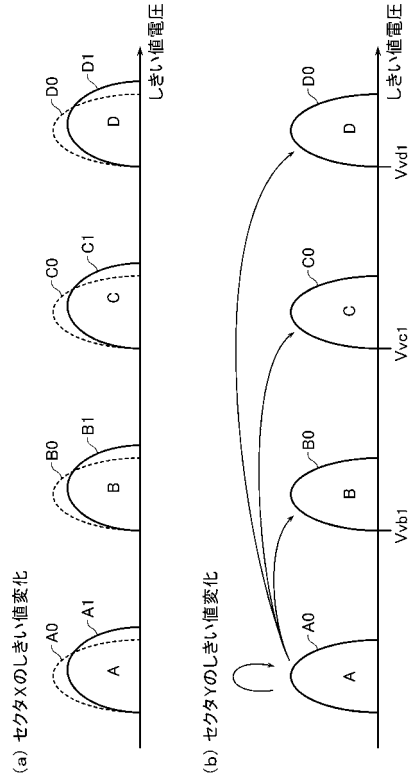
【 図 3 7 】

第7の書き込み方式
セクタXの予備的書き込み



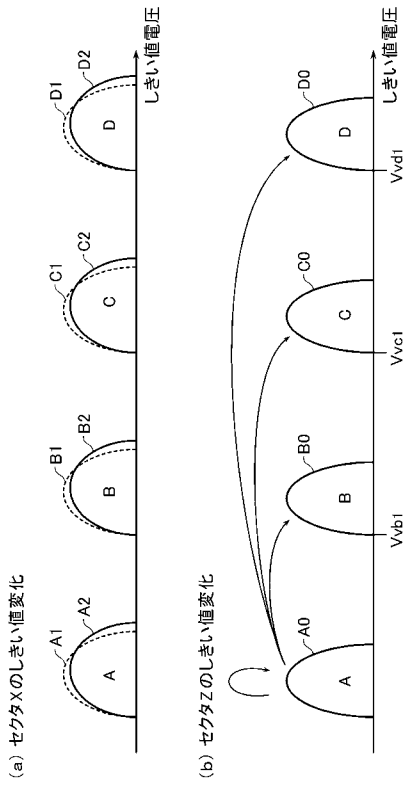
【 図 3 8 】

第7の書き込み方式
セクタYの予備的書き込み



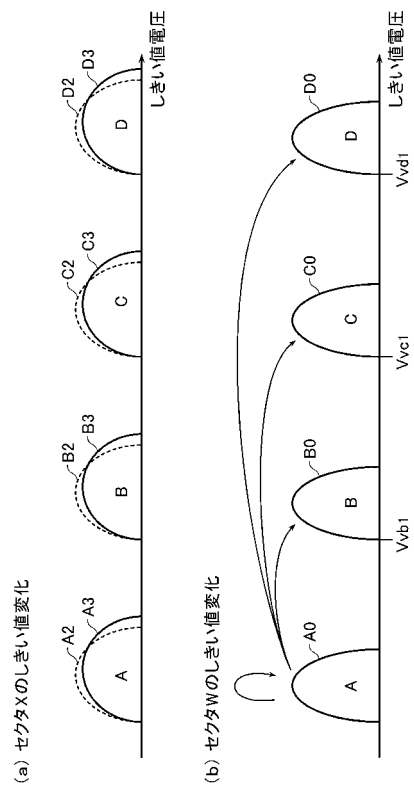
【 図 3 9 】

第7の書き込み方式
セクタZの予備的書き込み

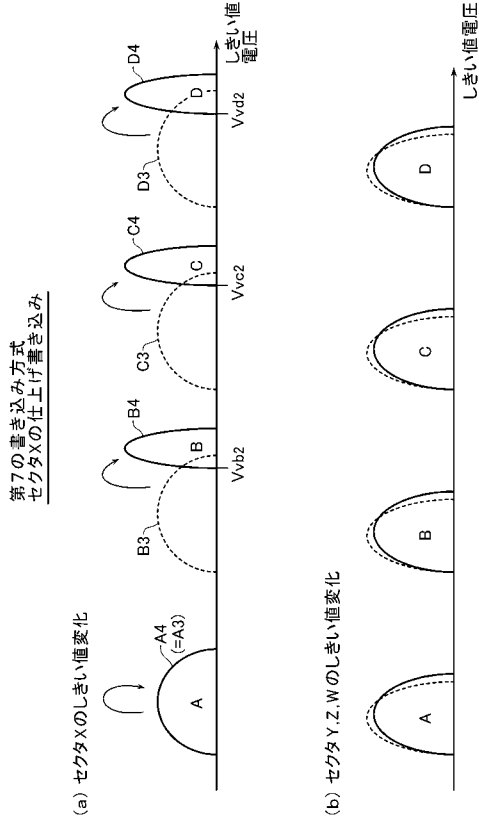


【 図 4 0 】

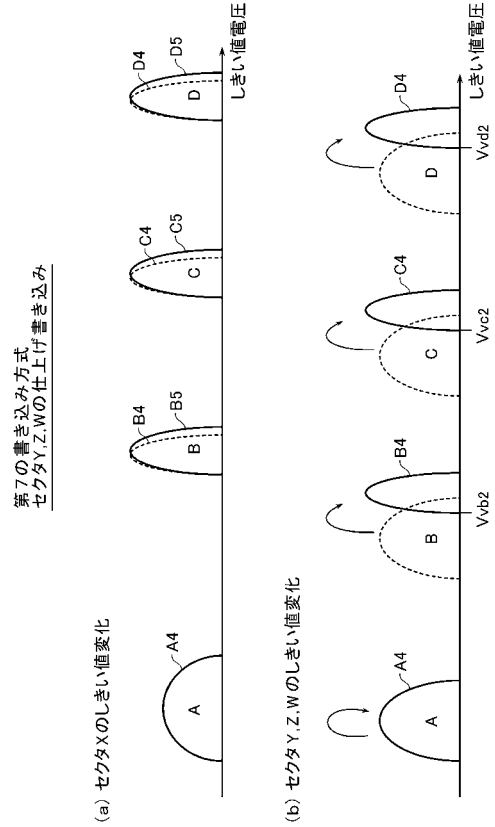
第7の書き込み方式
セクタWの予備的書き込み



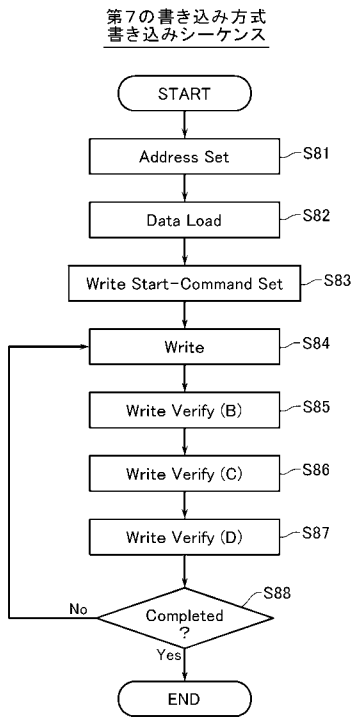
【図41】



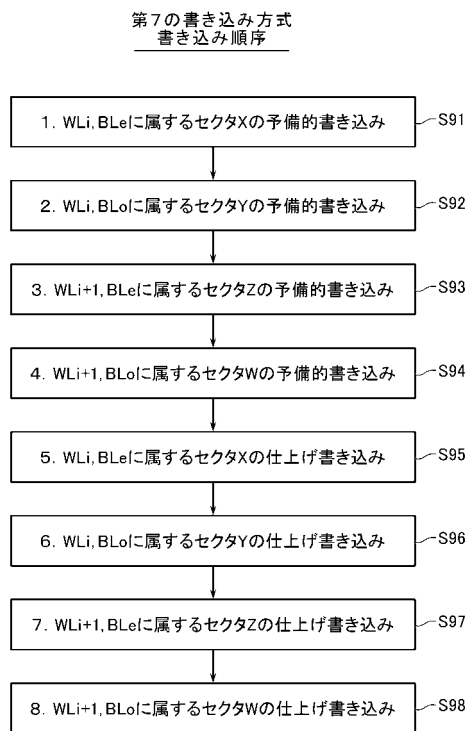
【図42】



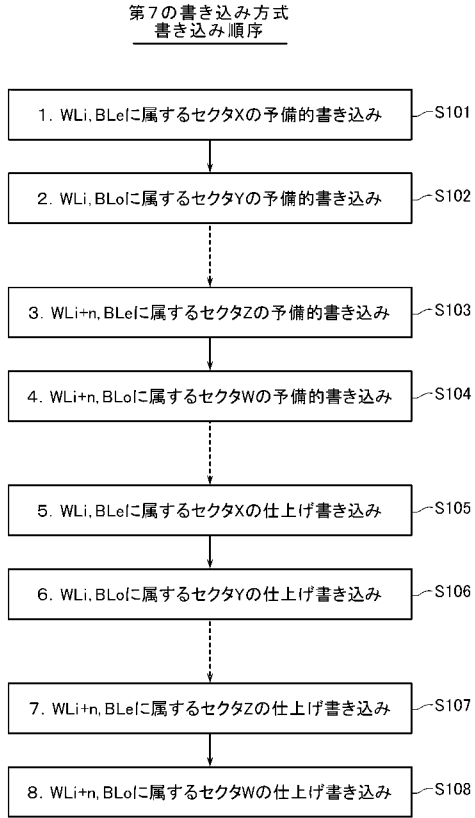
【図43】



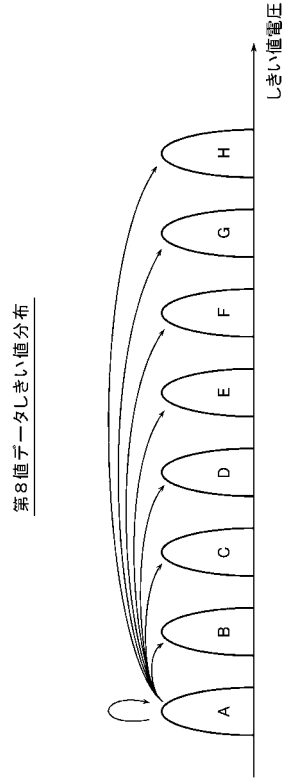
【図44】



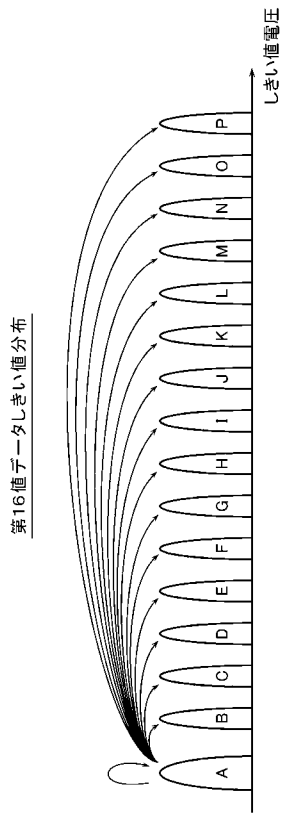
【図45】



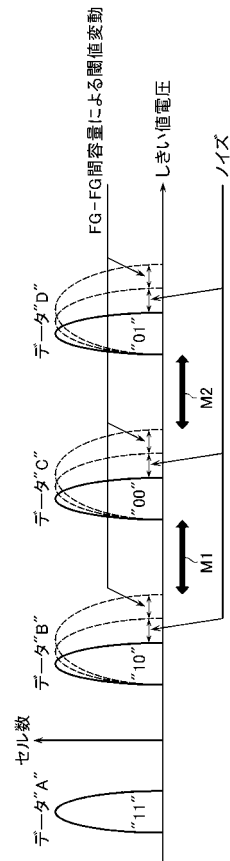
【図46】



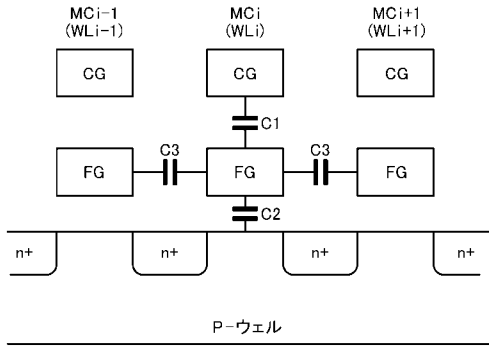
【図47】



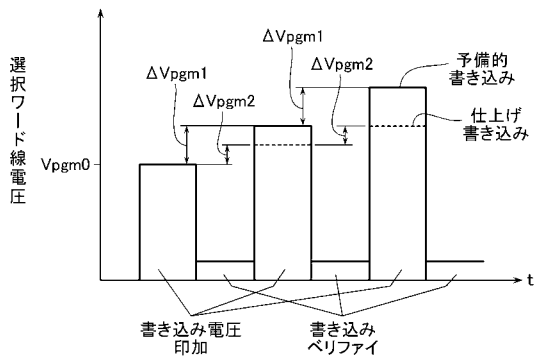
【図48】



【 図 4 9 】



【 図 5 0 】



フロントページの続き

(72)発明者 助川 博

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 高野 芳徳

(56)参考文献 国際公開第2004/023489(WO, A1)

特開2004-192789(JP, A)

特開平10-106276(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00