



(12)发明专利申请

(10)申请公布号 CN 111445850 A

(43)申请公布日 2020.07.24

(21)申请号 202010365978.3

(22)申请日 2020.04.30

(71)申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 徐攀 李永谦 林奕呈

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 李文博

(51)Int.Cl.  
G09G 3/3208(2016.01)

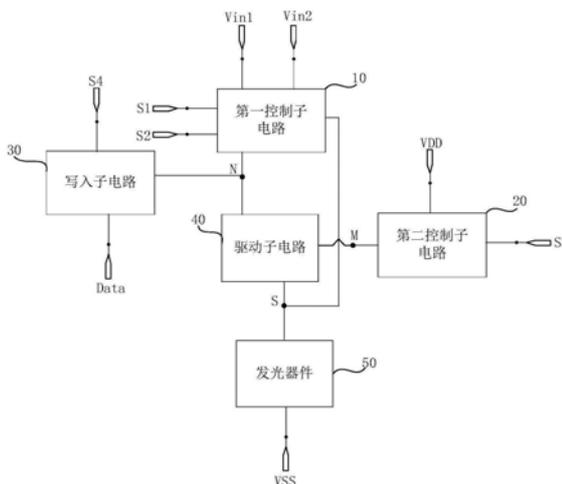
权利要求书3页 说明书10页 附图8页

(54)发明名称

一种像素电路及其驱动方法及显示装置及其驱动方法

(57)摘要

本发明涉及显示技术领域,尤其涉及一种像素电路及其驱动方法及显示装置及其驱动方法。用于减少驱动IC(Integrated Circuit,集成电路)的数量。一种像素电路,包括第一控制子电路、第二控制子电路、写入子电路、驱动子电路和发光器件;第一控制子电路连接第一初始信号端、第二初始信号端、第一控制端、第二控制端、第一节点和第二节点;所述第二控制子电路连接第一电压端、第三控制端和第三节点;所述写入子电路连接数据信号端、第四控制端和所述第一节点;所述驱动子电路连接所述第一节点、所述第二节点和所述第三节点,所述发光器件连接所述第二节点和第二电压端。



1. 一种像素电路,其特征在于,包括第一控制子电路、第二控制子电路、写入子电路、驱动子电路和发光器件;

所述第一控制子电路连接第一初始信号端、第二初始信号端、第一控制端、第二控制端、第一节点和第二节点;所述第一控制子电路用于在初始化阶段,在所述第一控制端的控制下,将第一初始信号端的信号输出至所述第一节点;以及在所述第二控制端的控制下,将所述第二初始信号端的信号输出至所述第二节点,以对所述第一节点和所述第二节点的电位进行初始化;以及在补偿阶段,在第一控制端的控制下,继续将第一初始信号端的信号输出至所述第一节点,对所述第一节点的电位进行保持;

所述第二控制子电路连接第一电压端、第三控制端和第三节点;所述第二控制子电路用于在补偿阶段和发光阶段,在所述第三控制端的控制下,将所述第一电压端的信号输出至所述第三节点;在数据写入阶段,停止将所述第一电压端的信号输出至所述第三节点;

所述写入子电路连接数据信号端、第四控制端和所述第一节点;所述写入子电路用于在数据写入阶段,在所述第四控制端的控制下,将所述数据信号端的信号输出至所述第一节点;以及在发光阶段,停止将所述数据信号端的信号输出至所述第一节点;

所述驱动子电路连接所述第一节点、所述第二节点和所述第三节点,所述发光器件连接所述第二节点和第二电压端;所述驱动子电路用于在补偿阶段,将第三节点和所述第二节点导通,并根据所述第三节点和第一节点的电位对所述第二节点进行电压补偿;以及在发光阶段,将所述第三节点和所述第二节点导通,使所述发光器件根据所述第二节点的电位和所述第二电压端的电位进行发光。

2. 根据权利要求1所述的像素电路,其特征在于,所述驱动子电路包括驱动晶体管和存储电容;

所述驱动晶体管的栅极连接所述第一节点,第一极连接所述第三节点,第二极连接所述第二节点;

所述存储电容的第一极连接所述第一节点,第二极连接所述第二节点。

3. 根据权利要求1所述的像素电路,其特征在于,所述第一控制子电路包括第一子控制电路和第二子控制电路;

所述第一子控制电路连接第一初始信号端、第一控制端和第一节点;所述第一子控制电路用于在所述初始化阶段,在所述第一控制端的控制下,将所述第一初始信号端的信号输出至所述第一节点,对所述第一节点的电位进行初始化;以及在补偿阶段,在所述第一控制端的控制下,继续将所述第一初始信号端的信号输出至所述第一节点,对所述第一节点的电位进行保持;

所述第二子控制电路连接所述第二初始信号端、第二控制端和第二节点;所述第二子控制电路用于在所述初始化阶段,在所述第二控制端的控制下,将所述第二初始信号端的信号输出至所述第二节点,对所述第二节点的电位进行初始化。

4. 根据权利要求3所述的像素电路,其特征在于,所述第一子控制电路包括第一晶体管,所述第二子控制电路包括第二晶体管;

所述第一晶体管的栅极与所述第一控制端连接,第一极与所述第一初始信号端连接,第二极与所述第一节点连接;

所述第二晶体管的栅极与所述第二控制端连接,第一极与所述第二初始信号端连接,

第二极与所述第二节点连接。

5. 根据权利要求1所述的像素电路,其特征在于,所述第二控制子电路包括第三晶体管;

所述第三晶体管的栅极连接所述第三控制端,第一极连接所述第一电压端,第二极连接所述第三节点。

6. 根据权利要求1所述的像素电路,其特征在于,所述写入子电路包括第四晶体管,所述第四晶体管的栅极连接所述第四控制端,第一极连接所述数据信号端,第二极连接所述第一节点。

7. 根据权利要求1所述的像素电路,其特征在于,所述像素电路还包括第三控制子电路,所述第三控制子电路连接所述第二节点、第五控制端和发光器件;用于在补偿阶段,控制所述第五控制端的信号开启或关闭;以及在所述发光阶段,在所述第五控制端的控制下,将所述第二节点和所述第二电压端导通,使所述发光器件根据所述第二节点和第二电压端的信号发光。

8. 根据权利要求7所述的像素电路,其特征在于,所述第三控制子电路包括第五晶体管;

所述第五晶体管的栅极连接第五控制端,第一极连接所述第二节点,第二极连接所述发光器件。

9. 一种显示装置,其特征在于,包括多个亚像素,一个亚像素包括一个如权利要求1-8任一项所述的像素电路。

10. 根据权利要求9所述的显示装置,其特征在于,每一列所述亚像素连接有一条数据线;

还包括多个多路复用子电路,每个多路复用子电路连接一个数据信号输入端以及至少两条数据线,用于在扫描到一行亚像素的情况下,在与所述至少两条数据线连接的亚像素各自的数据写入阶段,向所述至少两条数据线写入数据信号,与所述至少两条数据线连接的亚像素的数据写入阶段之间均无交叠。

11. 根据权利要求10所述的显示装置,其特征在于,该多路复用子电路包括至少两个第六晶体管,每个所述第六晶体管的栅极连接一个分路控制信号端,第一极连接数据信号输入端,第二极一一对应的与多列所述数据线相连接。

12. 根据权利要求10或11所述的显示装置,其特征在于,所述多个亚像素包括重复分布的多个亚像素组,每个亚像素组包括至少三列不同颜色的亚像素;

与所述至少两条数据线连接的所述亚像素的发光颜色相同;或者

与所述至少两条数据线连接的所述亚像素为连续分布的至少两列亚像素。

13. 一种像素电路的驱动方法,其特征在于,应用于如权利要求1-8任一项所述的像素电路,该驱动方法包括:一个帧周期包括初始化阶段、补偿阶段、数据写入阶段和发光阶段;其中

所述初始化阶段包括:在第一控制端的控制下,将第一初始信号端的信号输出至第一节点,以及在第二控制端的控制下,将所述第二初始信号端的信号输出至所述第二节点,以对所述第一节点和第二节点的电位进行初始化;

所述补偿阶段包括:在第一控制端的控制下,继续将第一初始信号端的信号输出至第

一节点,对所述第一节点的电位进行保持,并在所述第三控制端的控制下,将所述第一电压端的信号输出至第三节点,通过所述驱动子电路将所述第三节点和第二节点导通,根据所述第三节点和第一节点的电位对所述第二节点进行电压补偿;

所述数据写入阶段包括:停止将所述第一电压端的信号输出至所述第三节点,并在第四控制端的控制下,将数据信号端的信号输出至第一节点;

所述发光阶段包括:停止将所述数据信号端的信号输出至所述第一节点,并在所述第三控制端的控制下,将所述第一电压端的信号输出至第三节点,通过所述驱动子电路将所述第三节点和第二节点导通,使所述发光器件根据所述第二节点的电位和所述第二电压端的电位进行发光。

14. 根据权利要求13所述的像素电路的驱动方法,其特征在于,所述像素电路还包括第三控制子电路,所述第三控制子电路连接所述第二节点、第五控制端和发光器件;

所述驱动方法还包括:在所述补偿阶段,控制所述第五控制端的信号开启或关闭;以及在所述发光阶段,在所述第五控制端的控制下,将所述第二节点和所述第二电压端导通,使所述发光器件根据所述第二节点和第二电压端的信号发光。

15. 一种显示装置的驱动方法,其特征在于,应用于如权利要求9-12任一项所述的显示装置;

所述驱动方法包括:

依次扫描各行亚像素;

在扫描到一行亚像素的情况下,在与所述至少两条数据线连接的亚像素各自的数据写入阶段,向所述至少两条数据线写入数据信号,与所述至少两条数据线连接的亚像素的数据写入阶段之间均无交叠。

## 一种像素电路及其驱动方法及显示装置及其驱动方法

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素电路及其驱动方法及显示装置及其驱动方法。

### 背景技术

[0002] 目前,随着自发光技术的不断进步,自发光显示装置如OLED (Organic Light-Emitting Diode,有机发光二极管)显示装置、迷你发光二极管显示装置、微发光二极管显示装置等的技术越来越成熟,随之而来的可应用于可穿戴设备的柔性显示装置,以及汽车仪表上的异形显示装置等越来越受到关注。

### 发明内容

[0003] 本发明的实施例提供一种像素电路及其驱动方法及显示装置及其驱动方法。用于减少驱动IC(Integrated Circuit,集成电路)的数量。

[0004] 为达到上述目的,本发明的实施例采用如下技术方案:

[0005] 一方面,本发明实施例提供一种像素电路,包括第一控制子电路、第二控制子电路、写入子电路、驱动子电路和发光器件。

[0006] 所述第一控制子电路连接第一初始信号端、第二初始信号端、第一控制端、第二控制端、第一节点和第二节点;所述第一控制子电路用于在初始化阶段,在所述第一控制端的控制下,将第一初始信号端的信号输出至所述第一节点;以及在所述第二控制端的控制下,将所述第二初始信号端的信号输出至所述第二节点,以对所述第一节点和所述第二节点的电位进行初始化;以及在补偿阶段,在第一控制端的控制下,继续将第一初始信号端的信号输出至所述第一节点,对所述第一节点的电位进行保持。

[0007] 所述第二控制子电路连接第一电压端、第三控制端和第三节点;所述第二控制子电路用于在补偿阶段和发光阶段,在所述第三控制端的控制下,将所述第一电压端的信号输出至所述第三节点;在数据写入阶段,停止将所述第一电压端的信号输出至所述第三节点。

[0008] 所述写入子电路连接数据信号端、第四控制端和所述第一节点;所述写入子电路用于在数据写入阶段,在所述第四控制端的控制下,将所述数据信号端的信号输出至所述第一节点;以及在发光阶段,停止将所述数据信号端的信号输出至所述第一节点。

[0009] 所述驱动子电路连接所述第一节点、所述第二节点和所述第三节点,所述发光器件连接所述第二节点和第二电压端;所述驱动子电路用于在补偿阶段,将第三节点和所述第二节点导通,并根据所述第三节点和第一节点的电位对所述第二节点进行电压补偿;以及在发光阶段,将所述第三节点和所述第二节点导通,使所述发光器件根据所述第二节点的电位和所述第二电压端的电位进行发光。

[0010] 可选的,所述驱动子电路包括驱动晶体管和存储电容。

[0011] 所述驱动晶体管的栅极连接所述第一节点,第一极连接所述第三节点,第二极连

接所述第二节点。

[0012] 所述存储电容的第一极连接所述第一节点,第二极连接所述第二节点。

[0013] 可选的,所述第一控制子电路包括第一子控制电路和第二子控制电路。

[0014] 所述第一子控制电路连接第一初始信号端、第一控制端和第一节点;所述第一子控制电路用于在所述初始化阶段,在所述第一控制端的控制下,将所述第一初始信号端的信号输出至所述第一节点,对所述第一节点的电位进行初始化;以及在补偿阶段,在所述第一控制端的控制下,继续将所述第一初始信号端的信号输出至所述第一节点,对所述第一节点的电位进行保持。

[0015] 所述第二子控制电路连接所述第二初始信号端、第二控制端和第二节点;所述第二子控制电路用于在所述初始化阶段,在所述第二控制端的控制下,将所述第二初始信号端的信号输出至所述第二节点,对所述第二节点的电位进行初始化。

[0016] 可选的,所述第一子控制电路包括第一晶体管,所述第二子控制电路包括第二晶体管。

[0017] 所述第一晶体管的栅极与所述第一控制端连接,第一极与所述第一初始信号端连接,第二极与所述第一节点连接。

[0018] 所述第二晶体管的栅极与所述第二控制端连接,第一极与所述第二初始信号端连接,第二极与所述第二节点连接。

[0019] 可选的,所述第二控制子电路包括第三晶体管。

[0020] 所述第三晶体管的栅极连接所述第三控制端,第一极连接所述第一电压端,第二极连接所述第三节点。

[0021] 可选的,所述写入子电路包括第四晶体管,所述第四晶体管的栅极连接所述第四控制端,第一极连接所述数据信号端,第二极连接所述第一节点。

[0022] 可选的,所述像素电路还包括第三控制子电路,所述第三控制子电路连接所述第二节点、第五控制端和发光器件;用于在补偿阶段,控制所述第五控制端的信号开启或关闭;以及在所述发光阶段,在所述第五控制端的控制下,将所述第二节点和所述第二电压端导通,使所述发光器件根据所述第二节点和第二电压端的信号发光。

[0023] 可选的,所述第三控制子电路包括第五晶体管。

[0024] 所述第五晶体管的栅极连接第五控制端,第一极连接所述第二节点,第二极连接所述发光器件。

[0025] 另一方面,本发明实施例提供一种显示装置,包括多个亚像素,一个亚像素包括一个如上所述的像素电路。

[0026] 可选的,每一列所述亚像素连接有一条数据线;还包括多个多路复用于电路,每个多路复用于电路连接一个数据信号输入端以及至少两条数据线,用于在扫描到一行亚像素的情况下,在与所述至少两条数据线连接的亚像素各自的数据写入阶段,向所述至少两条数据线写入数据信号,与所述至少两条数据线连接的亚像素的数据写入阶段之间均无交叠。

[0027] 可选的,该多路复用于电路包括至少两个第六晶体管,每个所述第六晶体管的栅极连接一个分路控制信号端,第一极连接数据信号输入端,第二极一一对应的与多列所述数据线相连接。

[0028] 可选的,所述多个亚像素包括重复分布的多个亚像素组,每个亚像素组包括至少三列不同颜色的亚像素;与所述至少两条数据线连接的所述亚像素的发光颜色相同;或者,与所述至少两条数据线连接的所述亚像素为连续分布的至少两列亚像素。

[0029] 另一方面,本发明实施例提供一种像素电路的驱动方法,应用于如上所述的像素电路,该驱动方法包括:一个帧周期包括初始化阶段、补偿阶段、数据写入阶段和发光阶段。

[0030] 其中,所述初始化阶段包括:在第一控制端的控制下,将第一初始信号端的信号输出至第一节点,以及在第二控制端的控制下,将所述第二初始信号端的信号输出至所述第二节点,以对所述第一节点和第二节点的电位进行初始化。

[0031] 所述补偿阶段包括:在第一控制端的控制下,继续将第一初始信号端的信号输出至第一节点,对所述第一节点的电位进行保持,并在所述第三控制端的控制下,将所述第一电压端的信号输出至第三节点,通过所述驱动子电路将所述第三节点和第二节点导通,根据所述第三节点和第一节点的电位对所述第二节点进行电压补偿。

[0032] 所述数据写入阶段包括:停止将所述第一电压端的信号输出至所述第三节点,并在第四控制端的控制下,将数据信号端的信号输出至第一节点。

[0033] 所述发光阶段包括:停止将所述数据信号端的信号输出至所述第一节点,并在所述第三控制端的控制下,将所述第一电压端的信号输出至第三节点,通过所述驱动子电路将所述第三节点和第二节点导通,使所述发光器件根据所述第二节点的电位和所述第二电压端的电位进行发光。

[0034] 可选的,所述像素电路还包括第三控制子电路,所述第三控制子电路连接所述第二节点、第五控制端和发光器件。

[0035] 所述驱动方法还包括:在所述补偿阶段,控制所述第五控制端的信号开启或关闭;以及在所述发光阶段,在所述第五控制端的控制下,将所述第二节点和所述第二电压端导通,使所述发光器件根据所述第二节点和第二电压端的信号发光。

[0036] 再一方面,本发明实施例提供一种显示装置的驱动方法,应用于如上所述的显示装置,所述驱动方法包括:依次扫描各行亚像素;在扫描到一行亚像素的情况下,在与所述至少两条数据线连接的亚像素各自的数据写入阶段,向所述至少两条数据线写入数据信号,与所述至少两条数据线连接的亚像素的数据写入阶段之间均无交叠。

[0037] 本发明实施例提供一种像素电路及其驱动方法及显示装置及其驱动方法。通过设置第二控制子电路,在数据写入阶段,通过将第二控制子电路关断,能够避免第一电压端的信号不断对第二节点充电,使第二节点的电压不断抬升,从而在用于多路复用技术时,不会因为第一列亚像素和第二亚像素的数据写入时间不同,而使得第二节点的电压变化量不同造成亮度差异。

[0038] 因此,采用该像素电路,可以达到减少驱动IC的数量的目的,而通过减少驱动IC的数量,可以降低显示装置的成本,并能够实现异形产品的窄边框设计,提高异形产品的有效显示面积。

## 附图说明

[0039] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本

发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0040] 图1为本发明实施例提供的一种显示装置的俯视结构示意图;

[0041] 图2为本发明实施例提供的一种显示装置上设置多路复用子电路的结构示意图;

[0042] 图3为本发明实施例提供的一种像素电路的结构示意图;

[0043] 图4为本发明实施例提供的一种4T1C的等效电路图;

[0044] 图5为本发明实施例提供的一种图3的具体电路结构图;

[0045] 图6为本发明实施例提供的另一种图3的具体电路结构图;

[0046] 图7为本发明实施例提供的一种图6中各个控制端的时序控制图;

[0047] 图8为本发明实施例提供的另一种像素电路的结构示意图;

[0048] 图9为本发明实施例提供的一种图8的具体电路结构图;

[0049] 图10为本发明实施例提供的一种图9中各个控制端的时序控制图;

[0050] 图11为本发明实施例提供的另一种在显示装置上设置多路复用子电路的结构示意图;

[0051] 图12为本发明实施例提供的一种图11中像素电路的各个控制端和数据信号端的时序控制图;

[0052] 图13为本发明实施例提供的一种显示装置的驱动方法的流程示意图。

[0053] 附图标记:1-显示装置;P-亚像素;100-像素电路;200-多路复用子电路;Data in-数据信号输入端;P1-第一列亚像素;P2-第二列亚像素;L<sub>Gate(n)</sub>-栅线;10-第一控制子电路;20-第二控制子电路;30-写入子电路;40-驱动子电路;50-发光器件;Vin1-第一初始信号端;Vin2-第二初始信号端;S1-第一控制端;S2-第二控制端;N-第一节点;S-第二节点;VDD-第一电压端;S3-第三控制端;M-第三节点;Data-数据信号端;S4-第四控制端;VSS-第二电压端;DTFT-驱动晶体管;Cst-存储电容;101-第一子控制电路;102-第二子控制电路;T1-第一晶体管;T2-第二晶体管;T3-第三晶体管;T4-第四晶体管;60-第三控制子电路;S5-第五控制端;T5-第五晶体管;COLED-OLED的本征电容;T6-第六晶体管;Lg1-第一分路控制信号;Lg2-第二分路控制信号;L<sub>Data1</sub>-第一列数据线;L<sub>Data2</sub>-第二列数据线。

## 具体实施方式

[0054] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0055] 本发明实施例提供一种显示装置1,该显示装置1为显示面板,或者,该显示装置1包括显示面板,例如手机、平板电脑、笔记本、个人数字助理(personal digital assistant,PDA)、车载电脑等。本申请实施例对上述显示装置的具体形式不做特殊限制。

[0056] 在一些实施例中,如图1所示,该显示装置1包括多个亚像素P。为了方便说明,本实施例中上述多个亚像素P是以矩阵形式排列为例进行的说明。此时,沿水平方向X排列成一排的亚像素P称为同一行亚像素,沿竖直方向Y排列成一排的亚像素P称为同一列亚像素。同一行亚像素P可以与一根栅线连接,同一列亚像素P可以与一根数据线连接。

[0057] 此外,如图2所示,一个亚像素P内设置有一个像素电路100,该像素电路100用于控制亚像素P进行显示。在另一些实施例中,如图2所示,该显示装置还包括多个多路复用子电路200,每个多路复用子电路200连接一个数据信号输入端Data in以及至少两条数据线,用于在扫描到一行亚像素P的情况下,在与该至少两条数据线连接的亚像素P各自的数据写入阶段,向该至少两条数据线写入数据信号Data,与该至少两条数据线连接的亚像素P各自的数据写入阶段之间均无交叠。

[0058] 在一些实施例中,多个亚像素P包括重复分布的多个亚像素组,每个亚像素组包括至少三个不同颜色的亚像素P;与至少两条数据线连接的亚像素P的发光颜色相同;或者,与至少两条数据线连接的亚像素P为连续分布的至少两个亚像素P。

[0059] 示例性的,至少三个不同颜色的亚像素P可以为红色亚像素(R)、绿色亚像素(G)和蓝色亚像素(B)。此时,与至少两条数据线连接的亚像素P的发光颜色相同,是指,一个多路复用子电路200连接至少两列间隔分布且颜色相同的亚像素P。与至少两条数据线连接的亚像素P为连续分布的至少两列亚像素P,是指,若至少两条数据线连接的亚像素P为连续分布的两列亚像素P,则相邻的两列亚像素P,如RG、GB、BR分别连接一个多路复用子电路200;若至少两条数据线连接的亚像素P为连续分布的三列亚像素P,则一个亚像素组RGB连接一个多路复用子电路200。

[0060] 在此,以与至少两条数据线连接的亚像素P为连续分布的两列亚像素P为例,如图2所示,该两列亚像素P分别称为第一列亚像素P1和第二列亚像素P2;在采用多路复用子电路200驱动时,在扫描到一行栅线 $L_{Gate(n)}$ 打开的情况下,在写第一列亚像素P1的数据后,再写第二列亚像素P2的数据,之后二者的栅线 $L_{Gate(n)}$ 才同时关闭,这就造成第一列亚像素P1和第二列亚像素P2的数据写入时间不同。即前者的数据写入时间大于后者的数据写入时间。为确保亚像素P的数据写入的准确性,就需要数据写入阶段亚像素P的工作状态稳定。

[0061] 基于此,本发明的实施例一提供一种像素电路100,如图3所示,包括第一控制子电路10、第二控制子电路20、写入子电路30、驱动子电路40和发光器件50。

[0062] 该第一控制子电路10连接第一初始信号端Vin1、第二初始信号端Vin2、第一控制端S1、第二控制端S2、第一节点N和第二节点S;该第一控制子电路10用于在初始化阶段,在第一控制端S1的控制下,将第一初始信号端Vin1的信号输出至第一节点N。以及在第二控制端S2的控制下,将第二初始信号端Vin2的信号输出至第二节点S,以对第一节点N和第二节点S的电位进行初始化。以及在补偿阶段,在第一控制端S1的控制下,继续将第一初始信号端Vin1的信号输出至第一节点N,对第一节点N的电位进行保持。

[0063] 第二控制子电路20连接第一电压端VDD、第三控制端S3和第三节点M;该第二控制子电路20用于在补偿阶段和发光阶段,在第三控制端S3的控制下,将第一电压端VDD的信号输出至第三节点M。在数据写入阶段,停止将第一电压端VDD的信号输出至第三节点M。

[0064] 写入子电路30连接数据信号端Data、第四控制端S4和第一节点N;该写入子电路30用于在数据写入阶段,在所述第四控制端S4的控制下,将数据信号端Data的信号输出至第一节点N;以及在发光阶段,停止将数据信号端Data的信号输出至第一节点N。

[0065] 驱动子电路40连接第一节点N、第二节点S和第三节点M,发光器件50连接第二节点S和第二电压端VSS;该驱动子电路40用于在补偿阶段,将第三节点M和第二节点S导通,并根据第三节点M和第一节点N的电位对第二节点S进行电压补偿;以及在发光阶段,将第三节点

M和第二节点S导通,使发光器件50根据第二节点S和第二电压端VSS的电位进行发光。

[0066] 假设该像素电路100在第三节点M和第一电压端VDD之间未设置该第二控制子电路20,如图4所示,为一种4T1C的像素电路的等效电路图,在数据写入阶段,由于驱动晶体管DTFT是打开的,第一电压端VDD的信号不断输出至S点,这就使得S点因为第一电压端VDD的电流充电不断抬升,也就是说,在数据写入阶段,依然对驱动晶体管DTFT做不均匀性的补偿,驱动晶体管DTFT的迁移率越高,S点抬升越大,而发光的时候驱动晶体管DTFT的栅漏电压 $V_{gs}$ 就越小,相反,驱动晶体管DTFT的迁移率越小,S点抬升得越小,发光的时候 $V_{gs}$ 就越大。又由于在采用多路复用电路200对亚像素进行驱动时,第一列亚像素P1和第二列亚像素P2的数据写入时间不同,那么S点的电压变化量也不同,尤其是多列亚像素(三列以上)连接一个多路复用电路200的情况下,使得第一列亚像素的数据写入时间远大于最后一列亚像素的数据写入时间,就会造成在各列亚像素之间的亮度差异。

[0067] 而在本实施例中,通过设置第二控制子电路20,在数据写入阶段,通过将第二控制子电路20关断,能够避免第一电压端VDD的信号不断对第二节点S充电,使第二节点S的电压不断抬升,从而在用于多路复用技术时,不会因为第一列亚像素P1和第二亚像素P2的数据写入时间不同,而使得第二节点S的电压变化量不同造成亮度差异。

[0068] 因此,采用该像素电路100,可以达到减少驱动IC的数量的目的,而通过减少驱动IC的数量,可以降低显示装置的成本,并能够实现异形产品的窄边框设计,提高异形产品的有效显示面积。

[0069] 接下来,将对本发明的实施例一提供的像素电路100所包含的第一控制子电路10、第二控制子电路20、写入子电路30、驱动子电路40的具体电路结构进行示例性的介绍。

[0070] 如图5和图6所示,该驱动子电路40可以包括驱动晶体管DTFT和存储电容 $C_{st}$ ,该驱动晶体管DTFT的栅极与第一节点N连接,第一极与第三节点M连接,第二极与第二节点S连接,该存储电容 $C_{st}$ 的第一极与第一节点N连接,该存储电容 $C_{st}$ 的第二极与第二节点S连接。

[0071] 如图5所示,该第一控制子电路10包括第一子控制电路101,和第二子控制电路102;该第一子控制电路101连接第一初始信号端 $V_{in1}$ 、第一控制端S1和第一节点N,第一子控制电路用于在初始化阶段,在第一控制端S1的控制下,将第一初始信号端 $V_{in1}$ 的信号输出至第一节点N,对第一节点N的电位进行初始化;以及在补偿阶段,在第一控制端S1的控制下,继续将第一初始信号端 $V_{in1}$ 的信号输出至第一节点N,对第一节点N的电位进行保持。

[0072] 该第二子控制电路102连接第二初始信号端 $V_{in2}$ 、第二控制端S2和第二节点S,第二子控制电路用于在初始化阶段,在第二控制端S2的控制下,将第二初始信号端 $V_{in2}$ 的信号输出至第二节点S,对第二节点S的电位进行初始化。

[0073] 示例性的,如图5和图6所示,该第一子控制电路101包括第一晶体管T1,第二子控制电路102包括第二晶体管T2;第一晶体管T1的栅极与第一控制端S1连接,第一极与第一初始信号端 $V_{in1}$ 连接,第二极与第一节点N连接;第二晶体管T2的栅极与第二控制端S2连接,第一极与第二初始信号端 $V_{in2}$ 连接,第二极与第二节点S连接。

[0074] 如图5和图6所示,该第二控制子电路20包括第三晶体管T3,该第三晶体管T3的栅极连接第三控制端S3,第一极连接第一电压端VDD,第二极连接第三节点M。该第三晶体管T3被配置为在补偿阶段和发光阶段,在第三控制端S3的控制下,将第一电压端VDD的信号输出至第三节点M。以及在数据写入阶段,停止将第一电压端VDD的信号输出至第三节点M。

[0075] 如图5和图6所示,该写入子电路30包括第四晶体管T4,该第四晶体管T4的栅极连接第四控制端S4,第一极连接数据信号端Data,第二极连接第一节点N。该第四晶体管T4被配置为在数据写入阶段,在第四控制端S4的控制下,将数据信号端Data的信号输出至第一节点N。

[0076] 在一些实施例中,上述所述的第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4和驱动晶体管DTFT均为P型晶体管或均为N型晶体管。

[0077] 上面已经对本发明的实施例一提供的第一控制子电路10、第二控制子电路20、驱动子电路40和写入子电路30的具体电路结构分别进行了示例性的介绍,如图7所示,本发明的一些实施例所提供的像素电路100包括:第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、驱动晶体管DTFT及存储电容Cst,各元件的连接方式可参见上面相应部分的介绍。上述各晶体管可均为P型晶体管或N型晶体管。

[0078] 在一些实施例中,如图5和图6所示,该发光器件50包括至少一个发光二极管。其中,一个该发光二极管的阳极与第二节点S连接,该发光二极管的阴极与第二电压端VSS连接,示例性的,在该第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4和驱动晶体管DTFT均为P型晶体管的情况下,该第二电压端VSS可以接地,或者为0V,相应地,第一电压端VDD可以大于0V。

[0079] 在一些实施例中,上述发光二极管为微型发光二极管(micro LED)、迷你发光二极管(mini LED)或者有机发光二极管,本发明的实施例对此并不设限。

[0080] 需要说明的是,本发明的实施例提供的电路中所采用的晶体管可以为薄膜晶体管、场效应晶体管或其他特性相同的开关器件,本发明的实施例对此并不设限。

[0081] 在一些实施例中,像素电路100所采用的各晶体管的第一极为晶体管的源极和漏极中一者,第二极为晶体管的源极和漏极中另一者。由于晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有区别的,也就是说,本发明的实施例中的晶体管的第一极和第二极在结构上可以是没有区别的。示例性的,在晶体管为P型晶体管的情况下,晶体管的第一极为源极,第二极为漏极;示例性的,在晶体管为N型晶体管的情况下,晶体管的第一极为漏极,第二极为源极。

[0082] 在以上对实施例一提供的像素电路100所包含的第一控制子电路10、第二控制电路20、写入子电路30和驱动子电路40的具体电路结构进行介绍的基础上,接下来,将对该像素电路100的驱动方法进行介绍。以下的介绍,以图6所示出的像素电路100为例,结合图7所示出的时序图进行描述。该像素电路100包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、驱动晶体管DTFT及存储电容Cst,且上述晶体管均为N型晶体管,发光器件50包括OLED。

[0083] 该驱动方法包括:

[0084] 一个帧周期包括初始化阶段、补偿阶段、数据写入阶段和发光阶段。

[0085] 初始化阶段包括:在第一控制端的控制下,将第一初始信号端Vin1的信号输出至第一节点N,以及在第二控制端的控制下,将第二初始信号端Vin2的信号输出至第二节点S,以对第一节点N和第二节点S的电位进行初始化。

[0086] 示例的,在第一控制端S1和第二控制端S2输出高电平信号,第一晶体管T1和第二晶体管T2导通,其余晶体管关断,将第一初始电压端Vin1的信号输出至第一节点N,将第二

初始电压端Vin2的信号输出至第二节点S。给驱动晶体管DTFT写入一个初始栅漏电压 $V_{gs} = Vin2 = Vin1$ 。

[0087] 在此阶段,若不关断第二控制子电路20,那么初始化后的第二节点S的电压 $V_s$ 大于 $Vin1$ ,就缩小了驱动晶体管DTFT的阈值电压 $V_{th}$ 的补偿范围。

[0088] 补偿阶段包括:在第一控制端S1的控制下,继续将第一初始信号端Vin1的信号输出至第一节点N,对第一节点N的电位进行保持,第二控制子电路20在第三控制端的控制下,将第一电压端VDD的信号输出至第三节点M,通过驱动子电路40将第三节点M和第二节点S导通,根据第三节点M和第一节点N的电位对第二节点S进行电压补偿。

[0089] 示例的,第一控制端S1继续输出高电平信号,保持第一晶体管T1打开,第二晶体管T2关闭,第三晶体管T3打开,将第一电压端VDD的信号输出至第二节点S,直至驱动晶体管DTFT的 $V_{gs} = V_{th}$ ,此时OLED的阳极电压 $V_s = Vin2 - Vin1$ 。

[0090] 数据写入阶段包括:停止将第一电压端VDD的信号输出至第三节点S,并在第四控制端S4的控制下,将数据信号端Data的信号输出至第一节点N。

[0091] 示例性的,第四晶体管T4打开,其余晶体管关断,此时,驱动晶体管DTFT中没有电流,而第二节点S的变化只是电容耦合作用。因此, $V_N = V_{Data}$ , $V_s = a(V_{Data} - Vin2) + Vin2 - V_{th}$ ;那么 $V_{gs} = (1-a)(V_{Data} - Vin2) + V_{th}$ ,其中,a为电容耦合系数, $a = C_{st} / (C_{st} + C_{oled})$ , $C_{oled}$ 为并联OLED的本征电容。

[0092] 在此阶段,若不关断第三晶体管T3,由于驱动晶体管DTFT是开启的,那么驱动晶体管DTFT中有电流,第二节点S的电压抬升很快,这样数据写入后的 $V_{gs}$ 会非常小,甚至小到接近 $V_{th}$ 而无法发光。因此,在数据写入阶段,通过关断第三晶体管T3,使得驱动晶体管DTFT中没有电流,第二节点S不会因为第一电压端VDD电流充电而变化(第二节点S电容小,所以充电会比较快,导致第二节点S的电压抬升太快),而只是起到电容耦合作用,能够减少驱动IC的Data损失。

[0093] 发光阶段包括:停止将数据信号端Data的信号输出至第一节点N,并在第三控制端S3的控制下,将第一电压端VDD的信号输出至第三节点M,将第三节点M和第二节点S导通,使发光器件50根据第二节点S的电位和所述第二电压端VSS的电位进行发光。

[0094] 示例性的,第三晶体管T3打开,其余晶体管关断,像素发光, $I_{oled} = K[(1-a)(V_{Data} - Vin2)]^2$ ,与阈值电压 $V_{th}$ 无关,实现内部补偿。

[0095] 在以上实施例一的基础上,如图8所示,本发明的实施例二提供一种像素电路100,该像素电路100除包括实施例一提供的第一控制子电路10、第二控制子电路20、写入子电路30、驱动子电路40和发光器件50以外,还包括第三控制子电路60,该第三控制子电路60连接第二节点S、第五控制端S5和发光器件50;用于在补偿阶段,控制第五控制端S5的信号开启或关闭。以及在发光阶段,在第五控制端S5的控制下,将第二节点S和第二电压端VSS导通,使发光器件50根据第二节点S和第二电压端VSS的信号发光。

[0096] 示例性的,如图9所示,该第三控制子电路60包括第五晶体管T5;该第五晶体管T5的栅极连接第五控制端S5,第一极连接第二节点S,第二极连接发光器件50。该第五晶体管T5被配置为在第五控制端S5的控制下,将第二节点S与第二电压端VSS导通,使发光器件50根据第二节点S和第二电压端VSS的电压发光。

[0097] 需要说明的是,该第五晶体管T5与实施例一所述的第一晶体管T1、第二晶体管T2、

第三晶体管T3、第四晶体管T4和驱动晶体管DTFT为同种类型的晶体管,如均为P型晶体管或均为N型晶体管。

[0098] 上面已经对本发明的实施例二提供的第一控制子电路10、第二控制子电路20、驱动子电路40、写入子电路30和第三控制子电路60的具体电路结构分别进行了示例性的介绍,接下来,将对实施例二提供的该像素电路100的驱动方法进行介绍。以下的介绍,以图9所示出的像素电路100为例,结合图10所示出的时序图进行描述。该像素电路100包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、驱动晶体管DTFT及存储电容Cst,且上述晶体管均为N型晶体管,发光器件50包括OLED。

[0099] 该驱动方法包括:

[0100] 一个帧周期包括初始化阶段、补偿阶段、数据写入阶段和发光阶段。

[0101] 其中,初始化阶段和补偿阶段的驱动方法与实施例一基本相同,在此不再赘述。不同的是:

[0102] 在补偿阶段,第二节点S连接的电容有存储电容Cst以及驱动晶体管DTFT、第二晶体管T2和第五晶体管T5的寄生电容,没有与C<sub>OLED</sub>这个大电容连接,因此第二节点S的电压抬升比较快,直至 $V_{gs}=V_{th}$ ,驱动晶体管DTFT关闭,此时 $V_s=V_{in2}-V_{th}$ ,换言之, $V_{gs}$ 达到 $V_{th}$ 的时间比较短,因此补偿时间比较短。

[0103] 在数据写入阶段,由于第四晶体管T4打开,第三晶体管T3关断,驱动晶体管DTFT中没有电流,因此,第二节点S的变化也只是电容耦合作用,因此 $V_N=V_{Data}$ , $V_s=a(V_{Data}-V_{in2})+V_{in2}-V_{th}$ ;那么 $V_{gs}=(1-a)(V_{Data}-V_{in2})+V_{th}$ ,其中,a为电容耦合系数, $a=C_{st}/(C_{st}+C_0)$ ,C<sub>0</sub>为第二节点S点连接的晶体管的寄生电容总和,寄生电容一般非常小。因此, $V_{gs}$ 仅仅有电容耦合损失比较小一部分(a接近于1),与未设置第五晶体管T5相比,能够进一步减少驱动IC的data损失。

[0104] 在发光阶段,还包括打开第五晶体管T5,将第二节点S和第二电压端VSS导通,使发光器件根据第二节点S和第二电压端VSS的电压发光。

[0105] 综上所述,在该实施例二中,与实施例一中第二节点S连接在OLED的电容上,OLED的本征电容C<sub>OLED</sub>比较大,第二节点S的充电的电容包括存储电容Cst、晶体管的寄生电容和OLED的本征电容C<sub>OLED</sub>,前两者远小于OLED本征电容C<sub>OLED</sub>相比,通过设置第五晶体管T5,能够将OLED的电容和驱动晶体管DTFT断开,去除OLED的本征电容C<sub>OLED</sub>,补偿时仅向存储电容Cst和晶体管的寄生电容充电,这样达到目标电压所需的时间就会大大缩短。

[0106] 在以上实施例一和实施例二的基础上,在本发明的实施例三中,对该多路复用子电路200和像素电路100的具体连接关系和具有该多路复用子电路200的显示装置的驱动方法进行详细说明。

[0107] 在一些实施例中,如图2和图11所示,该多路复用子电路200包括至少两个第六晶体管T6,每个第六晶体管T6的栅极连接一个分路控制信号端,第一极连接数据信号输入端Data in,第二极一一对应的与至少两列数据线相连接。

[0108] 其中,以多路复用子电路200包括两个第六晶体管T6为例,位于左侧的第六晶体管T6连接一个分路控制信号端(在此称为第一分路控制信号端Lg1),位于右侧的第六晶体管T6连接另一个分路控制信号端(在此称为第二分路控制信号端Lg2),此时,相应地,如图2和图11所示,位于左侧的第六晶体管T6连接一列数据线(在此称为第一列数据线L<sub>Data1</sub>),位于

右侧的第六晶体管T6连接另一列数据线(在此称为第二列数据线L<sub>Data2</sub>)。

[0109] 在另一些实施例中,多个多路复用于电路200中位于同一位置处的第六晶体管T6的栅极连接同一个分路控制信号端。

[0110] 在此,仍然以多路复用于电路200包括两个第六晶体管T6为例,多个多路复用于电路200中位于左侧的第六晶体管T6连接同一个分路控制信号端(即上述所述的第一分路控制信号端L<sub>g1</sub>),位于右侧的第六晶体管连接同一个分路控制信号端(即上述所述的第二分路控制信号端L<sub>g2</sub>)。

[0111] 以上已经对多路复用于电路200和像素电路100的具体连接关系进行了介绍,接下来,将对该显示装置的驱动方法进行介绍。以下介绍中,以图11所示出的显示装置1为例,结合图12所示出的时序图进行描述。该像素电路100包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、驱动晶体管DTFT及存储电容C<sub>st</sub>,发光器件50包括OLED,一个多路复用于电路200包括至少两个第六晶体管T6。

[0112] 如图13所示,该驱动方法包括:

[0113] S1) 依次扫描各行亚像素P。

[0114] 示例的,依次扫描各行亚像素P可以为从第1行扫描到第6行,即逐行扫描。也可以是先扫描1、3、5行,再扫描2、4、6行。

[0115] S2) 在扫描到一行亚像素P的情况下,在与该至少两条数据线连接的亚像素P各自的数据写入阶段,向该至少两条数据线写入数据信号,与该至少两条数据线连接的亚像素P的数据写入阶段之间均无交叠。

[0116] 在此,以一个多路复用于电路200所连接的两条数据线所对应的亚像素P分别为第一列亚像素P1和第二列亚像素P2,且扫描到第n行的亚像素P为例,对数据写入阶段的驱动方法进行示例性的说明。

[0117] 在数据写入阶段,将第n行栅线L<sub>Gate(n)</sub>开启,此时位于该行中的第一列和第二列亚像素中的第四晶体管T4开启,同时打开与第一列亚像素P1连接的第六晶体管T6,向与第一列亚像素P1连接的数据线L<sub>Data1</sub>输入Data电压,通过电容耦合, $V_{gs\_1} = K[(1-a)(V_{Data\_1} - V_{in2})]^2$ ,然后关闭与第一列亚像素P1所对应的数据线L<sub>Data1</sub>连接的第六晶体管T6,开启与第二列亚像素P2连接的第六晶体管T6,向与第二列亚像素P2连接的数据线L<sub>Data2</sub>输入Data电压,电容耦合后, $V_{gs\_2} = K[(1-a)(V_{Data\_2} - V_{in2})]^2$ ,其中, $V_{gs\_1}$ 为位于该行的第一列亚像素P1中驱动晶体管DTFT的V<sub>gs</sub>, $V_{gs\_2}$ 为位于该行的第二列亚像素P2中驱动晶体管DTFT的V<sub>gs</sub>,V<sub>Data\_1</sub>为与第一列亚像素P1连接的数据线L<sub>Data1</sub>输入的Data电压值,V<sub>Data\_2</sub>为与第二列亚像素P2连接的数据线L<sub>Data2</sub>输入的Data电压值;a为亚像素P中驱动晶体管DTFT的栅漏两端的存储电容C<sub>st</sub>和OLED的本征电容C<sub>oled</sub>的耦合比例, $a = C_{st} / (C_{st} + C_{oled})$ ,C<sub>oled</sub>为并联OLED的本征电容。

[0118] 本发明的实施例三提供的显示装置具有与本发明的实施例一相同的有益技术效果,具体可参照本发明的实施例一的描述,在此不再赘述。

[0119] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

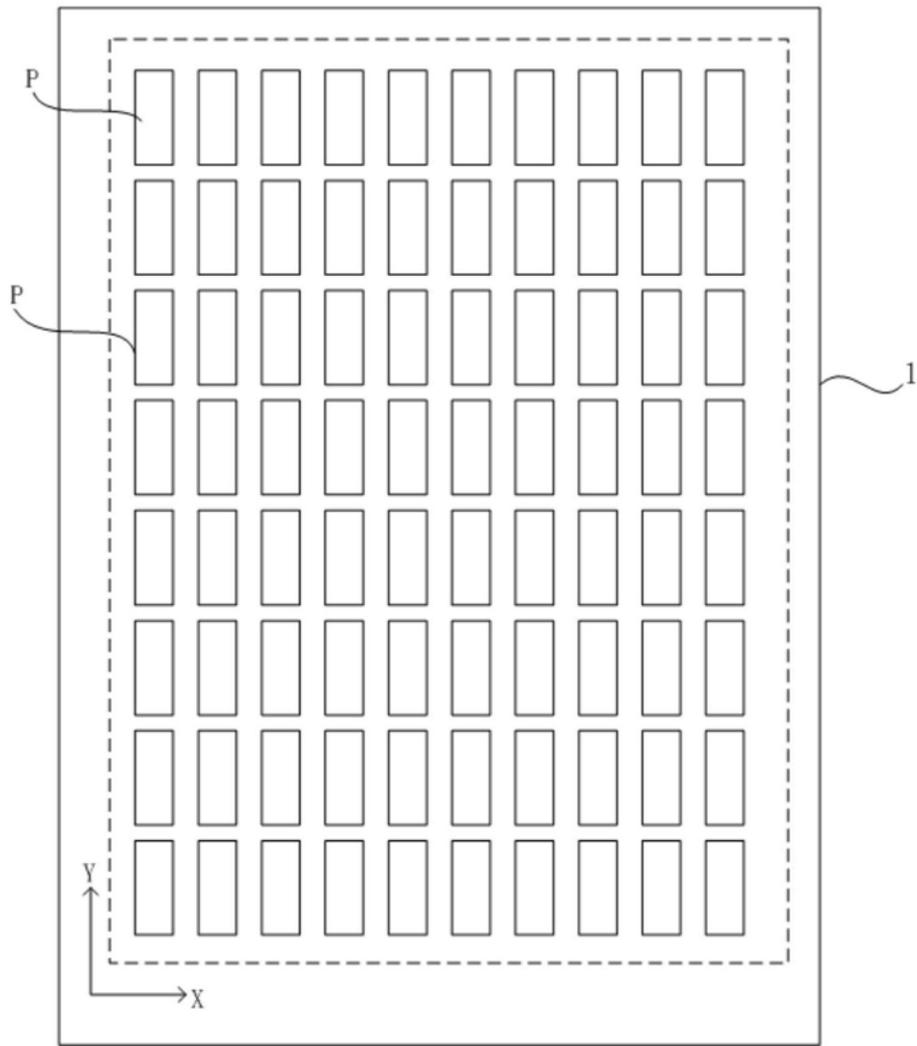


图1

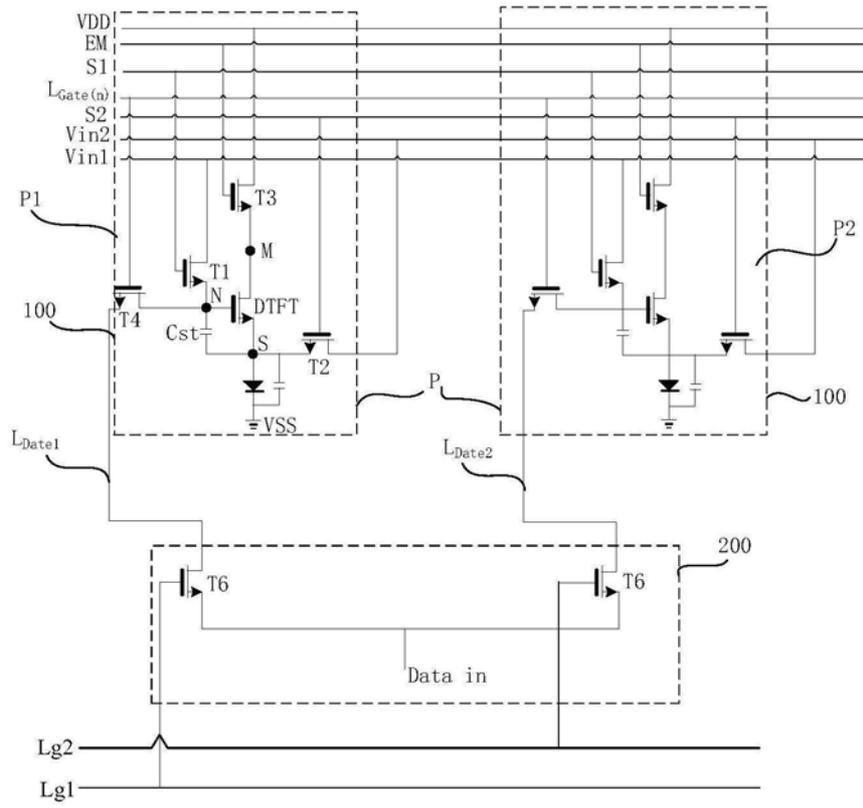


图2

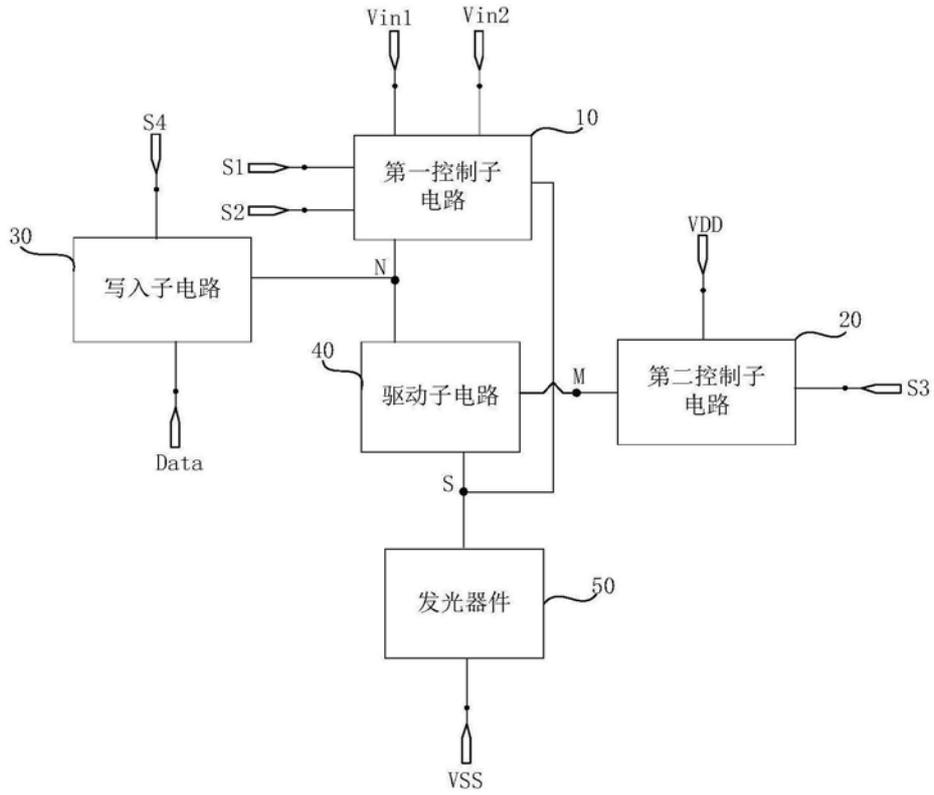


图3

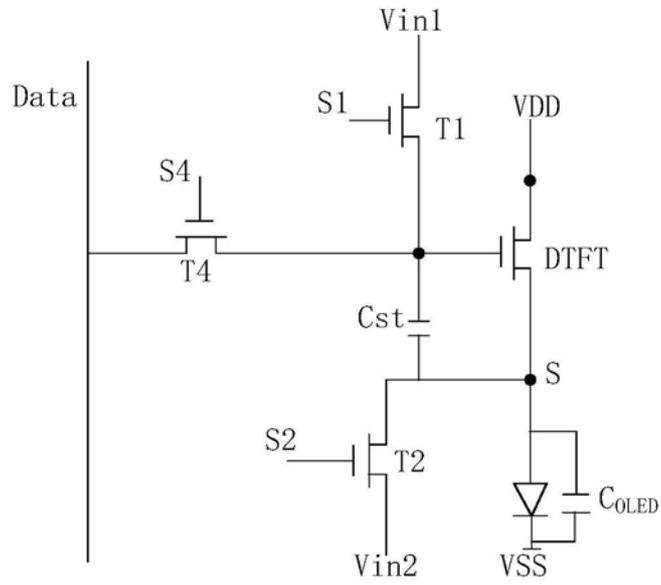


图4



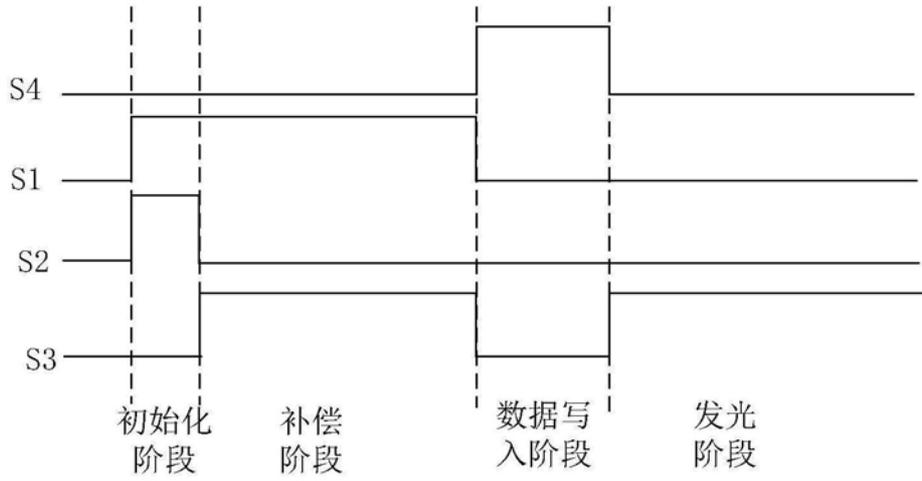


图7

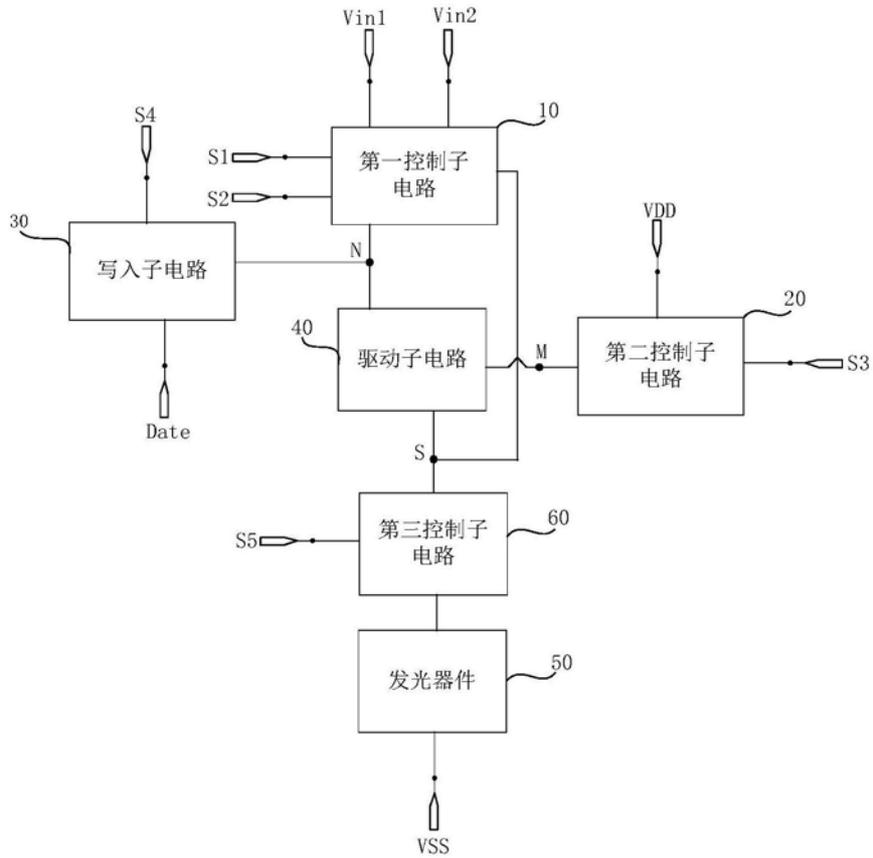


图8

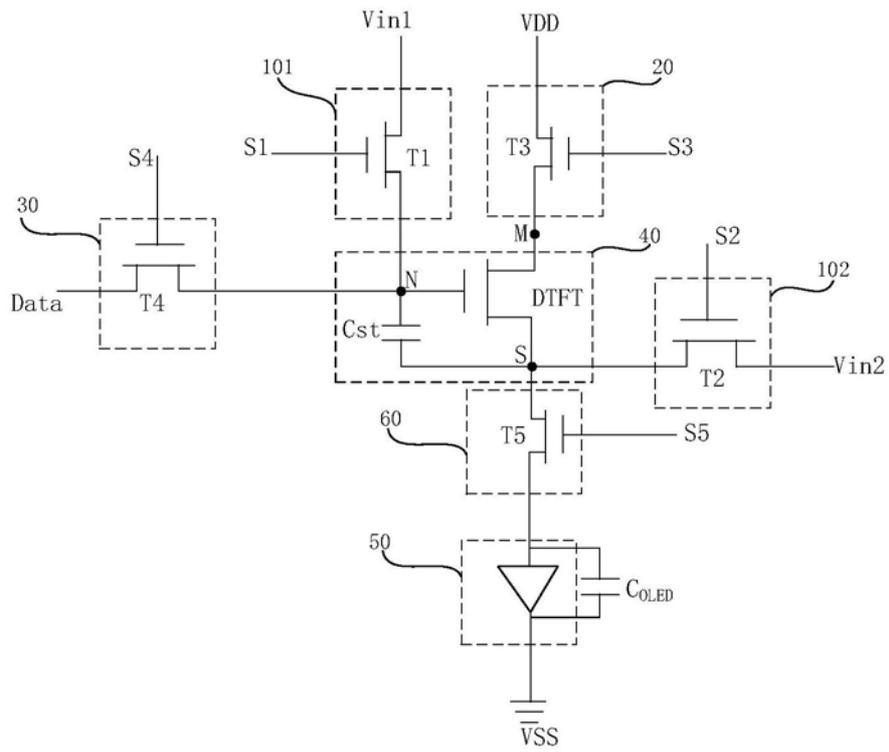


图9

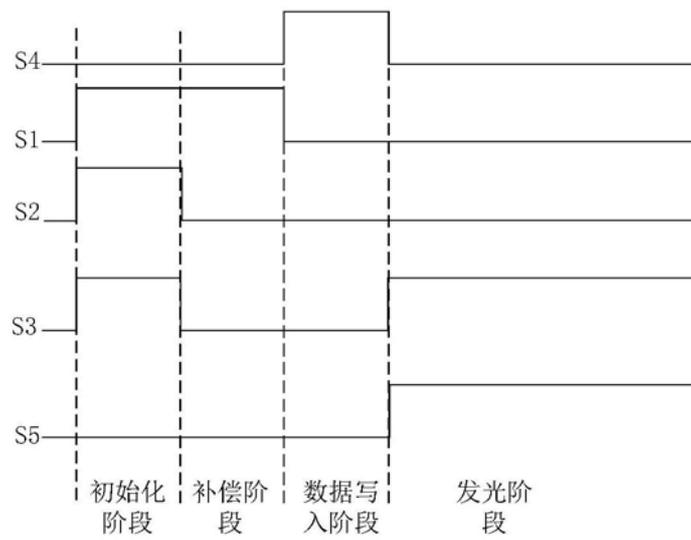


图10



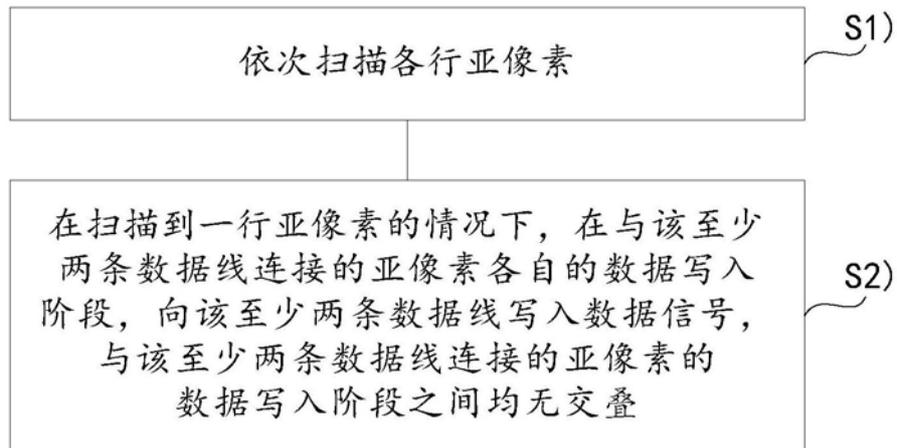


图13