



(12)发明专利申请

(10)申请公布号 CN 106448539 A

(43)申请公布日 2017. 02. 22

(21)申请号 201610968626.0

(22)申请日 2016.10.28

(71)申请人 合肥京东方光电科技有限公司
地址 230012 安徽省合肥市新站区铜陵北路2177号

申请人 京东方科技集团股份有限公司

(72)发明人 张晓洁 邵贤杰 陈俊生

(74)专利代理机构 北京市中咨律师事务所
11247

代理人 李焱 李峥

(51)Int.Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

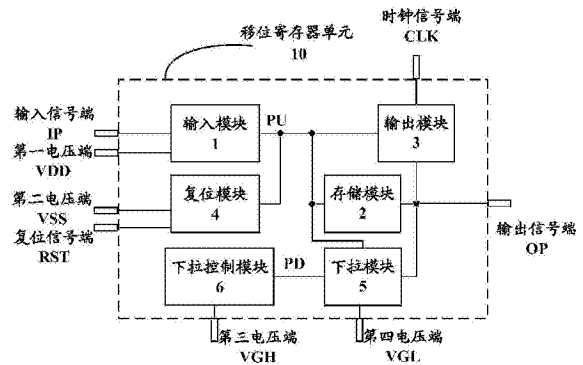
权利要求书2页 说明书7页 附图5页

(54)发明名称

移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

(57)摘要

本发明的实施例提供了移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。移位寄存器单元包括：输入模块、存储模块、输出模块、复位模块、下拉模块以及下拉控制模块。本发明的实施例提供的移位寄存器单元及其驱动方法、栅极驱动电路、显示装置能够减少噪声干扰。



1. 一种移位寄存器单元,包括:输入模块、存储模块、输出模块、复位模块、下拉模块以及下拉控制模块;

所述输入模块与输入信号端、第一电压端和所述存储模块连接,并且被配置为接收输入信号并将接收的输入信号输出至存储模块;

所述输入模块和所述存储模块的连接点是上拉点;

所述存储模块与所述输出模块连接,并且被配置为存储输入信号;

所述输出模块与所述存储模块、时钟信号端和输出信号端连接,并且被配置为将时钟信号端的时钟信号输出至所述输出信号端;

所述复位模块与复位信号端、第二电压端和上拉点连接,并且被配置为根据复位信号以对上拉点进行复位;

所述下拉控制模块与第三电压端和所述下拉模块连接,并且被配置为控制所述下拉模块;

所述下拉模块与所述输出信号端、第四电压端和所述上拉点连接,并且被配置为根据所述下拉控制模块的控制对于所述输出信号端和所述上拉点的电平进行下拉。

2. 根据权利要求1所述的移位寄存器单元,其中,所述下拉控制模块包括第一晶体管和升压单元;

所述下拉控制模块与所述下拉模块连接,连接点是下拉点;

第一晶体管的控制极与第三电压端耦接,第一极与第三电压端连接,第二极与所述下拉点连接;

升压单元连接在第一晶体管的控制极和第二极之间,被配置为提高第一晶体管的控制极和第二极之间的电压。

3. 根据权利要求2所述的移位寄存器单元,其中,所述升压单元包括第一电容,所述第一电容连接在第一晶体管的控制极和第二极之间。

4. 根据权利要求3所述的移位寄存器单元,其中,

所述下拉控制模块还包括第二晶体管和第三晶体管;

第二晶体管的控制极和第一极与第三电压端连接,第二晶体的第二极与第一晶体的控制极连接;

第三晶体的控制极与上拉点连接,第一极与第一晶体的第二极连接,第二极与第四电压端连接。

5. 根据权利要求1所述的移位寄存器单元,其中,

所述输入模块包括第四晶体管;所述第四晶体的控制极与输入信号端连接,第一极与第一电压端连接,第二极与所述上拉点连接。

6. 根据权利要求1所述的移位寄存器单元,其中,

所述输出模块包括第五晶体管;所述第五晶体的控制极与所述上拉点连接,第一极与时钟信号端连接,第二极与输出信号端连接。

7. 根据权利要求1所述的移位寄存器单元,其中,

所述存储模块包括第二电容;所述第二电容的两端分别与所述输出模块连接。

8. 根据权利要求1所述的移位寄存器单元,其中,

所述复位模块包括第六晶体管;所述第六晶体的控制极与复位信号端连接,第一极

与所述上拉点连接,第二极与第二电压端连接。

9. 根据权利要求1所述的移位寄存器单元,其中,

所述下拉模块包括第七晶体管和第八晶体管;

所述下拉控制模块与所述下拉模块连接的连接点是下拉点;

所述第七晶体管的控制极与下拉点连接,第一极与输出信号端连接,第二极与第四电压端连接;

所述第八晶体管的控制极与下拉点连接,第一极与上拉点连接,第二极与第四电压端连接。

10. 一种移位寄存器单元的驱动方法,包括:

第一阶段,通过输入信号端向输入模块提供有效的输入信号,所述输入模块将第一电压端的信号输出至上拉点,存储模块存储所述第一电压端的信号;

第二阶段,所述存储模块向输出模块输出有效电压,所述输出模块在所述存储模块输出的有效电压的控制下将时钟信号端提供的有效时钟信号输出至输出信号端;

第三阶段,通过复位信号端向复位模块提供有效的复位信号,复位模块在所述复位信号的控制下将所述上拉点的电压复位至第二电压端的电压;并且

向第三电压端提供有效的信号,下拉控制模块将第三电压端的有效的信号输出至下拉点,其中,通过下拉控制模块的升压单元增加第三电压端的有效的信号输出至下拉点的速度;下拉模块在下拉点的有效的信号的控制下,下拉输出信号端的电平;

第四阶段,向第三电压端继续提供有效的信号;下拉控制模块继续将第三电压端的有效的信号输出至下拉点,下拉模块在下拉点的有效的信号的控制下,继续下拉输出信号端的电平。

11. 一种栅极驱动电路,包括多个级联的根据权利要求1至9中任一项所述的移位寄存器单元,其中,上一级的移位寄存器单元的输出信号端与下一级的移位寄存器单元的输入信号端连接;下一级的移位寄存器单元的输出信号端与上一级的移位寄存器单元的复位信号端连接。

12. 一种显示装置,包括根据权利要求11所述的栅极驱动电路。

移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

技术领域

[0001] 本发明涉及显示技术,尤其涉及移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。

背景技术

[0002] 在显示器中,使用驱动器对于像素单元进行驱动以实现显示功能。以液晶显示器为例,驱动器包括栅极驱动器和数据驱动器。栅极驱动器包含级联的多个移位寄存器单元。移位寄存器单元处于输出阶段时,根据输入信号和时钟信号生成栅极驱动信号,并施加到与像素单元连接的栅线。移位寄存器单元处于其它阶段时,输出无效信号(例如,低电平的信号)。

[0003] 在长时间的使用过程中,移位寄存器单元中的晶体管的阈值电压会产生漂移,并且相邻晶体管之间会产生干扰,这都可能使得移位寄存器单元输出的无效信号包含噪声,这些噪声可能导致显示功能异常。

[0004] 移位寄存器单元以及栅极驱动电路存在改进空间。

发明内容

[0005] 本发明的实施例提供了移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。

[0006] 根据本发明的第一个方面,提供了一种移位寄存器单元,包括:输入模块、存储模块、输出模块、复位模块、下拉模块以及下拉控制模块。输入模块与输入信号端、第一电压端和存储模块连接,并且被配置为接收输入信号并将接收的输入信号输出至存储模块。输入模块和存储模块的连接点是上拉点。存储模块与输出模块连接,并且被配置为存储输入信号。输出模块与存储模块、时钟信号端和输出信号端连接,并且被配置为将时钟信号端的时钟信号输出至输出信号端。复位模块与复位信号端、第二电压端和上拉点连接,并且被配置为根据复位信号以对上拉点进行复位。下拉控制模块与第三电压端和下拉模块连接,并且被配置为控制下拉模块。下拉模块与输出信号端、第四电压端和上拉点连接,并且被配置为根据下拉控制模块的控制对于输出信号端和上拉点的电平进行下拉。

[0007] 在本发明的实施例中,下拉控制模块包括第一晶体管和升压单元。下拉控制模块与下拉模块连接,连接点是下拉点。第一晶体管的控制极与第三电压端耦接,第一极与第三电压端连接,第二极与下拉点连接。升压单元连接在第一晶体管的控制极和第二极之间,被配置为提高第一晶体管的控制极和第二极之间的电压。

[0008] 在本发明的实施例中,升压单元包括第一电容,第一电容连接在第一晶体管的控制极和第二极之间。

[0009] 在本发明的实施例中,下拉控制模块还包括第二晶体管和第三晶体管。第二晶体管的控制极和第一极与第三电压端连接,第二晶体管的第二极与第一晶体管的控制极连接。第三晶体管的控制极与上拉点连接,第一极与第一晶体管的第二极连接,第二极与第四电压端连接。

[0010] 在本发明的实施例中,输入模块包括第四晶体管。第四晶体管的控制极与输入信号端连接,第一极与第一电压端连接,第二极与上拉点连接。

[0011] 在本发明的实施例中,输出模块包括第五晶体管。第五晶体管的控制极与上拉点连接,第一极与时钟信号端连接,第二极与输出信号端连接。

[0012] 在本发明的实施例中,存储模块包括第二电容。第二电容的两端分别与输出模块连接。

[0013] 在本发明的实施例中,复位模块包括第六晶体管。第六晶体管的控制极与复位信号端连接,第一极与上拉点连接,第二极与第二电压端连接。

[0014] 在本发明的实施例中,下拉模块包括第七晶体管和第八晶体管。下拉控制模块与下拉模块连接,连接点是下拉点。第七晶体管的控制极与下拉点连接,第一极与输出信号端连接,第二极与第四电压端连接。第八晶体管的控制极与下拉点连接,第一极与上拉点连接,第二极与第四电压端连接。

[0015] 根据本发明的第二个方面,提供了一种移位寄存器单元的驱动方法,用于驱动上述的移位寄存器单元,包括:第一阶段,通过输入信号端向输入模块提供有效的输入信号,输入模块将第一电压端的信号输出至上拉点,存储模块存储所述第一电压端的信号。第二阶段,存储模块向输出模块输出有效电压,输出模块在存储模块输出的有效电压的控制下将时钟信号端提供的有效时钟信号输出至输出信号端。第三阶段,通过复位信号端向复位模块提供有效的复位信号,复位模块在复位信号的控制下将上拉点的电压复位至第二电压端的电压。并且向第三电压端提供有效的信号,下拉控制模块将第三电压端的有效的信号输出至下拉点,其中,通过下拉控制模块的升压单元增加第三电压端的有效的信号输出至下拉点的速度,下拉模块在下拉点的有效的信号的控制下,下拉输出信号端的电平。第四阶段,向第三电压端继续提供有效的信号;下拉控制模块继续将第三电压端的有效的信号输出至下拉点,下拉模块在下拉点的有效的信号的控制下,继续下拉输出信号端的电平。

[0016] 根据本发明的第三个方面,提供了一种栅极驱动电路,包括多个级联的上述的移位寄存器单元,其中,上一级的移位寄存器单元的输出信号端与下一级的移位寄存器单元的输入信号端连接。下一级的移位寄存器单元的输出信号端与上一级的移位寄存器单元的复位信号端连接。

[0017] 根据本发明的第四个方面,提供了一种显示装置,包括上述的栅极驱动电路。

[0018] 根据本发明的实施例的移位寄存器单元及其驱动方法、栅极驱动电路、显示装置,能够减少噪声干扰。

附图说明

[0019] 为了更清楚地说明本发明的实施例的技术方案,下面将对实施例的附图进行简要说明,应当知道,以下描述的附图仅仅涉及本发明的一些实施例,而非对本发明的限制,其中:

[0020] 图1是本发明的实施例的移位寄存器单元的框图;

[0021] 图2是包括图1所示的移位寄存器单元的栅极驱动电路的框图;

[0022] 图3是本发明的实施例的移位寄存器单元的一个电路示意图;

[0023] 图4是本发明的实施例的移位寄存器单元的驱动方法的流程图;

[0024] 图5是图3所示的移位寄存器单元的信号时序图。

具体实施方式

[0025] 为了使本发明的实施例的技术方案和优点更加清楚,下面将结合附图,对本发明的实施例的技术方案进行清楚、完整的描述。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于所描述的本发明的实施例,本领域技术人员在无需创造性劳动的前提下所获得的所有其他实施例,也都属于本发明保护的范围。

[0026] 图1是本发明的实施例的移位寄存器单元的框图。如图1所示,移位寄存器单元10包括:输入模块1、存储模块2、输出模块3、复位模块4、下拉模块5以及下拉控制模块6。输入模块1与输入信号端IP、第一电压端VDD和存储模块2连接,并且被配置为接收输入信号并将接收的输入信号输出至存储模块2。输入模块1和存储模块2的连接点是上拉点PU。存储模块2与输出模块3连接,并且被配置为存储输入信号。输出模块3与存储模块2、时钟信号端CLK和输出信号端OP连接,并且被配置为将时钟信号端的时钟信号输出至输出信号端。复位模块4与复位信号端RST、第二电压端VSS和上拉点PU连接,并且被配置为根据复位信号对上拉点PU进行复位。下拉模块5与第四电压端VGL和输出信号端OP连接,还可以与上拉点PU连接,并且被配置为根据下拉控制模块6的控制对于输出信号端OP和上拉点PU的电平进行下拉。下拉控制模块6与第三电压端VGH和下拉模块5连接,并且被配置为控制下拉模块5。下拉控制模块6与下拉模块5连接的连接点是下拉点PD。

[0027] 图2是包括图1所示的移位寄存器单元的栅极驱动电路的框图。如图2所示,图1中的移位寄存器单元可以级联以组成栅极驱动电路。级联时,上一级的移位寄存器单元的输出信号端OP(图中还以G(N-1)表示)与下一级的移位寄存器单元的输入信号端IP连接。下一级的移位寄存器单元的输出信号端OP(图中还以G(N+1)表示)与上一级的移位寄存器单元的复位信号端RST连接。

[0028] 图3是本发明的实施例的移位寄存器单元的一个电路示意图。

[0029] 如图3所示,下拉控制模块6包括第一晶体管M1和升压单元。第一晶体管M1的控制极与第三电压端VGH耦接,第一极与第三电压端VGH连接,第二极与下拉点PD连接。升压单元连接在第一晶体管M1的控制极和第二极之间,被配置为提高第一晶体管M1的控制极和第二极之间的电压。具体而言,升压单元包括第一电容C1,第一电容C1连接在第一晶体管M1的控制极和第二极之间。利用第一电容C1的自举效应可以实现电压的快速升高。

[0030] 下拉控制模块6还可以第二晶体管M2以及第三晶体管M3。第一晶体管M1的控制极通过第二晶体管M2和第三电压端VGH耦接。具体而言,第一晶体管M1的控制极与第二晶体管M2的第二极连接,第二晶体管M2的控制极和第一极与第三电压端VGH连接。第三晶体管M3的控制极与上拉点PU连接,第一极与下拉点PD的第二极连接,第二极与第四电压端VGL连接。第三晶体管M3可以实现上拉点PU的电压对于下拉点PD的电压的控制,在上拉点PU的电压使得第三晶体管M3导通时,下拉点PD将与第四电压端VGL连接。

[0031] 此外,如图3所示,输入模块1包括第四晶体管M4。存储模块2包括第二电容C2。输出模块3包括第五晶体管M5。复位模块4包括第六晶体管M6。下拉模块5包括第七晶体管M7、第八晶体管M8。

[0032] 第四晶体管M4的控制极与输入信号端IP连接,第一极与第一电压端VDD连接,第二

极与上拉点PU连接。第五晶体管M5的控制极与上拉点PU连接,第一极与时钟信号端CLK连接,第二极与输出信号端OP连接。第二电容C2连接在第五晶体管M5的控制极和第二极之间。第六晶体管M6的控制极与复位信号端RST连接,第一极与上拉点PU连接,第二极与第二电压端VSS连接。第七晶体管M7的控制极与下拉点PD连接,第一极与输出信号端OP连接,第二极与第四电压端VGL连接。第八晶体管M8的控制极与下拉点PD连接,第一极与上拉点PU连接,第二极与第四电压端VGL连接。

[0033] 图4是本发明的实施例的移位寄存器单元的驱动方法的流程图。驱动方法开始于步骤S601,接收输入信号,即第一阶段T1。然后进行步骤S602,输出输出信号,即第二阶段T2。然后进行步骤S603,复位,即第三阶段T3。最后进行步骤S604,复位保持,即第四阶段T4。

[0034] 在第一阶段T1,通过输入信号端IP向输入模块1提供有效的输入信号,输入模块1将第一电压端VDD的信号输出至上拉点PU,存储模块2存储第一电压端VDD的信号。在第二阶段T2,存储模块2向输出模块3输出有效电压,输出模块3在存储模块2输出的有效电压的控制下将时钟信号端CLK提供的有效时钟信号输出至输出信号端OP。在第三阶段T3,通过复位信号端RST向复位模块4提供有效的复位信号,复位模块4在所述复位信号的控制下将上拉点PU的电压复位至第二电压端VSS的电压;并且向第三电压端VGH提供有效的信号,下拉控制模块6将第三电压端VGH的有效的信号输出至下拉点PD,其中,通过下拉控制模块6的升压单元增加第三电压端VGH的有效的信号输出至下拉PD的速度;下拉模块5在下拉点PD的有效的信号的控制下,下拉输出信号端OP的电平。在第四阶段T4,向第三电压端VGH继续提供有效的信号;下拉控制模块6继续将第三电压端VGH的有效的信号输出至下拉点PD,下拉模块5在下拉点PD的有效的信号的控制下,继续下拉输出信号端OP的电平。

[0035] 以下,将结合图5对于各个阶段进行详细说明。

[0036] 图5是图3所示的移位寄存器单元的信号时序图。如图5所示,第三电压端VGH可以始终具有高电平、第四电压端VGL可以始终具有低电平。此外,第一电压端VDD和第二电压端VSS可以具有彼此相反的电平(例如,高电平以及低电平)。以下,以第一电压端VDD始终具有高电平,第二电压端VSS始终具有低电平为例进行说明,此时,驱动过程是正向扫描。

[0037] 第一阶段T1,向输入信号端IP提供有效的输入信号,向复位信号端RST提供无效的复位信号,向时钟信号端CLK提供无效的时钟信号;上拉点PU具有有效电平,下拉点PD具有无效电平,输出模块3输出无效的输出信号。

[0038] 具体而言,在第一阶段T1,作为输入信号的上一级移位寄存器单元的输出信号端G(n-1)的输出信号为高电平,该高电平的输入信号使得输入模块1的第四晶体管M4导通,以连接第一电压端VDD和存储模块2的第二电容C2。第一电压端VDD的电压为高电平,该高电平的电压被传递到第二电容C2,并对第二电容C2充电。这使得上拉点PU的电压升为高电平,输出模块3的第五晶体管M5导通,以连接时钟信号端CLK和输出信号端OP。时钟信号端CLK的低电平的电压被传递到输出信号端OP,输出信号端OP输出低电平的信号。

[0039] 在下拉控制模块6中,由于上拉点PU的电压为高电平,使得第三晶体管M3导通。下拉点PD和第四电压端VGL连接。这样,第四电压端VGL的低电平的电压传递至下拉点PD,使得下拉点PD的电压为低电平。

[0040] 在下拉模块5中,由于下拉点PD的电压为低电平,第七晶体管M7和第八晶体管M8截止,保证了PU点在该阶段维持高电平。

[0041] 在复位模块4中,由于作为复位信号的下一级移位寄存器单元的输出信号端G(n+1)的输出信号为低电平,第六晶体管M6截止,移位寄存器单元不会进行复位。

[0042] 第二阶段T2,向输入信号端IP提供无效的输入信号,向复位信号端RST提供无效的复位信号,向时钟信号端CLK提供有效的时钟信号;上拉点PU具有有效电平,下拉点PD具有无效电平,输出模块3输出有效的输出信号。

[0043] 具体而言,在第二阶段T2,输入信号端IP的无效信号使得第四晶体管M4截止,以断开第一电压端VDD和存储模块2的第二电容C2。第二电容C2两端的电压维持不变,这使得上拉点PU的电压保持为高电平,输出模块3的第五晶体管M5继续导通,以连接时钟信号端CLK和输出信号端OP。时钟信号端CLK的高电平的电压被传递到输出信号端OP,输出信号端OP输出高电平的信号。并且,由于第二电容C2两端的电压差保持稳定,因此,上拉点PU的电压被进一步抬高,这保证了第五晶体管M5的稳定导通,进而保证了输出信号稳定保持在高电平。

[0044] 在下拉控制模块6中,由于上拉点PU的电压保持为高电平,第三晶体管M3保持导通,下拉点PD的电压维持低电平。

[0045] 下拉模块5和复位模块4的状态不改变。

[0046] 第三阶段T3,向输入信号端IP提供无效的输入信号,向复位信号端RST提供有效的复位信号,向时钟信号端CLK提供无效的时钟信号;上拉点PU具有无效电平,下拉点PD具有有效电平,输出模块3输出无效的输出信号。

[0047] 具体而言,在第三阶段T3,作为复位信号的下一级移位寄存器单元的输出信号端G(n+1)的输出信号为高电平,该高电平的信号使得复位模块4中的第六晶体管M6导通,以连接上拉点PU和第二电压端VSS。因此,第二电压端VSS的低电平电压被传递至上拉点PU,上拉点PU的电压成为低电平。

[0048] 在下拉控制模块6中,上拉点PU的电压为低电平,使得第三晶体管M3截止。而第三电压端VGH的电压为高电平,使得第二晶体管M2导通,以连接第一晶体管M1的控制极和第三电压端VGH。第三电压端VGH的高电平的电压使得第一晶体管M1导通,以连接下拉点PD和第三电压端VGH。第三电压端VGH的高电平的电压传递至下拉点PD。

[0049] 在该过程中,由于第一电容C1两端的电压差保持稳定,因此,第一晶体管M1的控制极的电压被进一步抬高,第一电容C1实现了升压的功能。这加快了第一晶体管M1导通的速度,能够增加第三电压端VGH的高电平的电压输出至下拉点PD的速度;并且能够保证了第一晶体管M1的稳定导通,进而保证了下拉点PD的电平稳定保持在高电平。

[0050] 在下拉模块5中,由于下拉点PD的电压为高电平,第七晶体管M7和第八晶体管M8导通,以将输出信号端OP和上拉点PU分别连接至第四电压端VGL。第四电压端VGL的低电平的电压传递至上拉点PU和输出信号端OP。由于下拉点PD电压升高的速度提高,因此,第七晶体管M7和第八晶体管M8导通的速度也得到提高,第七晶体管M7和第八晶体管M8能够快速、稳定地对于上拉点PU和输出信号端OP的电压进行下拉,这有利于对于噪声的抑制。

[0051] 第四阶段T4,向输入信号端IP提供无效的输入信号,向复位信号端RST提供无效的复位信号;上拉点PU具有无效电平,下拉点PD具有有效电平,输出模块3输出无效的输出信号。

[0052] 具体而言,在第四阶段T4,输入信号端IP的无效的输入信号使得输入模块1的第四晶体管M4截止,复位信号端RST的无效的复位信号使得复位模块4的第六晶体管M6截止。

[0053] 第三电压端VGH的电压继续为高电平,使得第二晶体管M2导通,以连接第一晶体管M1的控制极和第三电压端VGH。第三电压端VGH的高电平的电压使得第一晶体管M1导通,以连接下拉点PD和第三电压端VGH。第三电压端VGH的高电平的电压继续传递至下拉点PD。

[0054] 由于下拉点PD的电压为高电平,第七晶体管M7和第八晶体管M8导通,第四电压端VGL的低电平的电压继续传递至上拉点PU和输出信号端OP。这一状态会持续到下一个第一阶段T1。并且,第一晶体管M1的控制极的电压始终保持被抬高后的电平,下拉点PD的高电平电压更加稳定,使得输出信号端OP的电压能够稳定地维持在低电平。

[0055] 上述的移位寄存器单元和栅极驱动电路能够用于显示装置的像素单元的驱动。应当理解的是,如果第一电压端VDD始终具有低电平,第二电压端VSS始终具有高电平,以第六晶体管M6作为输入模块1,以第一晶体管M1作为复位模块4,移位寄存器单元仍然可以以相同的方式工作,此时,驱动过程是反向扫描。

[0056] 此外,对于仅需要正向扫描的显示装置,输入信号端IP可以与第一电压端VDD连接,以简化电路。

[0057] 根据本发明的实施例的移位寄存器单元及其驱动方法,能够减少噪声干扰。移位寄存器单元实现了无输出时的快速放噪,并降低了输出波形的下降时间。

[0058] 此外,在下拉控制模块6中可以省略第二晶体管M2,直接连接第一晶体管M1的控制极和第一极。

[0059] 进一步地,第三晶体管M3的功能在于在第一阶段T1和第二阶段T2使得下拉点PD的电平为低电平,以保证正常的输出功能。第三晶体管M3可以被替换为其它具有相同功能的电路。例如,可以省略第三晶体管M3,将下拉点PD直接连接到一个信号源,该信号源在第一阶段T1和第二阶段T2向下拉点PD输出低电平,在第三阶段T3和第四阶段T4断开。

[0060] 这些改进均可以实现相同的功能。

[0061] 本发明的实施例还提供了栅极驱动电路,包括级联的移位寄存器单元,这可以改进栅极驱动电路的输出特性。

[0062] 本发明的实施例还提供了显示装置,包括上述的栅极驱动电路。所述显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0063] 在上述说明中,按照本技术领域的通常理解,“有效”是相应的信号或者电压被施加到对应的模块时,该模块行使功能(例如,模块中的开关晶体管导通)。“无效”是指相应的信号或者电压被施加到对应的模块时,该模块不行使功能(例如,模块中的开关晶体管截止)。

[0064] 并且,以晶体管为N型为例进行说明,相应地,有效电平是高电平,无效电平是低电平。需要说明的是,高电平、低电平仅仅用于区分电压是否能够使得晶体管导通,并没有限制电压的值。例如,低电平可以是指接地的电平,也可以是负电平。此外,选择N型TFT晶体管进行示意性的说明,并不是对于晶体管类型的具体限制。根据本发明的原理,本领域技术人员能够在不付出创造性劳动的情况下,对于晶体管的类型做出适当的选择和调整,这些选择和调整也视为本发明的保护范围。

[0065] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精

神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

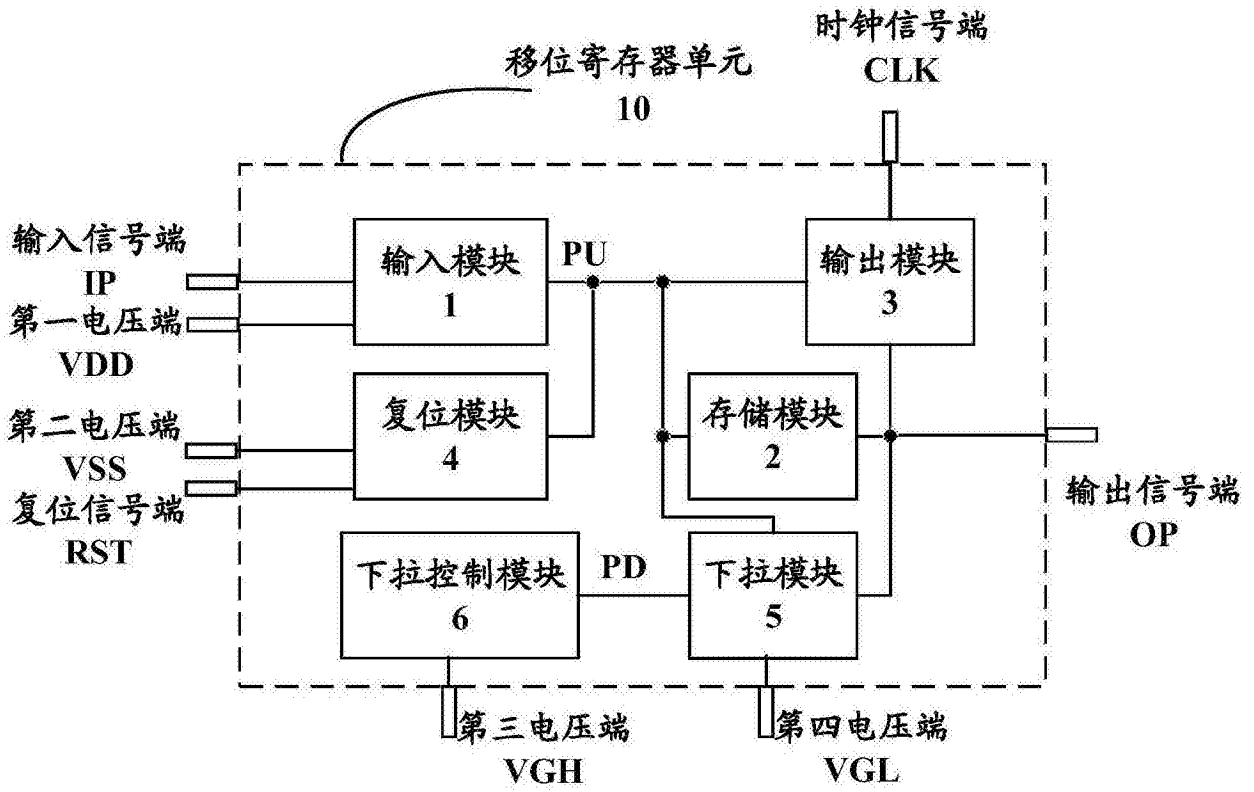


图1

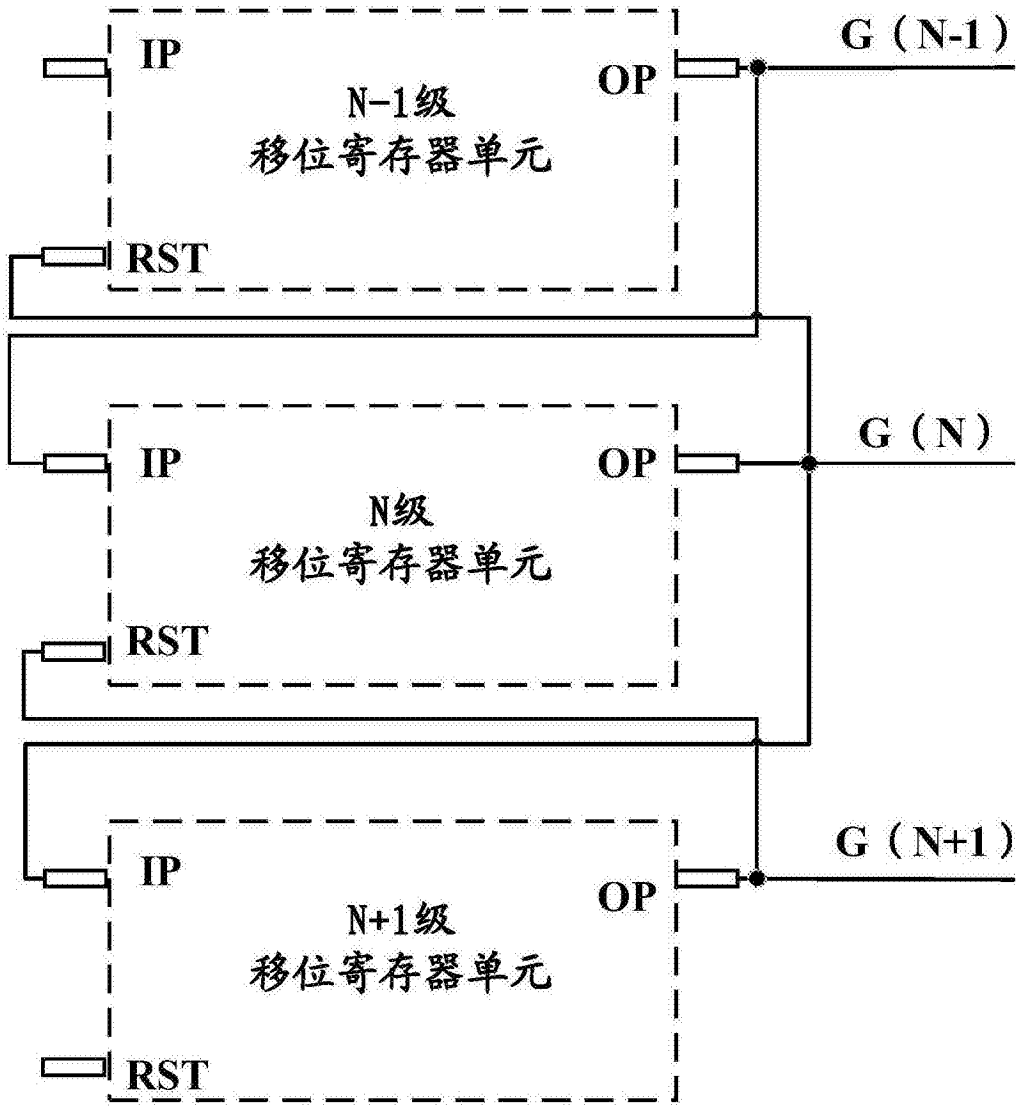


图2

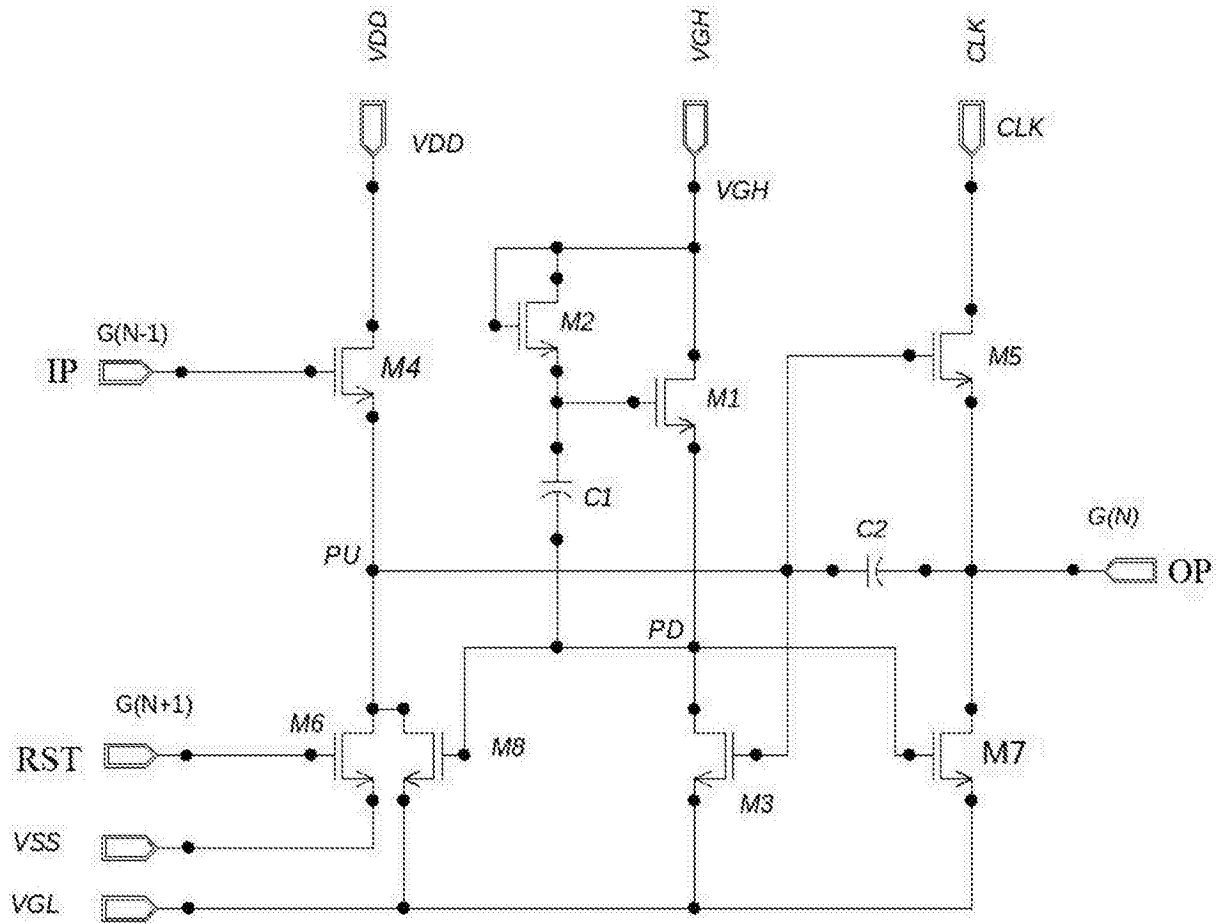


图3

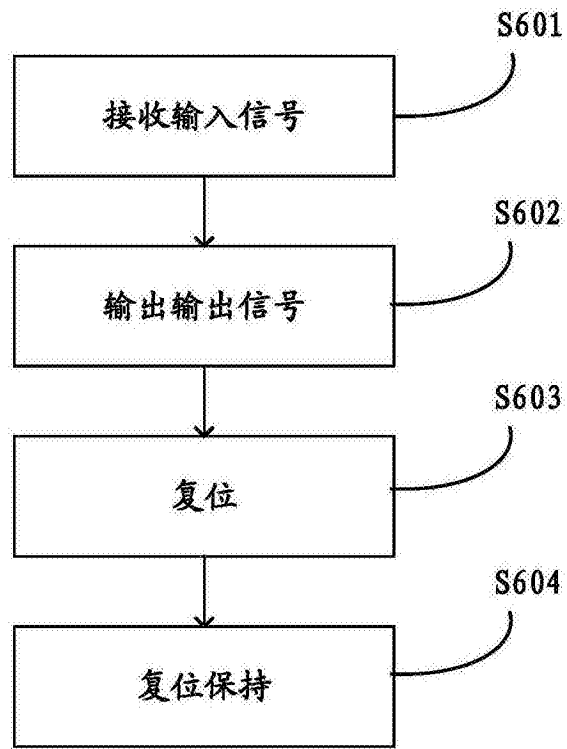


图4

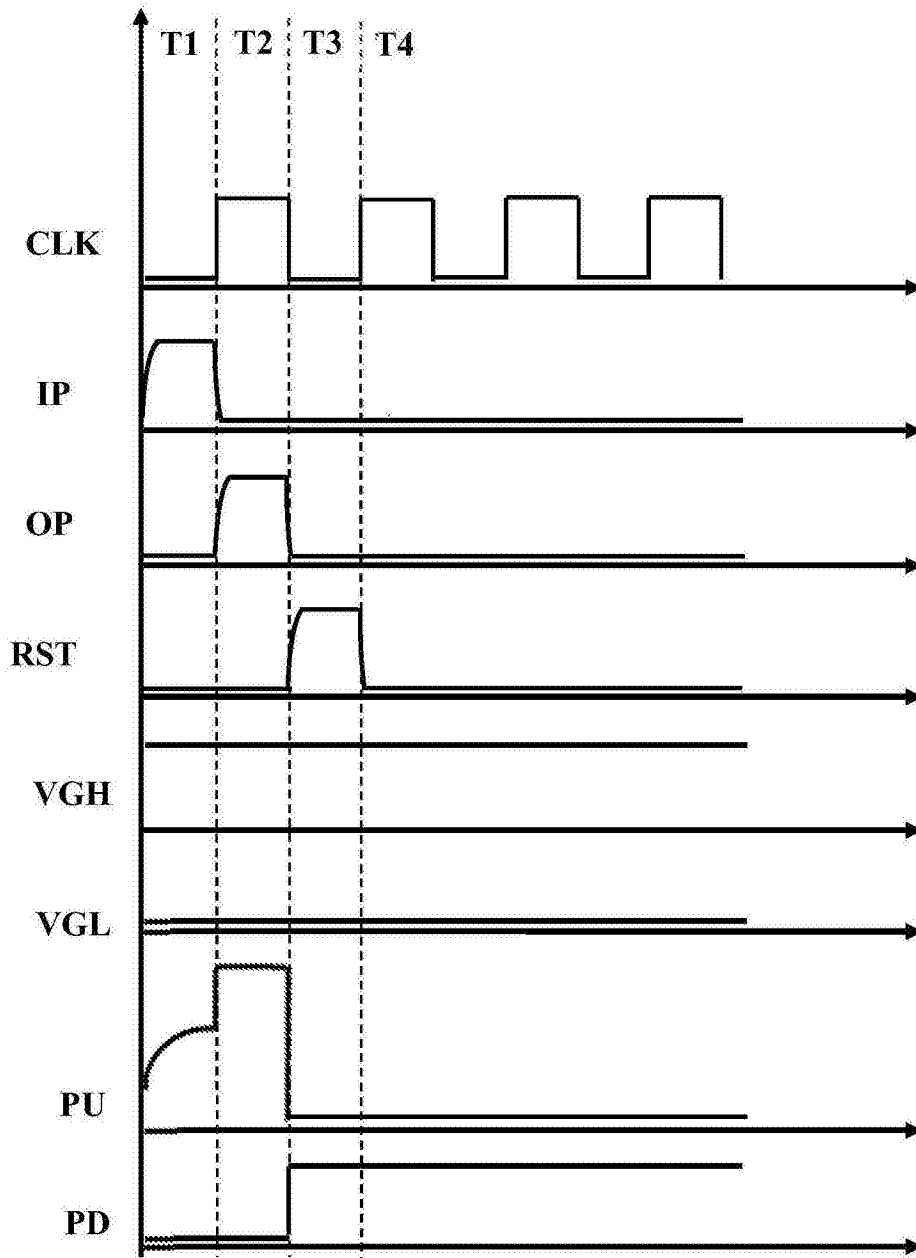


图5