

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4940546号
(P4940546)

(45) 発行日 平成24年5月30日(2012.5.30)

(24) 登録日 平成24年3月9日(2012.3.9)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 N
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 H
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 P
	HO 1 L 29/78 6 5 3 C
	HO 1 L 29/78 6 5 8 A
請求項の数 3 (全 13 頁) 最終頁に続く	

(21) 出願番号	特願2004-360317 (P2004-360317)	(73) 特許権者	000004260
(22) 出願日	平成16年12月13日(2004.12.13)		株式会社デンソー
(65) 公開番号	特開2006-173202 (P2006-173202A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成18年6月29日(2006.6.29)	(74) 代理人	110000110
審査請求日	平成19年4月26日(2007.4.26)		特許業務法人快友国際特許事務所
		(72) 発明者	岡田 京子
			愛知県愛知郡長久手町大字長湫字横道4 1番地の1 株式会社豊田中央研究所内
		(72) 発明者	服部 佳晋
			愛知県愛知郡長久手町大字長湫字横道4 1番地の1 株式会社豊田中央研究所内
		(72) 発明者	山内 庄一
			愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

縦型半導体スイッチングセル群が形成されているセル領域とそのセル領域の周辺に位置している周辺領域を備えており、セル領域にのみスーパージャンクション構造が形成されている半導体装置であって、

セル領域から周辺領域まで連続して形成されている半導体層と、

周辺領域の半導体層の表面を被覆している絶縁層と、

その絶縁層の少なくともセル領域側の表面を被覆している導体層を備えており、

セル領域の半導体層の下部領域には、層厚方向に伸びるとともに第1導電型不純物を含む第1部分領域と層厚方向に伸びるとともに第2導電型不純物を含む第2部分領域の組合せが前記層厚方向に対して直交する面内で繰返されているスーパージャンクション構造が形成されており、

周辺領域の半導体層には、第2導電型不純物を含む半導体上層と第1部分領域より低濃度の第1導電型不純物を含む半導体下層が形成されており、

前記導体層は、縦型半導体スイッチングセル群の表面側の主電極に接続されており、

第1部分領域と第2部分領域が繰返される繰返し方向において、スーパージャンクション構造の最も周辺側には第1部分領域が設けられており、その最も周辺側の第1部分領域の幅は、他の第1部分領域の幅よりも狭いことを特徴とする半導体装置。

【請求項2】

前記半導体上層が、セル領域のスーパージャンクション構造の上方にまで伸びているこ

とを特徴とする請求項 1 の半導体装置。

【請求項 3】

スーパージャンクション構造の上方にまで伸びている前記半導体上層内に、
第 1 導電型不純物を高濃度を含むソース領域と、
そのソース領域と第 1 部分領域を隔てている半導体上層にゲート絶縁膜を介して対向する
トレンチゲート電極が形成されていることを特徴とする請求項 2 の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、縦型半導体スイッチングセル群が形成されているセル領域とそのセル領域の
周辺に位置している周辺領域を備えている半導体装置に関する。特に、セル領域に第 1 導
電型不純物を含む第 1 部分領域と第 2 導電型不純物を含む第 2 部分領域の組合せが繰返し
て形成されているスーパージャンクション構造（以下、S J 構造と略記する）を備えてい
るとともに、そのセル領域の耐圧よりも周辺領域の耐圧の方が高い半導体装置に関する。

【背景技術】

【0002】

半導体装置の高耐圧化と低オン抵抗化の要求に応えるために、S J 構造を備えた半導体
装置の開発が進められている。この種の半導体装置は一般的に、セル領域から周辺領域ま
で連続して形成されている半導体層を利用して形成されている。半導体層のうち中心側の
領域に S J 構造が形成され、周辺側の領域に S J 構造を一巡する周辺半導体層が形成され
ることが多い。S J 構造は、n 型不純物を含む n 型コラムと p 型不純物を含む p 型コラム
の組合せが層厚方向に直交する面内で繰返して形成されている。周辺半導体層は n 型不
純物を含む半導体によって形成されている。セル領域の S J 構造の上部領域に、p 型ボ
ディ領域が形成され、その p 型ボディ領域に対向してプレーナ型ゲート電極あるいはト
レンチ型ゲート電極が形成される。セル領域には複数の縦型半導体スイッチングセルが形
成され、オン・オフ動作を実行する。この種の半導体装置に関連する特許文献を以下に示す。

【特許文献 1】特開 2003 - 273355 号公報（図 14 参照）

【特許文献 2】特開 2004 - 14554 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

半導体装置のアバランシェ耐量検査は、L 負荷サージ耐量試験等によって実施される。
この L 負荷サージ耐量試験では、半導体装置に対して強制的にブレークダウンを起
こさせる。ブレークダウンは臨界電界強度を超えた領域で発生する。セル領域と周辺
領域の面積比を考慮すると、面積の広いセル領域側でブレークダウンが発生させる
ことによって、面積の小さい周辺領域側でブレークダウンが発生する場合に比して、
単位面積当たりのアバランシェエネルギーを低下させることができる。このため、
セル領域側でブレークダウンを発生させることによって、過大なアバランシェエ
ネルギーを局所的に消費してしまうことを抑制し、ひいては半導体装置が破壊され
るという事態を抑制することができる。上記現象を得るためには、セル領域の耐
圧より周辺領域の耐圧を高くし、セル領域において優先的にブレークダウンが
発生するようにしなければならない。

【0004】

しかしながら、特許文献 1 で提案されている半導体装置では、セル領域の耐圧より
周辺領域の耐圧の方が高いという状態を得ることができない。特許文献 1 では、
周辺半導体層の不純物濃度を薄くするとともに、周辺半導体層の上部領域にセル
領域を一巡する複数の p 型ガードリング領域を備える構造を提案している。
周辺半導体層の不純物濃度を薄くすることによって、周辺半導体層内を横方向
に伸びる空乏層の幅を広くすることができる。p 型ガードリング領域を形成
することによって、セル領域と周辺領域の境界近傍に集中し易い電界を緩和
することができる。この構造を採用すると、セル領域と周辺領域の境界近

10

20

30

40

50

傍に集中し易い電界を緩和し、横方向に広がる空乏化領域を十分に得ることができるので、周辺領域の耐圧は空乏化領域の縦方向の幅によって決定される。p型ガードリングの不純物濃度は比較的濃く形成されているので、空乏層がp型ガードリング内にほとんど伸びない。したがって、周辺領域の空乏化領域の縦方向の幅は、およそ周辺半導体層の層厚からp型ガードリングの深さを引いた幅となる。一方、セル領域の空乏化領域の縦方向の幅は、半導体層の層厚からp型ボディ領域の深さを引いた幅、即ち、SJ構造の縦方向の幅となる。p型ボディ領域とp型ガードリングの深さはほぼ等しいので、セル領域の空乏化領域の縦方向の幅と周辺領域の空乏化領域の縦方向の幅はほぼ等しくなる。p型ボディ領域の深さを不必要に大きくすれば、周辺領域の耐圧をセル領域の耐圧より高くすることはできるかもしれないが、この場合、セル領域の耐圧を犠牲にすることになる。従来の構造では、せいぜいセル領域と周辺領域の耐圧を等しくすることが限界となっており、周辺領域の耐圧をセル領域の耐圧より高くすることはできない。

10

本発明の目的は、周辺領域の耐圧をセル領域の耐圧より高く形成することができる半導体装置を提供する。さらに、セル領域の耐圧を低下させて上記関係を得るのではなく、周辺領域の耐圧を向上させて上記関係を得ることを目的としている。

【課題を解決するための手段】

【0005】

本発明の半導体装置は、縦型半導体スイッチングセル群が形成されているセル領域とそのセル領域の周辺に位置している周辺領域を備えており、セル領域にのみスーパー Junction構造が形成されている。半導体装置は、セル領域から周辺領域まで連続して形成されている半導体層を備えている。さらに、周辺領域の半導体層の表面を被覆している絶縁層を備えている。その他に、絶縁層の少なくともセル領域側の表面を被覆している導体層を備えている。セル領域の半導体層の下部領域には、層厚方向に伸びるとともに第1導電型不純物を含む第1部分領域と層厚方向に伸びるとともに第2導電型不純物を含む第2部分領域との組合せが形成されている。この組合せは層厚方向に対して直交する面内で繰返して形成されている。いわゆるSJ構造がセル領域の半導体層のうち下部領域に形成されている。周辺領域の半導体層には、第2導電型不純物を含む半導体上層と、セル領域の組合せを構成する第1部分領域より低濃度の第1導電型不純物を含む半導体下層が形成されている。導体層は、縦型半導体スイッチングセル群を構成する表面側の主電極に接続している。第1部分領域と第2部分領域が繰返される繰返し方向において、SJ構造の最も周辺側には第1部分領域が設けられており、その最も周辺側の第1部分領域の幅は、他の第1部分領域の幅よりも狭い。

20

30

第1部分領域と第2部分領域は、例えば薄板状、四角柱状、あるいは六角柱状である。あるいは層厚方向に対して直交する面内で広く広がる第1部分領域内に、柱状の第2部分領域が分散配置されていてもよい。要は、層厚方向に直交する面内で、第1部分領域と第2部分領域の組合せが少なくとも一方方向へ繰返されていればよい。

セル領域に形成されている縦型半導体スイッチングセルの種類に特に制限はない。例えば、MOSFET (Metal Oxide Silicon Field Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor)、SIT (Static Induction Transistor)、あるいはSBD (Schottky Barrier Diode)等の縦型半導体スイッチングセルを好適に利用することができる。縦型半導体スイッチングセルを構成するゲート電極は、トレンチ型、プレーナ型のいずれであってもよい。

40

【0006】

上記半導体装置のセル領域には、縦型半導体スイッチングセルが形成されているので、一对の主電極は縦方向に配置されている。したがって、この半導体装置の耐圧は、縦方向で保持できる電位差によって決定される。この半導体装置は、周辺の半導体下層の第1導電型不純物の濃度が、セル領域の第1部分領域の不純物濃度より低く形成されているので、半導体下層において空乏層が横方向に広く伸びることができる。これにより、半導体下層では横方向において電位差を十分に保持できるので、周辺領域の耐圧は縦方向に形成さ

50

れる空乏化領域の幅によって決定されることになる。周辺の半導体下層の表面には、半導体下層と反対導電型の半導体上層が形成されている。したがって、空乏層は、半導体下層に加えて、この半導体上層にも伸びることができる。これにより、周辺領域の空乏化領域の縦方向の幅は、周辺の半導体下層と半導体上層を足し合わせた幅となる。一方、セル領域の空乏化領域の縦方向の幅は、S J構造が形成されている下部領域の層厚と実質的に等しくなる。したがって、周辺領域とセル領域の空乏化領域の縦方向の幅を比較すると、周辺領域の空乏化領域の縦方向の幅が、半導体層の層厚からS J構造が形成されている下部領域の層厚を引いた分だけ大きくなる。換言すると、周辺領域の空乏化領域の縦方向の幅は、S J構造の表面と半導体層の表面との距離の分だけ大きくなる。これにより、周辺領域の耐圧がセル領域の耐圧より大きい半導体装置を得ることができる。また、周辺領域の表面側に、絶縁層を介して導体層が形成されている。これにより、セル領域と周辺領域の境界近傍（典型的には、境界近傍に存在する半導体領域の曲率の大きい箇所）において集中し易い電界集中を緩和することができる。したがって、導体層の存在によって、この境界近傍において半導体装置の耐圧が制限されてしまうことを防止している。即ち、セル領域と周辺領域の境界の電界集中とは関係なく、セル領域と周辺領域の耐圧はそれぞれの空乏化領域の縦方向の幅によって決定されるのである。空乏化領域の縦方向の幅がより大きい周辺領域の耐圧の方が、セル領域の耐圧より高くなるのである。さらに、本発明は、セル領域の耐圧を低下させることによって、セル領域と周辺領域の耐圧の大小関係を実現するのではなく、周辺領域の耐圧を向上させることによって実現している。

【0007】

半導体上層が、セル領域のスーパージャンクション構造の上方にまで伸びていることが好ましい。換言すると、半導体上層が、周辺の半導体下層の表面とセル領域のスーパージャンクション構造の表面の両者を被覆して形成されていることが好ましい。

セル領域の半導体上層は、例えば半導体スイッチングセルのボディ層等として利用される。周辺領域の半導体上層は、前記したように、高耐圧化に寄与する半導体層として利用される。したがって、セル領域側で作用を発揮する半導体層と、周辺領域側で別の作用を発揮する半導体層を、1つの半導体上層によって兼用することができる。セル領域側と周辺領域側のそれぞれに対して、別個に半導体層を作製する必要がなく、1つの半導体上層を作製することによって2つの作用を得ることができる。この態様の半導体装置は、製造が容易な構造と言える。

【0008】

スーパージャンクション構造の上方にまで伸びている第2導電型半導体上層内に第1導電型不純物を高濃度を含むソース領域と、そのソース領域と第1部分領域を隔てている半導体上層にゲート絶縁膜を介して対向するトレンチゲート電極が形成されているのが好ましい。必要に応じて、セル領域の半導体上層に、ソース領域を囲繞する第2導電型不純物を含むボディ領域を形成してもよい。このボディ領域を形成することによって、ゲート電圧の閾値を所望する値に調整することができる。上記の各構成を具備することによって、セル領域に形成される縦型半導体スイッチングセルは、トレンチゲート電極を備えるMOSFETとなる。

この場合、セル領域の空乏化領域の縦方向の幅は、トレンチゲート電極の底面から半導体層の裏面までの幅となる。したがって、周辺領域の空乏化領域の縦方向の幅は、トレンチゲート電極の深さ方向の幅の分だけ、セル領域の空乏化領域より大きくなる。周辺領域の耐圧がセル領域の耐圧より大きい半導体装置を得ることができる。

【0009】

本出願人は、縦型半導体スイッチングセル群が形成されているセル領域とそのセル領域の周辺に位置している周辺領域を備えている半導体装置の製造方法を創作した。この製造方法は、例えば上記の半導体装置等を製造する際に好適に利用することができる。

本明細書で開示される半導体装置の製造方法は、セル領域から周辺領域まで連続して伸びている第1導電型半導体層を用意する工程と、その半導体層のセル領域内に、半導体層の表面から裏面に向けて伸びるトレンチ群を形成する工程を備えている。さらに、半導体

10

20

30

40

50

層の露出面に第1導電型不純物を導入する工程を備えている。その他に、第1導電型不純物が導入された半導体層の表面近傍領域を除去する工程と、第2導電型不純物を含む半導体をトレンチ群内に充填する工程とを備えている。

【0010】

上記の製造方法によると、セル領域内にトレンチ群を形成することによって、隣り合うトレンチ間に挟まれた複数の半導体層（あるいは離間して存在する半導体層）は、その側面から深部までの距離が短くなる。したがって、導入工程を実施すると、セル領域内の複数の半導体層はその両側に形成されているトレンチを画定する側面からその深部に至るまで不純物が導入され易い。したがって、導入する導入量等を調整することによって、隣り合うトレンチ間に挟まれたセル領域内の半導体層の不純物濃度が高くなる。一方、周辺領域の半導体層に対しては、不純物は表面から所定距離まで導入されるものの、その深部に至るまで不純物を導入することができない。次に、第1導電型不純物が導入された半導体層の表面近傍領域を除去することによって、周辺領域では不純物濃度が変化していない半導体層が形成される。これにより、セル領域では不純物濃度が高く、周辺領域では不純物濃度が低い状態を得ることができる。次に、トレンチ群内に第2導電型不純物を含む半導体を充填することによって、セル領域にはS J構造が形成される。これらの工程を経て、セル領域にS J構造が形成され、周辺領域にそのS J構造を構成している一方の部分領域の不純物濃度より低濃度の不純物を含む半導体層が形成された半導体層を得ることができる。

10

20

【0011】

導入工程では、半導体層の露出面を第1導電型不純物を含有するガスに曝すことが好ましい。

第1導電型不純物を含有するガスを利用することによって、半導体層の表面と、トレンチ群を画定する半導体層の側面に対して、即ち全ての露出面に対して第1導電型不純物を所望する濃度で導入し易い。さらに、後の充填工程で利用するチャンバーを利用することができるので、製造コストの面で有利となる。

【0012】

充填工程を実施した後に、半導体層の表面を覆っている第2導電型不純物を含む半導体を除去して充填トレンチ群を露出する工程を備えていることが好ましい。さらに、その除去工程を実施した後に、半導体層と充填トレンチ群の表面に第2導電型不純物を含む半導体上層を結晶成長する工程を備えていることが好ましい。

30

この工程を追加することによって、所望する不純物濃度を含む半導体上層を得ることができる。例えば、空乏化領域の形成、電界集中の緩和等を達成するのに最適な不純物濃度を含む半導体上層を得ることができる。なお、トレンチ群内に半導体を充填する際に、半導体上層を一体で形成し、除去工程を省略することもできる。この場合、工程数を少なくすることができるので、製造コストの面で有利となる。

【発明の効果】

【0013】

本発明によると、周辺領域の空乏化領域の縦方向の幅を、セル領域の空乏化領域の縦方向の幅より大きくすることができる。したがって、周辺領域の耐圧がセル領域の耐圧より大きい半導体装置を得ることができる。

40

【発明を実施するための最良の形態】

【0014】

最初に実施例の主要な特徴を列記する。

(第1形態) 縦型半導体スイッチングセル群が形成されているセル領域とそのセル領域の周辺に位置している周辺領域を備えている半導体装置である。セル領域にはS J構造を備えている。周辺領域には、セル領域のS J構造を構成する一方の部分領域より低濃度の不純物を含んでいる半導体下層を備えている。その周辺の半導体下層の表面に、その半導体下層と反対導電型の半導体上層を備えている。半導体上層の表面に絶縁層を備えている

50

。絶縁層の表面に縦型半導体スイッチングセル群の表面側の主電極に接続されている導体層を備えている。導体層は、セル領域側から周辺に向けて伸びて形成されている。

(第2形態) S J構造の繰返し方向に沿った領域であって、セル領域と周辺領域の境界に、S J構造の第1導電型部分領域と略同一の不純物濃度であり、且つその幅が他の第1導電型部分領域より狭い第1導電型の半導体領域(実施例では境界n型コラムという)が存在している。

(第3形態) 半導体上層は、面的に広がっている。

(第4形態) 半導体上層は、周辺の半導体下層の表面全体を被覆している。

(第5形態) 半導体上層とp型コラムの不純物濃度がほぼ等しい。

【実施例】

【0015】

図1に、セル領域と周辺領域の境界近傍の要部断面図を示す。図2に、図1のII-II線に対応する横断面図を示す。なお、図2のI-I線に対応する縦断面図が図1となる。図2に示すように、この横断面図は、半導体装置の隅部近傍を示している。なお、本実施例は、主成分がシリコンの半導体を用いているが、この例に限らず、他の半導体材料を用いてもよい。

【0016】

図1と図2に示すように、この半導体装置は、縦型半導体スイッチングセル群(この例ではSJ-MOSFET群である)が形成されているセル領域と、そのセル領域の周辺に位置している周辺領域を備えている。周辺領域はセル領域を一巡している。半導体装置は、セル領域から周辺領域まで連続して形成されている半導体層22を備えている。周辺領域の半導体層22の表面をフィールド酸化層54(絶縁層の一例)が被覆している。フィールド酸化層54の層厚は、例えば約1~1.5 μm である。そのフィールド酸化層54の表面の少なくともセル領域側に、フィールドプレート42aが被覆している。フィールドプレート42aは、セル領域側から周辺に向けて延設している。フィールドプレート42aはソース電極42の一部であり、フィールド酸化層54の表面に延設している部分のことをいう。フィールドプレート42aが周辺側に張り出している長さに特に制限はなく、表面側の電界を緩和するのに最適な長さで形成されている。

【0017】

セル領域の半導体層22のうちの下部領域には、層厚方向(図1の紙面上下方向)に伸びるn型コラム27(第1部分領域の一例)と層厚方向に伸びるp型コラム25(第2部分領域の一例)の組み合わせが、層厚方向に対して直交する面内で繰返して形成されている。いわゆるS J構造を構成している。層厚方向に直交する面は、図2の横断面図に相当する。この実施例では、n型コラム25とp型コラム27は実質的に薄板状と評価することができ、その組合せは図2の紙面左右方向に繰返している。セル領域と周辺領域の境界には、他のn型コラム27より幅が狭く形成されている境界n型コラム26が形成されている。この境界n型コラム26の存在は、後に説明する製造方法によって理解できる。本実施例では、境界n型コラム26とそれに隣接するp型コラム25との境界より中心側をセル領域と称し、前記境界より外側を周辺領域と称する。なお、この区別は特に限定する必要はなく、例えば、セル領域に境界n型コラム26を含めてもよい。

周辺領域の半導体層22には、n⁻型の半導体下層23とp⁻型のリサーフ層52(半導体上層の一例)が形成されている。半導体下層23の不純物濃度は、S J構造を構成するn型コラム27の不純物濃度より低い。半導体下層23の層厚は、200V耐圧系では例えば約10~13 μm である。リサーフ層52の層厚は、例えば約1~3 μm である。なお、周辺領域よりさらに外側(図示しない)に、他の構造が作り込まれていてもよい。他の構造として、例えば絶縁分離用トレンチ、チャネルストップ領域等を挙げることができる。

【0018】

次に、セル領域の構造を説明する。セル領域の半導体層22の上部領域に、リサーフ層52が周辺領域から連続的に形成されている。あるいは、リサーフ層52がS J構造の上

10

20

30

40

50

方にまで伸びて形成されているということが出来る。このリサーフ層52の表面部にp型のボディ領域31が形成されている。ボディ領域31の不純物濃度は、リサーフ層52の不純物濃度より高い。ボディ領域31の不純物濃度を調整することによって、ゲート電圧の閾値を調整することができる。ボディ領域31の表面部に、n⁺型のソース領域37とp⁺型のボディコンタクト領域39が選択的に形成されている。なお、ボディコンタクト領域39のうち、セル領域の最外周に位置するボディコンタクト領域を、他のボディコンタクト領域39と区別して最外周ボディコンタクト領域39aと称す。ソース領域37とn型コラム27を隔てているボディ領域31及びリサーフ層52を貫通してトレンチゲート電極34が形成されている。トレンチゲート電極34は、ゲート絶縁膜32で被覆されている。ソース領域37とボディコンタクト領域39は、ソース電極42と電氣的に接続されている。ソース電極42とトレンチゲート電極34は、層間絶縁膜36で電氣的に隔てられている。半導体層22の裏面に、面的に広がるn⁺型のドレイン層21が形成されている。このドレイン層21は、セル領域と周辺領域に亘って連続して形成されている。ドレイン層21の裏面に、ドレイン層21と電氣的に接するドレイン電極Dが形成されている。ドレイン層21は不純物を高濃度を含み、実質的には導体ということが出来る。

【0019】

上記した半導体装置の各構成要素の不純物濃度は、例えば次の値で作製することが好ましい。

n型コラム27とp型コラム25の不純物量はチャージバランスしているのが好ましい。SJ構造の領域を完全空乏化することが出来る。n型コラム27は、オン抵抗の低減化のために高濃度であるのが好ましい。本実施例では、例えば、n型コラム27の不純物濃度と幅は、リサーフ条件を満たす値にしている。

周辺の半導体下層23の不純物濃度は、n型コラム27の不純物濃度より低いことが好ましい。半導体下層23において、空乏層を横方向に広く伸ばすことが出来る。半導体下層23の不純物濃度は、n型コラム27の不純物濃度の1/10以下とするのが好ましい。この場合、後に説明するように、半導体下層23の不純物濃度がバラツク場合でも、周辺領域における耐圧低下を抑制することが出来る。本実施例では、例えば、 $5 \times 10^{14} \text{ cm}^{-3}$ としている。

リサーフ層52の不純物濃度は、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下とするのが好ましい。本実施例では、例えば、 $3 \times 10^{15} \text{ cm}^{-3}$ としている

【0020】

図3に、半導体装置がオフのときの電位分布を示す。図3に示すように、不純物濃度が低い半導体下層23を設けることによって、半導体下層23において空乏層が横方向に広く伸びるので、半導体下層23の広い範囲に亘って電位分布が形成されている様子が分かる。これにより、周辺領域では横方向において電位差を十分に保持できるので、周辺領域の耐圧は縦方向に形成される空乏化領域の幅によって決定されるようになる。また、周辺領域のセル領域側にフィールドプレート42aが形成されているので、最外周ボディコンタクト領域39aの曲率の大きい箇所(39b)、またボディ領域31の曲率の大きい箇所(31b)における電界集中が緩和されている。したがって、この曲率箇所(39b、31b)において半導体装置がブレークダウンすることがない。曲率箇所(39b、31b)によって耐圧が制限されることないので、セル領域と周辺領域の耐圧はそれぞれの空乏化領域の縦方向の幅によって決定されるのである。なお、フィールドプレート42aの端部下方のリサーフ層52内において、他の領域に比して電界が集中しているが、リサーフ層52の不純物濃度は十分に低いので、この領域でブレークダウンすることはない。

【0021】

この半導体装置では、周辺領域の半導体下層23の表面にリサーフ層52が形成されている。したがって、図3に示すように、このリサーフ層52内にも空乏層が広がっている。周辺領域では、リサーフ層52内にも空乏化領域が形成されているので、周辺領域の空乏化領域の縦方向の幅は、半導体下層23とリサーフ層52を足し合わせた幅となる。一方、セル領域の空乏化領域の縦方向の幅は、図3に示すように、トレンチゲート電極34

10

20

30

40

50

の底面からドレイン層 2 1 の表面までの幅、即ち、実質的には S J 構造の縦方向の幅である。したがって、周辺領域の空乏化領域の縦方向の幅は、トレンチゲート電極 3 4 の底面とリサーフ層 5 2 の表面までの幅（図 1 に示す幅 W）の分だけ、セル領域の空乏化領域より大きくなる。これにより、周辺領域の耐圧がセル領域の耐圧より大きくなる。具体的には、セル領域の耐圧が 2 4 5 V であるのに対し、周辺領域の耐圧は 2 8 1 V にまで向上することが判明した。なお、本実施例の半導体装置は、セル領域の耐圧は従来構造のものと実質的に等しい。本実施例では、低濃度の周辺半導体層 2 3 とリサーフ層 5 2 とフィールドプレート 4 2 a を形成することによって、周辺領域の耐圧を向上させることに成功している。周辺領域の耐圧を向上することによって、耐圧に関して「セル領域 < 周辺領域」の関係を得ることに成功している。周辺領域の耐圧がセル領域の耐圧より大きく形成されているので、例えば L 負荷サージ耐量試験等を実施した場合、広い面積のセル領域において優先的にブレークダウンを発生させることができる。したがって、単位面積当たりのアバラシエエネルギーを低下させることができ、ひいては半導体装置が破壊されるという事態を抑制することができる。

10

【 0 0 2 2 】

また、上記実施例では、例えば製造公差等の理由によって、周辺の半導体下層 2 3 の不純物濃度がバラツク場合でも、周辺領域の耐圧低下が抑制されるという利点を有している。図 4 に、半導体下層 2 3 の不純物濃度が変動した場合の周辺領域の耐圧変化を示す。本実施例の不純物濃度（ $5 \times 10^{14} \text{ cm}^{-3}$ ）より正に 1 0 % 高く形成した場合の耐圧は 2 7 9 V である。また、負に 1 0 % 低く形成した場合の耐圧は 2 8 4 V である。正負に 1 0 % のバラツキが生じたとしても、周辺領域の耐圧はほとんど変動しない。このことは、製造公差を許容し、ひいては歩留まり良く半導体装置を製造できることを意味する。本実施例の半導体装置は、製造の容易さという面でも有利といえる。

20

【 0 0 2 3 】

図 5 に、変形例の半導体装置の要部断面図と、その半導体装置がオフのときの電位分布を示す。この変形例は、リサーフ層 5 2 の不純物濃度が S J 構造を構成する p 型コラム 2 5 の不純物濃度と等しく形成されている例である。さらに、フィールドプレート 4 2 a が周辺に向けて長く伸びて延設されており、この変形例では 2 8 μm の長さで周辺に張り出して形成されている。

この変形例のリサーフ層 5 2 は、後の製造方法で説明するように、p 型コラム 2 5 を埋込み成長して形成する際に、一体で作製して得ることができる。したがって、製造工程数が少なく済むという利点を有する。この場合、周辺領域の耐圧は 2 6 5 V であり、実施例の場合に比して耐圧は低下するものの、セル領域の耐圧（2 4 5 V）よりも大きいという関係は得られている。したがって、耐圧に関して「セル領域 < 周辺領域」の関係を得ることに成功している。本変形例によると、製造コストの削減と周辺領域における高耐圧化の両者を実現することができる。

30

【 0 0 2 4 】

次に、図 6 ~ 図 1 3 を参照して実施例の半導体装置を製造する主要な工程を説明する。なお、本製造方法を説明するのに参照する各図は、デフォルメして作製されている点に留意されたい。

40

まず、図 6 に示すように、 n^+ 型の半導体基板 1 2 1（不純物を高濃度に含み、実質的には導体ということができる）の表面に、 n^- 型の半導体層 1 2 2 が形成されている半導体積層体を用意する。この半導体積層体は、例えば半導体基板 1 2 1 の表面から半導体層 1 2 2 をエピタキシャル成長して得ることができる。

次に、図 7 に示すように、フォトリソグラフィ技術等を用いて、半導体層 1 2 2 の中心側の所定領域内に、半導体層 1 2 2 の表面から半導体基板 1 2 1 にまで達するトレンチ 1 2 2 a 群を形成する。トレンチ 1 2 2 a 群は、例えば R I E 等のドライエッチング（異方性エッチング）を利用して形成することができる。これにより、隣り合うトレンチ 1 2 2 a 間に挟まれた複数の半導体層 1 2 7 が形成される。換言すると、それぞれが離間している複数の半導体層 1 2 7 が形成されているとすることができる。この中心側領域内の複

50

数の半導体層 127 は、その側面から深部までの距離が短くなる。一方、周辺側の半導体層 123 は、その側面から深部までの距離が長い。中心側領域内の複数の半導体層 127 が、後に S J 構造の n 型コラムとなり、周辺側の半導体層 123 が周辺の半導体下層となる。

【0025】

次に、図 8 に示すように、ホスフィン (PH_3) を含有するガスを利用する気相拡散法を実施する。半導体積層体がガスに曝されると、半導体層 122 の表面とトレンチ 122a を画定する半導体層 122 の側面、即ち半導体層 122 の露出面から、半導体層 122 内に不純物が導入される。不純物は等方的に拡散して導入される。中心側領域内の複数の半導体層 127 はその両側に形成されているトレンチ 122a を画定する側面からその深部までの距離が短いので、半導体層 127 の深部に至るまで不純物が導入される。導入深さを半導体層 127 の幅の半分以上に調整することによって、中心側領域内の半導体層 127 は、その全体に対して不純物を導入することができる。これにより、中心側領域内の半導体層 127 は、用意した段階の不純物濃度より一様に高くなる。一方、周辺側の半導体層 123 に関しては、不純物が側面から所定距離まで導入されるものの、その深部にまで導入することができない。気相拡散法に代えて、例えば斜めイオン注入法、固相拡散法、あるいはそれらの組合せを利用してもよい。

次に、図 9 に示すように、半導体層 122 の表面を研磨して、不純物が導入されていた表面近傍の導入領域を除去する。これにより、中心側領域内には不純物濃度が高くなった複数の離間する半導体層 127 が形成される。周辺側には不純物濃度が変化していない半導体層 123 が形成される。なお、中心側領域内の最外周側（あるいは周辺側の半導体層 123 の最内周領域ともいえる）には、他の中心側の半導体層 127 の幅の略半分の n 型領域 126 が形成される。この n 型領域 126 は、図 1 に示す境界 n 型コラム 26 となる部分である。換言すると、本製造方法を利用して形成される半導体装置は、S J 構造の繰返し方向に沿った領域のうち、他の n 型コラムと略同一濃度であり、且つその幅が他の n 型コラムより狭い n 型領域 126 を必然的に備えているといえる。このような n 型領域 126 が存在する場合は、本製造方法を利用していると結論付けることができ得る。

次に、図 10 に示すように、トレンチ 122a 群内に p 型の半導体 129 を埋込みエピタキシャル成長させる。埋込みエピタキシャル成長は、半導体 129 が半導体層 (123、127) の表面を覆うまで行う。

次に、図 11 に示すように、半導体 129 のうち半導体層 (123、127) の表面を覆っている部分を研磨して、半導体層 (123、127) と充填されたトレンチ群 125 を露出させる。これにより、n 型部分領域と p 型部分領域の組み合わせが、繰返して形成されている状態、即ち S J 構造を得ることができる。

次に、図 12 に示すように、S J 構造と周辺半導体層 123 の表面に p 型のリサーフ層 152 をエピタキシャル成長して形成する。

次に、従来既知の製造方法あるいは当業者が容易に想到し得る製造技術を用いて、S J 構造が形成されている部分に対応して、トレンチゲート電極 134、ソース領域 137、さらにボディコンタクト領域 139 等の各構造を形成する。この後に、フィールド酸化膜、フィールドプレート、ドレイン電極等を作製することによって、本実施例の半導体装置を得ることができる。

【0026】

上記の製造方法において、図 12 に示す p 型のリサーフ層 152 をエピタキシャル成長する工程を省略してもよい。即ち、図 10 に示すように、半導体 129 を埋込みエピタキシャル成長した際に形成される半導体層 (123、127) の表面を覆っている部分を、リサーフ層の厚みとなるように研磨することによって、リサーフ層 152 をエピタキシャル成長する工程を省略することができる。この場合、製造工程数が削減されるので、製造コストを削減することができる。

【0027】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を

10

20

30

40

50

限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

【0028】

【図1】実施例の要部断面図を示す。

【図2】図1のII-II線に対応する横断面図を示す。

10

【図3】実施例の周辺領域の電位分布を示す。

【図4】周辺半導体層の不純物濃度バラツキと耐圧の関係を示す。

【図5】比較例の周辺領域の電位分布を示す。

【図6】半導体装置の製造工程を示す(1)。

【図7】半導体装置の製造工程を示す(2)。

【図8】半導体装置の製造工程を示す(3)。

【図9】半導体装置の製造工程を示す(4)。

【図10】半導体装置の製造工程を示す(5)。

【図11】半導体装置の製造工程を示す(6)。

【図12】半導体装置の製造工程を示す(7)。

20

【図13】半導体装置の製造工程を示す(8)。

【符号の説明】

【0029】

21 : ドレイン層

22 : 半導体層

23 : 半導体下層

25 : n型コラム

27 : p型コラム

31 : ボディ領域

32 : ゲート絶縁膜

30

34 : トレンチゲート電極

36 : 層間絶縁膜

37 : ソース領域

39 : ボディコンタクト領域

42 : ソース電極

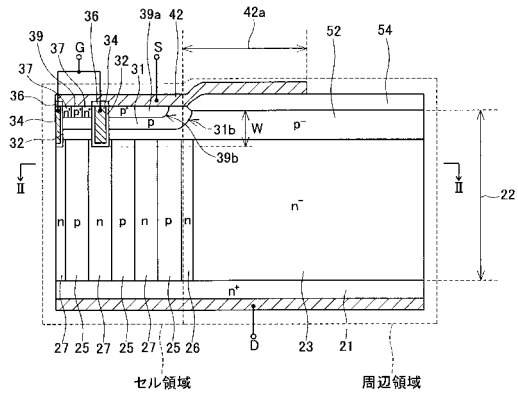
42a : フィールドプレート

52 : リサーフ層

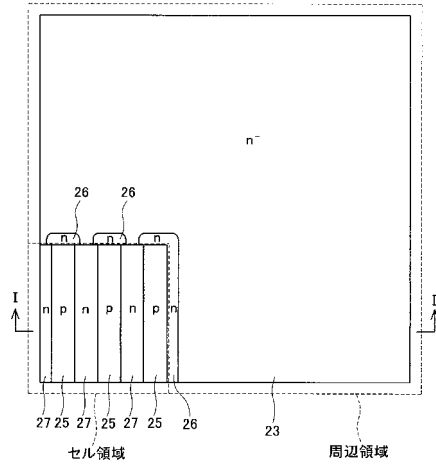
54 : フィールド酸化層

40

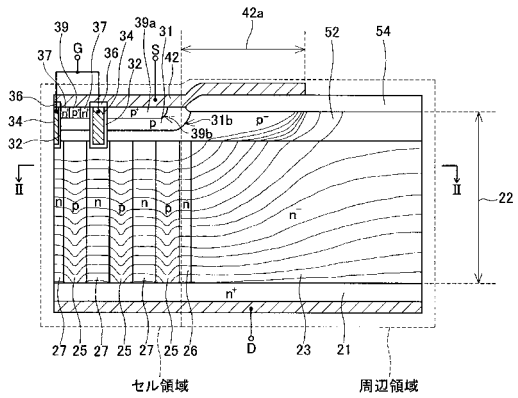
【図1】



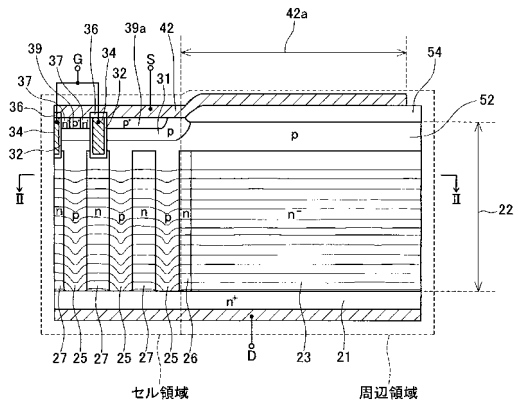
【図2】



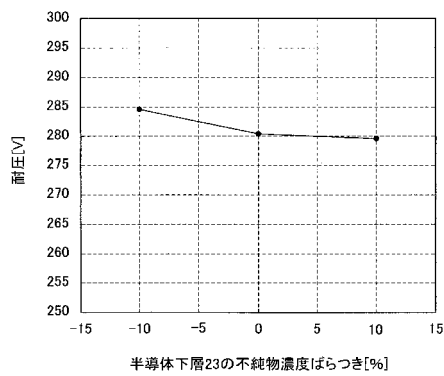
【図3】



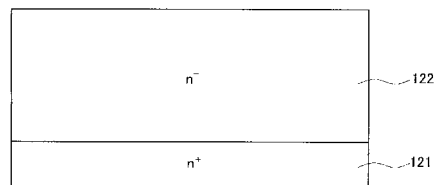
【図5】



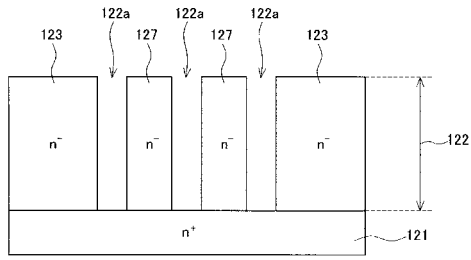
【図4】



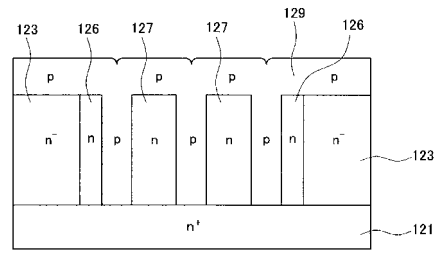
【図6】



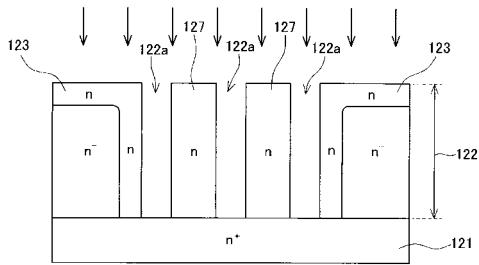
【 図 7 】



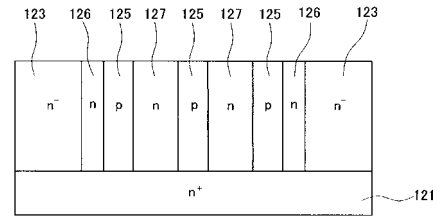
【 図 10 】



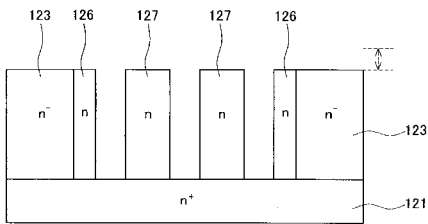
【 図 8 】



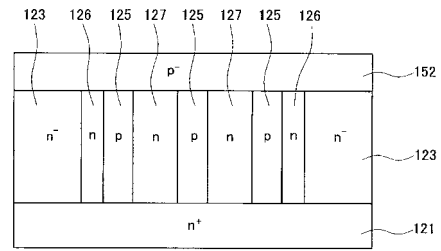
【 図 11 】



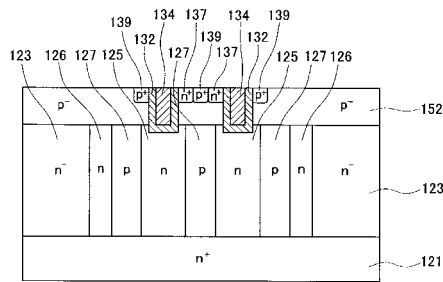
【 図 9 】



【 図 12 】



【 図 13 】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/06 3 0 1 D

審査官 田代 吉成

(56)参考文献 特開2001-230413(JP,A)
特開2004-14554(JP,A)
特開2002-237592(JP,A)
特開2006-5275(JP,A)
特開2002-184985(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 0 6