

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-259305

(P2011-259305A)

(43) 公開日 平成23年12月22日(2011.12.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/3745 (2011.01)	HO4N 5/335 745	4M118
HO1L 27/146 (2006.01)	HO1L 27/14 A	5C024

審査請求 未請求 請求項の数 14 O L (全 59 頁)

(21) 出願番号 特願2010-133156 (P2010-133156)
 (22) 出願日 平成22年6月10日 (2010.6.10)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 江川 佳孝
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 4M118 AA02 AA05 AA10 AB01 BA14
 CA02 DB09 DD09 DD10 DD12
 FA06 FA33
 5C024 CX06 CX31 HX18 HX23 HX28
 HX29 HX32 HX50 HX58

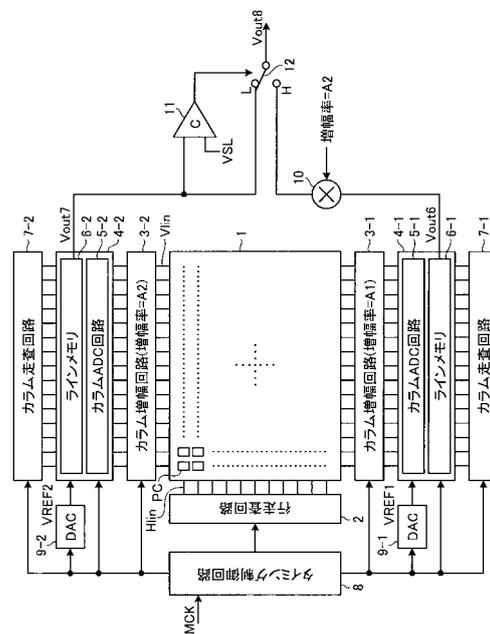
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】CDSによるノイズの抑圧効果を増大させつつ、信号レベルの増幅率を切り替える。

【解決手段】サンプルホールド信号変換回路4-1は、増幅率A1で増幅された各画素PCの信号から第1の基準レベルおよび第1の信号レベルをサンプリングし、各画素PCの信号成分を相関2重サンプリングにて検出し、サンプルホールド信号変換回路4-2は、増幅率A2で増幅された各画素PCの信号から第2の基準レベルおよび第2の信号レベルをサンプリングし、各画素PCの信号成分を相関2重サンプリングにて検出する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

マトリックス状に画素が配置された画素アレイ部と、
各画素から読み出された単位画素の単位信号を少なくとも第 1 および第 2 の増幅率で増幅する画素アレイ部の端部に配置したカラム増幅回路とを備え、増幅した複数の信号を出力することを特徴とする固体撮像装置。

【請求項 2】

前記複数の出力信号を合成する合成部をさらに備えることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記合成部は、前記増幅率の小さな出力信号を増幅する増幅回路をさらに備えることを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】

マトリックス状に画素が配置された画素アレイ部と、
各画素から読み出された信号を画素アレイ部の端部に配置したカラム増幅回路と、少なくとも単位画素の単位信号を第 1 および第 2 の増幅率で切り換える増幅率切り換え回路と、増幅した複数の信号を記憶する複数のラインメモリとを備え、複数のラインメモリから読み出した複数の信号を出力することを特徴とする固体撮像装置。

【請求項 5】

前記複数の信号を合成する合成部をさらに備えることを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】

前記合成部は、前記増幅率の小さな出力信号を増幅する増幅回路をさらに備えることを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 7】

マトリックス状に画素が配置された画素アレイ部と、
各画素から読み出された信号を画素アレイ部の端部に配置したカラム増幅回路と、少なくとも単位画素の単位信号を第 1 および第 2 の増幅率で切り換える増幅率切り換え回路と、
増幅した複数の信号レベルの大きさを判定する信号レベル判定回路と、
判定結果を保持する増幅率記憶回路と、
カラム増幅回路で増幅した信号をアナログデジタル変換するためのコンパレータ回路と、
コンパレータ出力のデジタル信号を加算もしくは減算する演算回路と、
を備えることを特徴とする固体撮像装置。

【請求項 8】

前記演算回路は、UP/Downカウンタ動作による減算処理ができるカウンタ回路と、デジタルデータを所定の制御信号により bit を反転させることで減算処理ができるカウンタ回路と、2種類の信号を保存する複数のラインメモリとラインメモリから読み出した複数の信号を加減算する演算回路のいずれかを備えることを特徴とする請求項 7 に記載の固体撮像装置。

【請求項 9】

前記演算回路の出力値を保存するためのラインメモリをさらに備えることを特徴とする請求項 7 に記載の固体撮像装置。

【請求項 10】

増幅率の異なる複数の基準レベルの信号を、保存する複数の保存回路を更に有することを特徴とする請求項 7 に記載の固体撮像装置。

【請求項 11】

前記ラインメモリに保存したデータを出力した信号は、前記増幅率記憶回路のデータに応じて、出力信号の増幅率を切り換えて出力する信号合成部をさらに備えることを特徴とする請求項 10 に記載の固体撮像装置。

10

20

30

40

50

【請求項 1 2】

前記合成部は、増幅率の小さな信号を増幅率の大きな信号に対してより大きく増幅するように切り換える合成回路を備えることを特徴とする請求項 1 1 に記載の固体撮像装置。

【請求項 1 3】

前記増幅率切り換え回路は、前記判定結果に応じて、増幅率を切り換える制御回路をさらに、
備えることを特徴とする請求項 1 2 に記載の固体撮像装置。

【請求項 1 4】

前記合成部は、前記判定結果に応じて、前記出力信号の黒レベルを減算する切り換え回路を制御する切り換え回路をさらに、
備えることを特徴とする請求項 1 1 に記載の固体撮像装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は固体撮像装置に関する。

【背景技術】**【0002】**

固体撮像装置では、A/D変換やCDS（相関2重サンプリング）などを行う信号処理回路をカラムごとに設け、画素から読み出された信号をカラムごとに増幅する方法が知られている。

例えば、特許文献1には、イメージセンサのカラム領域部に、各画素信号の大きさを独立に検出し、この信号の大きさに対して独立にゲインを設定する機能を設ける方法が開示されている。

【0003】

しかしながら、特許文献1に開示された方法では、CDS（相関2重サンプリング）にて検出された信号成分に対して増幅率が切り替えられる。このため、CDSに際し、基準レベルは増幅率の切り替え前の信号からサンプリングされ、信号レベルは増幅率の切り替え後の信号からサンプリングされることから、CDSによる十分なノイズの抑圧ができないという問題があった。

【先行技術文献】**【特許文献】****【0004】**

【特許文献1】特開2004-15701号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

本発明の目的は、CDSによるノイズの抑圧効果を増大させつつ、信号レベルの増幅率を切り替えることが可能な固体撮像装置を提供することである。

【課題を解決するための手段】**【0006】**

実施態様の固体撮像装置によれば、画素アレイ部と、カラム増幅回路とが設けられている。画素アレイ部は、マトリクス状に画素が配置されている。カラム増幅回路は、各画素から読み出された単位画素の単位信号を少なくとも第1および第2の増幅率で増幅する画素アレイ部の端部に配置され、増幅した複数の信号を出力する。

【図面の簡単な説明】**【0007】**

【図1】図1は、本発明の第1実施形態に係る固体撮像装置の概略構成を示すブロック図である。

【図2】図2は、本発明の第2実施形態に係る固体撮像装置の1カラム分の概略構成を示す回路図である。

10

20

30

40

50

【図 3】図 3 は、図 2 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 4】図 4 は、図 2 の固体撮像装置のダイナミックレンジを従来例と比較して示す図である。

【図 5】図 5 は、本発明の第 3 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

【図 6】図 6 は、図 5 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 7】図 7 は、本発明の第 4 実施形態に係る固体撮像装置の概略構成を示すブロック図である。

10

【図 8】図 8 は、本発明の第 5 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

【図 9】図 9 は、図 8 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 10】図 10 は、本発明の第 6 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

【図 11】図 11 は、図 10 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 12】図 12 は、本発明の第 7 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

20

【図 13】図 13 は、図 12 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 14】図 14 は、本発明の第 8 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

【図 15】図 15 は、図 14 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 16】図 16 は、本発明の第 9 実施形態に係る固体撮像装置の概略構成を示すブロック図である。

【図 17】図 17 は、本発明の第 10 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

30

【図 18】図 18 は、図 17 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 19】図 19 は、本発明の第 11 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

【図 20】図 20 は、図 19 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 21】図 21 は、本発明の第 12 実施形態に係る固体撮像装置の概略構成を示すブロック図である。

【図 22】図 22 は、本発明の第 13 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

40

【図 23】図 23 は、図 22 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 24】図 24 は、本発明の第 14 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

【図 25】図 25 は、図 24 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 26】図 26 は、本発明の第 15 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

【図 27】図 27 は、図 26 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

50

【図 28】図 28 は、本発明の第 16 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

【図 29】図 29 は、図 28 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

【図 30】図 30 は、本発明の第 17 実施形態に係る固体撮像装置の概略構成を示すブロック図である。

【図 31】図 31 は、本発明の第 18 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

【図 32】図 32 は、図 31 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

10

【発明を実施するための形態】

【0008】

以下、本発明の実施形態に係る固体撮像装置について図面を参照しながら説明する。

【0009】

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態に係る固体撮像装置の概略構成を示すブロック図である。

図 1 において、この固体撮像装置には、光電変換した電荷を蓄積する画素 PC がロウ方向およびカラム方向にマトリクス状に配置された画素アレイ部 1、読み出し対象となる画素 PC を垂直方向に走査する行走査回路 2、画素 PC から読み出された信号を増幅率 A 1 でカラムごとに増幅するカラム増幅回路 3 - 1、画素 PC から読み出された信号を増幅率 A 2 でカラムごとに増幅するカラム増幅回路 3 - 2、増幅率 A 1 で増幅された各画素 PC の信号成分を CDS にて検出するサンプルホールド信号変換回路 4 - 1、増幅率 A 2 で増幅された各画素 PC の信号成分を CDS にて検出するサンプルホールド信号変換回路 4 - 2、サンプルホールド信号変換回路 4 - 1 のラインメモリで保存した信号を水平方向に読み出すためのカラム走査回路 7 - 1、サンプルホールド信号変換回路 4 - 2 のラインメモリで保存した信号を水平方向に読み出すためのカラム走査回路 7 - 2、各画素 PC の読み出しや蓄積のタイミングを制御するタイミング制御回路 8、サンプルホールド信号変換回路 4 - 1 に基準電圧 VREF1 を出力する DA コンバータ 9 - 1 およびサンプルホールド信号変換回路 4 - 2 に基準電圧 VREF2 を出力する DA コンバータ 9 - 2 が設けられている。なお、タイミング制御回路 8 には、マスタークロック MCK が入力されている。

20

30

【0010】

ここで、サンプルホールド信号変換回路 4 - 1 は、増幅率 A 1 で増幅された各画素 PC の信号から第 1 の基準レベルおよび第 1 の信号レベルをサンプリングし、各画素 PC の信号成分を相関 2 重サンプリングにて検出することができる。サンプルホールド信号変換回路 4 - 2 は、増幅率 A 2 で増幅された各画素 PC の信号から第 2 の基準レベルおよび第 2 の信号レベルをサンプリングし、各画素 PC の信号成分を相関 2 重サンプリングにて検出することができる。

【0011】

また、DA コンバータ 9 - 1、9 - 2 は、カラム ADC 回路 5 - 1、5 - 2 によるアップカウント時およびダウンカウント時に三角波を基準電圧 VREF1、VREF2 とし出力することができる。また、例えば、増幅率 A 1 は 1 倍、増幅率 A 2 は 4 倍に設定することができる。また、増幅率 A 2 は 4 倍以外にも、2 倍、8 倍または 16 倍などであってもよい。

40

【0012】

ここで、画素アレイ部 1 において、ロウ方向には画素 PC の読み出し制御を行う水平制御線 H1in が設けられ、カラム方向には画素 PC から読み出された信号を伝送する垂直信号線 V1in が設けられている。

【0013】

また、サンプルホールド信号変換回路 4 - 1 には、増幅率 A 1 で増幅された画素 PC が

50

らの読み出し信号と基準電圧 V_{REF1} との比較結果に基づいてアップカウントおよびダウンカウントを行うことで CDS の基準レベルと信号レベルとの差分を算出するカラム ADC 回路 5 - 1 およびカラム ADC 回路 5 - 1 のカウント値を水平画素分だけ記憶するラインメモリ 6 - 1 が設けられている。サンプルホールド信号変換回路 4 - 2 には、増幅率 $A2$ で増幅された画素 PC からの読み出し信号と基準電圧 V_{REF1} との比較結果に基づいてアップカウントおよびダウンカウントを行うことで CDS の基準レベルと信号レベルとの差分を算出するカラム ADC 回路 5 - 2 およびカラム ADC 回路 5 - 2 のカウント値を水平画素分だけ記憶するラインメモリ 6 - 2 が設けられている。

【0014】

また、この固体撮像装置には、サンプルホールド信号変換回路 4 - 1 からの出力信号 V_{out6} に増幅率 $A2$ を乗算する乗算器 10、サンプルホールド信号変換回路 4 - 2 からの出力信号 V_{out7} と参照レベル V_{SL} とを比較するコンパレータ 11 およびコンパレータ 11 の比較結果に基づいて出力信号 V_{out8} を L 側また H 側に切り替えるスイッチ 12 が設けられている。カラム増幅回路 3 - 1 の増幅率が 1 倍で無い場合は、乗算器 10 の増幅率 $A2$ は、出力信号 V_{out8} の光電変換特性が光信号量に対して線形の出力信号となるように変更することができる。

【0015】

そして、行走査回路 2 にて画素 PC が垂直方向に走査されることで、ロウ方向の画素 PC が選択され、その画素 PC から読み出された信号は垂直信号線 V_{lin} を介してカラム増幅回路 3 - 1、3 - 2 に伝送される。そして、画素 PC から読み出された信号がカラム増幅回路 3 - 1 にて増幅率 $A1$ で増幅された後、サンプルホールド信号変換回路 4 - 1 に送られる。また、画素 PC から読み出された信号がカラム増幅回路 3 - 2 にて増幅率 $A2$ で増幅された後、サンプルホールド信号変換回路 4 - 2 に送られる。

【0016】

そして、サンプルホールド信号変換回路 4 - 1 において、増幅率 $A1$ で増幅された各画素 PC の信号から第 1 の基準レベルおよび第 1 の信号レベルがサンプリングされ、第 1 の信号レベルと第 1 の基準レベルとの差分がとられることで各画素 PC の信号成分が CDS にて検出され、出力信号 V_{out6} として出力される。

【0017】

ここで、カラム ADC 回路 5 - 1 では、増幅率 $A1$ で増幅された各画素 PC の信号からサンプリングされた第 1 の基準レベルが基準電圧 V_{REF1} のレベルと一致するまでダウンカウント動作が行われた後、今度は増幅率 $A1$ で増幅された各画素 PC の信号からサンプリングされた第 1 の信号レベルが基準電圧 V_{REF1} のレベルと一致するまでアップカウント動作が行われることで、 CDS にて検出される信号成分がデジタル値に変換され、水平画素分だけラインメモリ 6 - 1 に保持される。

【0018】

また、サンプルホールド信号変換回路 4 - 2 において、増幅率 $A2$ で増幅された各画素 PC の信号から第 2 の基準レベルおよび第 2 の信号レベルがサンプリングされ、第 2 の信号レベルと第 2 の基準レベルとの差分がとられることで各画素 PC の信号成分が CDS にて検出され、出力信号 V_{out7} として出力される。

【0019】

ここで、カラム ADC 回路 5 - 2 では、増幅率 $A2$ で増幅された各画素 PC の信号からサンプリングされた第 2 の基準レベルが基準電圧 V_{REF2} のレベルと一致するまでダウンカウント動作が行われた後、今度は増幅率 $A2$ で増幅された各画素 PC の信号からサンプリングされた第 2 の信号レベルが基準電圧 V_{REF2} のレベルと一致するまでアップカウント動作が行われることで、 CDS にて検出される信号成分がデジタル値に変換され、水平画素分だけラインメモリ 6 - 2 に保持される。

【0020】

そして、コンパレータ 11 において、サンプルホールド信号変換回路 4 - 2 からの出力信号 V_{out7} は参照レベル V_{SL} と比較され、出力信号 V_{out7} が参照レベル V_{SL}

10

20

30

40

50

より小さい場合は、スイッチ 12 が L 側に切り替えられ、出力信号 V o u t 7 が出力信号 V o u t 8 として出力される。

【 0 0 2 1 】

一方、出力信号 V o u t 7 が参照レベル V S L 以上の場合、スイッチ 12 が H 側に切り替えられる。そして、乗算器 10 において、サンプルホールド信号変換回路 4 - 1 からの出力信号 V o u t 6 に増幅率 A 2 が乗算されることにより、増幅率 A 1 で増幅された出力信号 V o u t 6 が光量に対して線形化され、増幅率 A 2 が乗算された出力信号 V o u t 6 が出力信号 V o u t 8 として出力される。なお、参照レベル V S L は、例えば、10 ビットの A D 変換の時は、最大値 1023 レベルを設定することができる。すなわち、出力信号 V o u t 2 が飽和した 1023 レベルの時は、増幅率 A 2 が乗算された出力信号 V o u t 6 を選択することができる。

10

【 0 0 2 2 】

ここで、増幅率 A 1 で増幅された各画素 P C の信号成分を C D S にて検出する場合、増幅率 A 1 で増幅された各画素 P C の信号から第 1 の基準レベルをサンプリングすることにより、増幅率 A 1 における C D S によるノイズの相殺効果を高めることができる。また、増幅率 A 2 で増幅された各画素 P C の信号成分を C D S にて検出する場合、増幅率 A 2 で増幅された各画素 P C の信号から第 2 の基準レベルをサンプリングすることにより、増幅率 A 2 における C D S によるノイズの相殺効果を高めることができる。このため、C D S によるノイズの抑圧効果を増大させつつ、信号レベルの増幅率を切り替えることが可能となり、S / N 比を高めつつ、ダイナミックレンジを拡大することができる。

20

【 0 0 2 3 】

(第 2 実施形態)

図 2 は、本発明の第 2 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

図 2 において、この固体撮像装置には、画素アレイ部 1、カラム増幅回路 3 - 1 a、3 - 2 a およびサンプルホールド信号変換回路 4 - 1 a、4 - 2 a が設けられている。

【 0 0 2 4 】

画素アレイ部 1 には画素 P C n、P C n + 1 が設けられ、画素 P C n、P C n + 1 には、フォトダイオード P D、行選択トランジスタ T a、増幅トランジスタ T b、リセットトランジスタ T c および読み出しトランジスタ T d がそれぞれ設けられている。また、増幅トランジスタ T b とリセットトランジスタ T c と読み出しトランジスタ T d との接続点には検出ノードとしてフローティングディフュージョン F D が形成されている。

30

【 0 0 2 5 】

そして、画素 P C n、P C n + 1 において、読み出しトランジスタ T d のソースは、フォトダイオード P D に接続され、読み出しトランジスタ T d のゲートには、読み出し信号 R E A D n、R E A D n + 1 がそれぞれ入力される。また、リセットトランジスタ T c のソースは、読み出しトランジスタ T d のドレインに接続され、リセットトランジスタ T c のゲートには、リセット信号 R E S E T n、R E S E T n + 1 がそれぞれ入力され、リセットトランジスタ T c のドレインは、電源電位 V D D に接続されている。また、行選択トランジスタ T a のゲートには、行選択信号 A D R E S n、A D R E S n + 1 がそれぞれ入力され、行選択トランジスタ T a のドレインは、電源電位 V D D に接続されている。また、増幅トランジスタ T b のソースは、垂直信号線 V l i n に接続され、増幅トランジスタ T b のゲートは、読み出しトランジスタ T d のドレインに接続され、増幅トランジスタ T b のドレインは、行選択トランジスタ T a のソースに接続されている。

40

【 0 0 2 6 】

なお、図 1 の水平制御線 H l i n は、読み出し信号 R E A D n、R E A D n + 1、リセット信号 R E S E T n、R E S E T n + 1 および行選択信号 A D R E S n、A D R E S n + 1 を口ウごとに画素 P C に伝送することができる。

【 0 0 2 7 】

また、定電流トランジスタ T L のドレインは、垂直信号線 V l i n に接続され、定電流

50

トランジスタ T L のゲートには、バイアス電源 V T L が接続されている。なお、定電流トランジスタ T L は増幅トランジスタ T b との組み合わせでソースフォロワを構成し、定電流動作をすることができる。

【 0 0 2 8 】

カラム増幅回路 3 - 1 a には、コンデンサ C 1 1、C 1 2、オペアンプ O P 1 およびスイッチトランジスタ T s c 1 がカラムごとに設けられている。そして、オペアンプ O P 1 の入力端子にはコンデンサ C 1 1 を介して垂直信号線 V l i n が接続され、オペアンプ O P 1 の入力端子と出力端子の間にはコンデンサ C 1 2 が接続されている。また、コンデンサ C 1 2 にはスイッチトランジスタ T s c 1 が並列に接続されている。

【 0 0 2 9 】

カラム増幅回路 3 - 2 a には、コンデンサ C 2 1、C 2 2、オペアンプ O P 2 およびスイッチトランジスタ T s c 2 がカラムごとに設けられている。そして、オペアンプ O P 2 の入力端子にはコンデンサ C 2 1 を介して垂直信号線 V l i n が接続され、オペアンプ O P 2 の入力端子と出力端子の間にはコンデンサ C 2 2 が接続されている。また、コンデンサ C 2 2 にはスイッチトランジスタ T s c 2 が並列に接続されている。

【 0 0 3 0 】

なお、カラム増幅回路 3 - 1 a、3 - 2 a は、コンデンサ比で増幅率 A 1、A 2 をそれぞれ制御できるスイッチドキャパシタ型反転増幅器を用いることができる。この増幅率 A 1、A 2 は、 $C 1 1 / C 1 2$ 、 $C 2 1 / C 2 2$ でそれぞれ算出することができる。例えば、 $C 1 1 = 0.05 \text{ pF}$ で $C 1 2 = 0.05 \text{ pF}$ の時、増幅率 A 1 は 1 倍が得られ、 $C 2 1 = 0.05 \text{ pF}$ で $C 2 2 = 0.2 \text{ pF}$ の時、増幅率 A 2 は 4 倍が得られる。

【 0 0 3 1 】

サンプルホールド信号変換回路 4 - 1 a には、コンパレータ P A 1、スイッチトランジスタ T c p 1、インバータ V 1、アップダウンカウンタ U D 1 およびラインメモリ L M 1 がカラムごとに設けられている。アップダウンカウンタ U D 1 には論理積回路 N 1 が設けられている。

【 0 0 3 2 】

そして、コンパレータ P A 1 の反転入力端子にはコンデンサ C 1 3 を介してオペアンプ O P 1 の出力端子が接続され、コンパレータ P A 1 の非反転入力端子には基準電圧 V R E F 1 が入力される。コンパレータ P A 1 の反転入力端子と出力端子の間にはスイッチトランジスタ T c p 1 が接続されている。コンパレータ P A 1 の出力端子はインバータ V 1 を介して論理積回路 N 1 の一方の入力端子に接続され、論理積回路 N 1 の他方の入力端子には基準クロック C K C 1 が入力される。アップダウンカウンタ U D 1 の出力端子はラインメモリ L M 1 に接続されている。

【 0 0 3 3 】

サンプルホールド信号変換回路 4 - 2 a には、コンパレータ P A 2、スイッチトランジスタ T c p 2、インバータ V 2、アップダウンカウンタ U D 2 およびラインメモリ L M 2 がカラムごとに設けられている。アップダウンカウンタ U D 2 には論理積回路 N 2 が設けられている。

【 0 0 3 4 】

そして、コンパレータ P A 2 の反転入力端子にはコンデンサ C 2 3 を介してオペアンプ O P 2 の出力端子が接続され、コンパレータ P A 2 の非反転入力端子には基準電圧 V R E F 2 が入力される。コンパレータ P A 2 の反転入力端子と出力端子の間にはスイッチトランジスタ T c p 2 が接続されている。コンパレータ P A 2 の出力端子はインバータ V 2 を介して論理積回路 N 2 の一方の入力端子に接続され、論理積回路 N 2 の他方の入力端子には基準クロック C K C 2 が入力される。アップダウンカウンタ U D 2 の出力端子はラインメモリ L M 2 に接続されている。

【 0 0 3 5 】

図 3 は、図 2 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

10

20

30

40

50

図3において、行選択信号 $A D R E S n$ がロウレベルの場合、行選択トランジスタ $T a$ がオフ状態となりソースフォロワ動作しないため、垂直信号線 $V l i n$ に信号は出力されない。この時、読み出し信号 $R E A D n$ とリセット信号 $R E S E T n$ がハイレベルになると、読み出しトランジスタ $T d$ がオンし、フォトダイオード $P D$ に蓄積されていた電荷がフローティングディフュージョン $F D$ に排出される。そして、リセットトランジスタ $T c$ を介して電源 $V D D$ に排出される。

【0036】

フォトダイオード $P D$ に蓄積されていた電荷が電源 $V D D$ に排出された後、読み出し信号 $R E A D n$ がロウレベルになると、フォトダイオード $P D$ では、有効な信号電荷の蓄積が開始される。

10

【0037】

次に、行選択信号 $A D R E S n$ がハイレベルになると、画素 $P C$ の行選択トランジスタ $T a$ がオンし、増幅トランジスタ $T b$ のドレインに電源電位 $V D D$ が印加されることで、増幅トランジスタ $T b$ と定電流トランジスタ $T L$ とでソースフォロワが構成される。

【0038】

そして、行選択トランジスタ $T a$ がオンの状態でリセット信号 $R E S E T n$ がハイレベルになると、リセットトランジスタ $T c$ がオンし、フローティングディフュージョン $F D$ にリーク電流などで発生した余分な電荷がリセットされる。そして、フローティングディフュージョン $F D$ の基準レベルに応じた電圧が増幅トランジスタ $T b$ のゲートにかかる。ここで、増幅トランジスタ $T b$ と定電流トランジスタ $T L$ とでソースフォロワが構成されているので、増幅トランジスタ $T b$ のゲートに印加された電圧に垂直信号線 $V l i n$ の電圧が追従し、基準レベルの出力電圧 $V o u t 1$ として垂直信号線 $V l i n$ に出力される。

20

【0039】

そして、基準レベルの出力電圧 $V o u t 1$ が垂直信号線 $V l i n$ に出力されている時に、リセットパルス $P s c 1$ がスイッチトランジスタ $T s c 1$ のゲートに印加されると、オペアンプ $O P 1$ の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、垂直信号線 $V l i n$ との電圧の差分は、コンデンサ $C 1 1$ に保持され、オペアンプ $O P 1$ の入力電圧がゼロ設定される。

【0040】

また、基準レベルの出力電圧 $V o u t 1$ が垂直信号線 $V l i n$ に出力されている時に、リセットパルス $P c p 1$ がスイッチトランジスタ $T c p 1$ のゲートに印加されると、コンパレータ $P A 1$ の反転入力端子の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、オペアンプ $O P 1$ からの出力電圧 $V o u t 2$ との電圧の差分は、コンデンサ $C 1 3$ に保持され、コンパレータ $P A 1$ の入力電圧がゼロ設定される。

30

【0041】

また、基準レベルの出力電圧 $V o u t 1$ が垂直信号線 $V l i n$ に出力されている時に、リセットパルス $P s c 2$ がスイッチトランジスタ $T s c 2$ のゲートに印加されると、オペアンプ $O P 2$ の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、垂直信号線 $V l i n$ との電圧の差分は、コンデンサ $C 2 1$ に保持され、オペアンプ $O P 2$ の入力電圧がゼロ設定される。

40

【0042】

また、基準レベルの出力電圧 $V o u t 1$ が垂直信号線 $V l i n$ に出力されている時に、リセットパルス $P c p 2$ がスイッチトランジスタ $T c p 2$ のゲートに印加されると、コンパレータ $P A 2$ の反転入力端子の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、オペアンプ $O P 2$ からの出力電圧 $V o u t 3$ との電圧の差分は、コンデンサ $C 2 3$ に保持され、コンパレータ $P A 2$ の入力電圧がゼロ設定される。

【0043】

スイッチトランジスタ $T s c 1$ がオフした後、オペアンプ $O P 1$ の入力電圧が変化すると、入力電圧がゼロ電圧になるようにコンデンサ $C 1 2$ から電圧がフィードバックされる。この結果、入力で変化した電圧がオペアンプ $O P 1$ からはコンデンサ比 C_{11} / C_{12}

50

(= 増幅率 A_1) で反転増幅された出力電圧 V_{out2} が出力され、コンデンサ C_{13} を介してコンパレータ PA_1 の反転入力端子に印加される。ただし、コンデンサ C_{11} の容量値を C_{11} 、コンデンサ C_{12} の容量値を C_{12} とした。

【0044】

スイッチトランジスタ T_{sc2} がオフした後、オペアンプ OP_2 の入力電圧が変化すると、入力電圧がゼロ電圧になるようにコンデンサ C_{22} から電圧がフィードバックされる。この結果、入力で変化した電圧がオペアンプ OP_2 からはコンデンサ比 C_{21} / C_{22} (= 増幅率 A_2) で反転増幅された出力電圧 V_{out3} が出力され、コンデンサ C_{23} を介してコンパレータ PA_2 の反転入力端子に印加される。ただし、コンデンサ C_{21} の容量値を C_{21} 、コンデンサ C_{22} の容量値を C_{22} とした。

10

【0045】

スイッチトランジスタ T_{cp1} がオフした後、基準レベルの出力電圧 V_{out2} がコンデンサ C_{13} を介してコンパレータ PA_1 に入力された状態で、基準電圧 V_{REF1} として三角波が与えられ、基準レベルの出力電圧 V_{out2} と基準電圧 V_{REF1} とが比較される。そして、コンパレータ PA_1 の出力電圧はインバータ V_1 にて反転された後、出力電圧 V_{out4} として論理積回路 N_1 の一方の入力端子に入力される。

【0046】

また、論理積回路 N_1 の他方の入力端子には基準クロック CKC_1 が入力される。そして、基準レベルの出力電圧 V_{out2} が基準電圧 V_{REF1} のレベルより小さい場合は、出力電圧 V_{out4} がハイレベルとなる。このため、基準クロック CKC_1 が論理積回路 N_1 を通過し、通過後の基準クロック $CKCi_1$ がアップダウンカウンタ UD_1 にてダウンカウントされる。そして、基準レベルの出力電圧 V_{out2} が基準電圧 V_{REF1} のレベルと一致すると、コンパレータ PA_1 の出力電圧が立ち下がり、出力電圧 V_{out4} がロウレベルとなる。このため、基準クロック CKC_1 が論理積回路 N_1 にて遮断され、アップダウンカウンタ UD_1 にてダウンカウントが停止されることで、基準レベルの出力電圧 V_{out2} がデジタル値 D に変換され、増幅率 A_1 で増幅された信号の第1の基準レベルとしてアップダウンカウンタ UD_1 に保持される。

20

【0047】

また、スイッチトランジスタ T_{cp2} がオフした後、基準レベルの出力電圧 V_{out3} がコンデンサ C_{23} を介してコンパレータ PA_2 に入力された状態で、基準電圧 V_{REF2} として三角波が与えられ、基準レベルの出力電圧 V_{out3} と基準電圧 V_{REF2} とが比較される。そして、コンパレータ PA_2 の出力電圧はインバータ V_2 にて反転された後、出力電圧 V_{out5} として論理積回路 N_2 の一方の入力端子に入力される。

30

【0048】

また、論理積回路 N_2 の他方の入力端子には基準クロック CKC_2 が入力される。そして、基準レベルの出力電圧 V_{out3} が基準電圧 V_{REF2} のレベルより小さい場合は、出力電圧 V_{out5} がハイレベルとなる。このため、基準クロック CKC_2 が論理積回路 N_2 を通過し、通過後の基準クロック $CKCi_2$ がアップダウンカウンタ UD_2 にてダウンカウントされる。そして、基準レベルの出力電圧 V_{out3} が基準電圧 V_{REF2} のレベルと一致すると、コンパレータ PA_2 の出力電圧が立ち下がり、出力電圧 V_{out5} がロウレベルとなる。このため、基準クロック CKC_2 が論理積回路 N_1 にて遮断され、アップダウンカウンタ UD_2 にてダウンカウントが停止されることで、基準レベルの出力電圧 V_{out3} がデジタル値 D に変換され、増幅率 A_2 で増幅された信号の第2の基準レベルとしてアップダウンカウンタ UD_2 に保持される。

40

【0049】

次に、画素 PC_n の行選択トランジスタ T_a がオンの状態で読み出し信号 $READ_n$ がハイレベルになると、読み出しトランジスタ T_d がオンし、フォトダイオード PD に蓄積されていた電荷がフローティングディフュージョン FD に転送され、フローティングディフュージョン FD の信号レベルに応じた電圧が増幅トランジスタ T_b のゲートにかかる。ここで、増幅トランジスタ T_b と定電流トランジスタ T_L とでソースフォロアが構成され

50

ているので、増幅トランジスタ T_b のゲートに印加された電圧に垂直信号線 V_{lin} の電圧が追従し、信号レベルの出力電圧 V_{out1} として垂直信号線 V_{lin} に出力される。

【0050】

そして、信号レベルの出力電圧 V_{out1} がコンデンサ C_{11} を介してオペアンプ OP_1 の入力端子に印加されることで、オペアンプ OP_1 の入力電圧が変化すると、入力電圧がゼロ電圧になるようにコンデンサ C_{12} から電圧がフィードバックされる。この結果、オペアンプ OP_1 からはコンデンサ比 C_{11}/C_{12} (= 増幅率 A_1) で反転増幅された信号レベルの出力電圧 V_{out2} が出力され、コンデンサ C_{13} を介してコンパレータ PA_1 の反転入力端子に印加される。

【0051】

また、信号レベルの出力電圧 V_{out1} がコンデンサ C_{21} を介してオペアンプ OP_2 の入力端子に印加されることで、オペアンプ OP_2 の入力電圧が変化すると、入力電圧がゼロ電圧になるようにコンデンサ C_{22} から電圧がフィードバックされる。この結果、オペアンプ OP_2 からはコンデンサ比 C_{21}/C_{22} (= 増幅率 A_2) で反転増幅された信号レベルの出力電圧 V_{out3} が出力され、コンデンサ C_{23} を介してコンパレータ PA_2 の反転入力端子に印加される。

【0052】

そして、信号レベルの出力電圧 V_{out2} がコンデンサ C_{13} を介してコンパレータ PA_1 に入力された状態で、基準電圧 V_{REF1} として三角波が与えられ、信号レベルの出力電圧 V_{out2} と基準電圧 V_{REF1} とが比較される。そして、コンパレータ PA_1 の出力電圧はインバータ V_1 にて反転された後、出力電圧 V_{out4} として論理積回路 N_1 の一方の入力端子に入力される。

【0053】

そして、信号レベルの出力電圧 V_{out2} が基準電圧 V_{REF1} のレベルより小さい場合は、出力電圧 V_{out4} がハイレベルとなる。このため、基準クロック CKC_1 が論理積回路 N_1 を通過し、通過後の基準クロック CKC_{i1} がアップダウンカウンタ UD_1 にて今度はアップカウントされる。そして、信号レベルの出力電圧 V_{out2} が基準電圧 V_{REF1} のレベルと一致すると、コンパレータ PA_1 の出力電圧が立ち下がり、出力電圧 V_{out4} がロウレベルとなる。このため、基準クロック CKC_1 が論理積回路 N_1 にて遮断され、アップダウンカウンタ UD_1 にてアップカウントが停止されることで、信号レベルの出力電圧 V_{out2} と基準レベルの出力電圧 V_{out2} との差分がデジタル値 D に変換され、ラインメモリ LM_1 に送られる。この結果、ラインメモリ LM_1 には、 CDS にて検出された増幅率 A_1 の信号成分として、増幅率 A_1 で増幅された信号からサンプリングされた第1の信号レベルと第1の基準レベルとの差分が保持される。

【0054】

また、信号レベルの出力電圧 V_{out3} がコンデンサ C_{23} を介してコンパレータ PA_2 に入力された状態で、基準電圧 V_{REF2} として三角波が与えられ、信号レベルの出力電圧 V_{out3} と基準電圧 V_{REF2} とが比較される。そして、コンパレータ PA_2 の出力電圧はインバータ V_2 にて反転された後、出力電圧 V_{out4} として論理積回路 N_2 の一方の入力端子に入力される。

【0055】

そして、信号レベルの出力電圧 V_{out3} が基準電圧 V_{REF2} のレベルより小さい場合は、出力電圧 V_{out5} がハイレベルとなる。このため、基準クロック CKC_2 が論理積回路 N_2 を通過し、通過後の基準クロック CKC_{i2} がアップダウンカウンタ UD_2 にて今度はアップカウントされる。そして、信号レベルの出力電圧 V_{out3} が基準電圧 V_{REF2} のレベルと一致すると、コンパレータ PA_2 の出力電圧が立ち下がり、出力電圧 V_{out5} がロウレベルとなる。このため、基準クロック CKC_2 が論理積回路 N_2 にて遮断され、アップダウンカウンタ UD_2 にてアップカウントが停止されることで、信号レベルの出力電圧 V_{out3} と基準レベルの出力電圧 V_{out3} との差分がデジタル値 D に変換され、ラインメモリ LM_2 に送られる。この結果、ラインメモリ LM_2 には、 CDS

10

20

30

40

50

にて検出された増幅率 A 2 の信号成分として、増幅率 A 2 で増幅された信号からサンプリングされた第 2 の信号レベルと第 2 の基準レベルとの差分が保持される。

【 0 0 5 6 】

ここで、増幅率 A 1 の基準レベルの出力電圧 V_{out2} に基づいてダウンカウントした後、増幅率 A 1 の信号レベルの出力電圧 V_{out2} に基づいてアップカウントすることにより、信号レベルの読み出し時に基準レベルが重畳されている場合においても、その基準レベル分を相殺させることができ、CDSにて増幅率 A 1 の信号成分を効果的に検出することができる。

【 0 0 5 7 】

また、増幅率 A 2 の基準レベルの出力電圧 V_{out3} に基づいてダウンカウントした後、増幅率 A 2 の信号レベルの出力電圧 V_{out3} に基づいてアップカウントすることにより、信号レベルの読み出し時に基準レベルが重畳されている場合においても、その基準レベル分を相殺させることができ、CDSにて増幅率 A 2 の信号成分を効果的に検出することができる。

【 0 0 5 8 】

図 4 は、図 2 の固体撮像装置のダイナミックレンジを従来例と比較して示す図である。

図 4 において、増幅率 A 1 が 1 倍の時の出力信号 V_{out6} は、光強度が 1 の時、飽和レベルの 1023 レベルとなる。一方、増幅率 A 2 が 4 倍の時の出力信号 V_{out7} は、光強度が 0.25 で AD 変換の最大値 1023 レベルとなる。

【 0 0 5 9 】

出力信号 V_{out6} 、 V_{out7} を合成した出力信号 V_{out8} は、光強度 0.25 までは出力信号 V_{out7} となり、光強度 0.25 以上は、出力信号 V_{out6} を 4 倍した信号になる。

【 0 0 6 0 】

このため、出力信号 V_{out8} は、最大で 4095 レベルの光強度に対して線形の信号となる。ノイズが目立つ低照度領域（光強度 0.25 以下）は、カラム増幅回路 3-2a で信号を 4 倍に増幅することで、カラム ADC 回路 5-2 の回路ノイズを 1/4 にした高 S/N の信号を得ることができる。なお、増幅率を変えることで低照度レベルを変えることができる。出力信号 V_{out8} は、AD 変換の 12 ビット相当の信号が得られる。さらに、低照度領域では高 S/N の信号を得ることができ、低照度のノイズを低減することで、ダイナミックレンジを拡大することができる。さらに、出力信号 V_{out8} は光量に対して線形化することで、増幅率を切り替えた場合においても、後段の回路構成を変更することなく、後段の信号処理を行わせることができる。

【 0 0 6 1 】

（第 3 実施形態）

図 5 は、本発明の第 3 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

図 5 において、この固体撮像装置では、図 2 のカラム増幅回路 3-1a、3-2a の代わりにカラム増幅回路 3-1b、3-2b が設けられている。

【 0 0 6 2 】

カラム増幅回路 3-1b には、増幅トランジスタ T_{f1} および負荷トランジスタ T_{e1} がカラムごとに設けられている。増幅トランジスタ T_{f1} のソースは、垂直信号線 V_{lin} に接続され、増幅トランジスタ T_{f1} のゲートは、バイアス電源 V_{g1} に接続され、増幅トランジスタ T_{f1} のドレインは、負荷トランジスタ T_{e1} のソースに接続されている。負荷トランジスタ T_{e1} のドレインは、電源電位 V_{DD} に接続され、負荷トランジスタ T_{e1} のゲートは、スイッチ S_{wsf1} に接続されている。

【 0 0 6 3 】

ここで、増幅トランジスタ T_b 、 T_{f1} 、行選択トランジスタ T_a 、負荷トランジスタ T_{e1} および定電流トランジスタ T_L にて差動増幅回路が構成されている。また、スイッチ S_{wsf1} は、負荷トランジスタ T_{e1} のゲートの接続先を電源電位 V_{DD} とグランド

10

20

30

40

50

電位との間で切り替えることができる。

【0064】

カラム増幅回路3-2bには、増幅トランジスタTf2および負荷トランジスタTe2がカラムごとに設けられている。増幅トランジスタTf2のソースは、垂直信号線Vlinに接続され、増幅トランジスタTf2のゲートは、バイアス電源Vg2に接続され、増幅トランジスタTf2のドレインは、負荷トランジスタTe2のソースに接続されている。負荷トランジスタTe2のドレインは、電源電位VDDに接続され、負荷トランジスタTe2のゲートは、スイッチSWsf2に接続されている。

【0065】

ここで、増幅トランジスタTb、Tf2、行選択トランジスタTa、負荷トランジスタTe2および定電流トランジスタTLにて差動増幅回路が構成されている。また、スイッチSWsf2は、負荷トランジスタTe2のゲートの接続先を電源電位VDDとグランド電位との間で切り替えることができる。

10

【0066】

そして、スイッチSWsf1がH側に切り替えられると、負荷トランジスタTe1のゲート電位が電源電位VDDに設定され、増幅トランジスタTb、Tf1にて差動動作ができるようにされる。一方、スイッチSWsf1がL側に切り替えられると、負荷トランジスタTe1がオフし、出力電圧Vout1が増幅トランジスタTf1を介して出力電圧Vout2として出力される。

【0067】

また、スイッチSWsf2がH側に切り替えられると、負荷トランジスタTe2のゲート電位が電源電位VDDに設定され、増幅トランジスタTb、Tf2にて差動動作ができるようにされる。一方、スイッチSWsf2がL側に切り替えられると、負荷トランジスタTe2がオフし、出力電圧Vout2が増幅トランジスタTf2を介して出力電圧Vout3として出力される。

20

【0068】

図6は、図5の固体撮像装置の1画素分の読み出し動作を示すタイミングチャートである。

図6において、行選択信号ADRESnがハイレベルになると、画素PCの行選択トランジスタTaがオンし、増幅トランジスタTbのドレインに電源電位VDDが印加されることで、増幅トランジスタTbと定電流トランジスタTLとでソースフォロアが構成される。

30

【0069】

そして、行選択トランジスタTaがオンの状態でリセット信号RESETnがハイレベルになると、リセットトランジスタTcがオンし、フローティングディフュージョンFDの基準レベルに応じた電圧が増幅トランジスタTbのゲートにかかる。ここで、増幅トランジスタTbと定電流トランジスタTLとでソースフォロアが構成されているので、増幅トランジスタTbのゲートに印加された電圧に垂直信号線Vlinの電圧が追従し、基準レベルの出力電圧Vout1として垂直信号線Vlinに出力される。

【0070】

そして、スイッチSWsf1がH側に切り替えられた状態で基準レベルの出力電圧Vout1が増幅トランジスタTf1のソースに印加されることで、増幅トランジスタTf1のドレインから基準レベルの出力電圧Vout2が出力される。ここで、増幅トランジスタTbのゲートに入力された信号は出力電圧Vout2と極性が同一となり、増幅トランジスタTf1のゲートに入力された信号は出力電圧Vout2と極性が反対になる。

40

【0071】

また、負荷トランジスタTe1のゲートは電源電位VDDに接続されているため、負荷トランジスタTe1は抵抗として動作し、画素PCnから信号を読み出す時は行選択トランジスタTaがオンしているため、行選択トランジスタTaのゲートは電源電位VDDに接続されているのと等価になり、行選択トランジスタTaは抵抗として動作する。定電流

50

トランジスタ T L は、そのトランジスタサイズとゲート電圧で決まる定電流を流す動作を行う。

【 0 0 7 2 】

このため、定電流トランジスタ T L に流れる電流は、増幅トランジスタ T b のソース電流と増幅トランジスタ T f 1 のソース電流との和になり、増幅トランジスタ T b のソース電流が増加すれば、増幅トランジスタ T f 1 のソース電流は減少し、増幅トランジスタ T b のソース電流が減少すれば、増幅トランジスタ T f 1 のソース電流は増加する。このため、増幅トランジスタ T b と増幅トランジスタ T f 1 とで差動対が構成され、カラム増幅回路 3 - 1 b は差動動作を行うことができる。

【 0 0 7 3 】

増幅トランジスタ T f 1 および負荷トランジスタ T e 1 のトランジスタサイズを変更することで、カラム増幅回路 3 - 1 b の増幅率 A 1 を 1 以下にしたり、1 以上にしたりすることができる。例えば、負荷トランジスタ T e 1 の抵抗値を増幅トランジスタ T f 1 の抵抗値より大きくすることにより、増幅率 A 1 を大きくすることができる。

【 0 0 7 4 】

この基準レベルの信号が垂直信号線 V l i n に出力されている時に、スイッチトランジスタ T c p 1 のゲートにリセットパルス P c p 1 が入力されると、コンパレータ P A 1 の入力電圧が出力電圧でクランプされ、動作点が設定される。

【 0 0 7 5 】

その後、基準レベルの出力電圧 V o u t 2 がコンデンサ C 1 3 を介してコンパレータ P A 1 に入力された状態で、基準電圧 V R E F 1 として三角波が与えられ、基準レベルの出力電圧 V o u t 2 と基準電圧 V R E F 1 とが比較される。そして、基準レベルの出力電圧 V o u t 2 が基準電圧 V R E F 1 のレベルと一致するまで出力電圧 V o u t 4 のハイレベルが維持され、出力電圧 V o u t 4 がロウレベルに反転するまでアップダウンカウンタ U D 1 がダウンカウントすることで、基準レベルの出力電圧 V o u t 2 がデジタル値 D に変換され、増幅率 A 1 で増幅された信号の第 1 の基準レベルとしてアップダウンカウンタ U D 1 に保持される。

【 0 0 7 6 】

また、スイッチ S W s f 2 が H 側に切り替えられた状態で基準レベルの出力電圧 V o u t 1 が増幅トランジスタ T f 2 のソースに印加されることで、増幅トランジスタ T f 2 のドレインから基準レベルの出力電圧 V o u t 3 が出力される。ここで、増幅トランジスタ T b のゲートに入力された信号は出力電圧 V o u t 3 と極性が同一となり、増幅トランジスタ T f 2 のゲートに入力された信号は出力電圧 V o u t 3 と極性が反対になる。

【 0 0 7 7 】

また、負荷トランジスタ T e 2 のゲートは電源電位 V D D に接続されているため、負荷トランジスタ T e 2 は抵抗として動作し、画素 P C n から信号を読み出す時は行選択トランジスタ T a がオンしているため、行選択トランジスタ T a のゲートは電源電位 V D D に接続されているのと等価になり、行選択トランジスタ T a は抵抗として動作する。

【 0 0 7 8 】

このため、定電流トランジスタ T L に流れる電流は、増幅トランジスタ T b のソース電流と増幅トランジスタ T f 2 のソース電流との和になり、増幅トランジスタ T b のソース電流が増加すれば、増幅トランジスタ T f 2 のソース電流は減少し、増幅トランジスタ T b のソース電流が減少すれば、増幅トランジスタ T f 2 のソース電流は増加する。このため、増幅トランジスタ T b と増幅トランジスタ T f 2 とで差動対が構成され、カラム増幅回路 3 - 2 b は差動動作を行うことができる。

【 0 0 7 9 】

増幅トランジスタ T f 2 および負荷トランジスタ T e 2 のトランジスタサイズを変更することで、カラム増幅回路 3 - 2 b の増幅率 A 2 を 1 以下にしたり、1 以上にしたりすることができる。例えば、負荷トランジスタ T e 2 の抵抗値を増幅トランジスタ T f 2 の抵抗値より大きくすることにより、増幅率 A 2 を大きくすることができる。

10

20

30

40

50

【 0 0 8 0 】

この基準レベルの信号が垂直信号線 V_{lin} に出力されている時に、スイッチトランジスタ T_{cp2} のゲートにリセットパルス P_{cp2} が入力されると、コンパレータ $PA2$ の入力電圧が出力電圧でクランプされ、動作点が設定される。

【 0 0 8 1 】

その後、基準レベルの出力電圧 V_{out3} がコンデンサ C_{23} を介してコンパレータ $PA2$ に入力された状態で、基準電圧 V_{REF2} として三角波が与えられ、基準レベルの出力電圧 V_{out3} と基準電圧 V_{REF2} とが比較される。そして、基準レベルの出力電圧 V_{out3} が基準電圧 V_{REF2} のレベルと一致するまで出力電圧 V_{out5} のハイレベルが維持され、出力電圧 V_{out5} がロウレベルに反転するまでアップダウンカウンタ $UD2$ がダウンカウントすることで、基準レベルの出力電圧 V_{out3} がデジタル値 D に変換され、増幅率 $A2$ で増幅された信号の第2の基準レベルとしてアップダウンカウンタ $UD2$ に保持される。

10

【 0 0 8 2 】

次に、画素 PCn の行選択トランジスタ T_a がオンの状態で読み出し信号 $READn$ がハイレベルになると、読み出しトランジスタ T_d がオンし、フォトダイオード PD に蓄積されていた電荷がフローティングディフュージョン FD に転送され、フローティングディフュージョン FD の信号レベルに応じた電圧が増幅トランジスタ T_b のゲートにかかる。ここで、増幅トランジスタ T_b と定電流トランジスタ T_L とでソースフォロアが構成されているので、増幅トランジスタ T_b のゲートに印加された電圧に垂直信号線 V_{lin} の電圧が追従し、信号レベルの出力電圧 V_{out1} として垂直信号線 V_{lin} に出力される。

20

【 0 0 8 3 】

そして、信号レベルの出力電圧 V_{out1} が増幅トランジスタ T_{f1} のソースに印加されることで、増幅トランジスタ T_{f1} のドレインから信号レベルの出力電圧 V_{out2} が出力される。

【 0 0 8 4 】

その後、信号レベルの出力電圧 V_{out2} がコンデンサ C_{13} を介してコンパレータ $PA1$ に入力された状態で、基準電圧 V_{REF1} として三角波が与えられ、信号レベルの出力電圧 V_{out2} と基準電圧 V_{REF1} とが比較される。そして、信号レベルの出力電圧 V_{out2} のレベルが基準電圧 V_{REF1} のレベルと一致するまで出力電圧 V_{out4} のハイレベルが維持され、出力電圧 V_{out4} がロウレベルに反転するまで今度はアップダウンカウンタ $UD1$ がアップカウントすることで、信号レベルの出力電圧 V_{out2} と基準レベルの出力電圧 V_{out2} との差分がデジタル値 D に変換され、ラインメモリ $LM1$ に送られる。この結果、ラインメモリ $LM1$ には、 CDS にて検出された増幅率 $A1$ の信号成分として、増幅率 $A1$ で増幅された信号からサンプリングされた第1の信号レベルと第1の基準レベルとの差分が保持される。

30

【 0 0 8 5 】

また、信号レベルの出力電圧 V_{out3} がコンデンサ C_{23} を介してコンパレータ $PA2$ に入力された状態で、基準電圧 V_{REF2} として三角波が与えられ、信号レベルの出力電圧 V_{out3} と基準電圧 V_{REF2} とが比較される。そして、信号レベルの出力電圧 V_{out3} のレベルが基準電圧 V_{REF2} のレベルと一致するまで出力電圧 V_{out5} のハイレベルが維持され、出力電圧 V_{out5} がロウレベルに反転するまで今度はアップダウンカウンタ $UD2$ がアップカウントすることで、信号レベルの出力電圧 V_{out3} と基準レベルの出力電圧 V_{out3} との差分がデジタル値 D に変換され、ラインメモリ $LM2$ に送られる。この結果、ラインメモリ $LM2$ には、 CDS にて検出された増幅率 $A2$ の信号成分として、増幅率 $A2$ で増幅された信号からサンプリングされた第2の信号レベルと第2の基準レベルとの差分が保持される。

40

【 0 0 8 6 】

ここで、増幅率 $A1$ の基準レベルの出力電圧 V_{out2} に基づいてダウンカウントした後、増幅率 $A1$ の信号レベルの出力電圧 V_{out2} に基づいてアップカウントすることに

50

より、信号レベルの読み出し時に基準レベルが重畳されている場合においても、その基準レベル分を相殺させることができ、CDSにて増幅率A1の信号成分を効果的に検出することができる。

【0087】

また、増幅率A2の基準レベルの出力電圧 V_{out3} に基づいてダウンカウントした後、増幅率A2の信号レベルの出力電圧 V_{out3} に基づいてアップカウントすることにより、信号レベルの読み出し時に基準レベルが重畳されている場合においても、その基準レベル分を相殺させることができ、CDSにて増幅率A2の信号成分を効果的に検出することができる。

【0088】

また、カラム増幅回路3-1b、3-2bにて差動増幅回路をそれぞれ構成することにより、増幅率A1、A2をそれぞれ調整するためにコンデンサを用いる必要がなくなり、図2のカラム増幅回路3-1a、3-2aとしてスイッチドキャパシタ型増幅回路を用いた場合に比べて面積を縮小することができる。

【0089】

また、カラム増幅回路3-1b、3-2bにて差動増幅回路をそれぞれ構成することにより、カラム増幅回路3-1b、3-2bのバイアス電流として定電流トランジスタTLに流れる電流を用いることができ、増幅トランジスタTbおよび定電流トランジスタTLにて構成されるソースフォロア回路と独立にカラム増幅回路3-1b、3-2bのバイアス電流を設定する必要がなくなることから、消費電力を低減することができる。

【0090】

また、カラム増幅回路3-1b、3-2bにて差動増幅回路をそれぞれ構成することにより、差動入力と同相成分を相殺させることが可能となり、各カラムのS/N比を向上させることが可能となる。

【0091】

なお、増幅率A2が増幅率A1より大きいものとする、増幅率A1の基準レベルのサンプリング 増幅率A2の基準レベルのサンプリング 増幅率A2の信号レベルのサンプリング 増幅率A1の信号レベルのサンプリングという順序で行い、増幅率A2の基準レベルのサンプリングと増幅率A2の信号レベルのサンプリングとは連続して行うことが好ましい。

【0092】

これにより、増幅率A1の基準レベルのサンプリング 増幅率A2の基準レベルのサンプリング 増幅率A1の信号レベルのサンプリング 増幅率A2の信号レベルのサンプリングという順序で行った場合に比べて、信号レベルの小さな信号についてのデジタルCDS時間TDを短くすることができる。このため、信号レベルの小さな信号についての1/fノイズやRTSノイズを減少させることができ、画質を向上させることができる。

【0093】

(第4実施形態)

図7は、本発明の第4実施形態に係る固体撮像装置の概略構成を示すブロック図である。

図7において、この固体撮像装置では、図1のカラム増幅回路3-1、3-2、サンプルホールド信号変換回路4-1、4-2、カラム走査回路7-1、7-2およびDAコンバータ9-1、9-2の代わりにカラム増幅回路3、サンプルホールド信号変換回路4、カラム走査回路7およびDAコンバータ9が設けられている。また、この固体撮像装置には、各画素PCnの信号成分に対する黒レベルを調整する減算器13を設けるようにしてもよい。

【0094】

カラム増幅回路3は、各画素PCから読み出された信号を増幅率A1、A2を切り替えてカラムごとに増幅することができる。サンプルホールド信号変換回路4は、増幅率A1、A2で増幅された各画素PCの信号成分をCDSにて検出することができる。カラム走

10

20

30

40

50

査回路7は、サンプルホールド信号変換回路4のラインメモリ6-1、6-2で保存した信号を読み出すために水平方向に走査することができる。D/Aコンバータ9は、サンプルホールド信号変換回路4に基準電圧VREFを出力することができる。

【0095】

なお、サンプルホールド信号変換回路4は、増幅率A1で増幅された各画素PCの信号から第1の基準レベルおよび第1の信号レベルをサンプリングし、各画素PCの信号成分を相関2重サンプリングにて検出することができる。また、サンプルホールド信号変換回路4は、増幅率A2で増幅された各画素PCの信号から第2の基準レベルおよび第2の信号レベルをサンプリングし、各画素PCの信号成分を相関2重サンプリングにて検出することができる。

10

【0096】

また、サンプルホールド信号変換回路4には、増幅率A1、A2で増幅された画素PCからの読み出し信号と基準電圧VREFとの比較結果に基づいてアップカウントおよびダウンカウントを行うことでCDSの基準レベルと信号レベルとの差分を算出するカラムADC回路5、増幅率A1で増幅された信号についてのカラムADC回路5のカウント値を水平画素分だけ記憶するラインメモリ6-1、増幅率A2で増幅された信号についてのカラムADC回路5のカウント値を水平画素分だけ記憶するラインメモリ6-2が設けられている。

【0097】

そして、行走査回路2にて画素PCが垂直方向に走査されることで、ロウ方向の画素PCが選択され、その画素PCから読み出された信号は垂直信号線Vlinを介してカラム増幅回路3に伝送される。そして、画素PCから読み出された信号がカラム増幅回路3にて増幅率A1、A2で増幅された後、サンプルホールド信号変換回路4に送られる。

20

【0098】

そして、サンプルホールド信号変換回路4において、増幅率A1で増幅された各画素PCの信号から第1の基準レベルおよび第1の信号レベルがサンプリングされ、第1の信号レベルと第1の基準レベルとの差分がとられることで各画素PCの信号成分がCDSにて検出され、出力信号Vout6として出力される。

【0099】

また、サンプルホールド信号変換回路4において、増幅率A2で増幅された各画素PCの信号から第2の基準レベルおよび第2の信号レベルがサンプリングされ、第2の信号レベルと第2の基準レベルとの差分がとられることで各画素PCの信号成分がCDSにて検出され、出力信号Vout7として出力される。

30

【0100】

ここで、カラムADC回路5では、増幅率A1で増幅された各画素PCの信号からサンプリングされた第1の基準レベルが基準電圧VREFのレベルと一致するまでダウンカウント動作が行われた後、今度は増幅率A1で増幅された各画素PCの信号からサンプリングされた第1の信号レベルが基準電圧VREFのレベルと一致するまでアップカウント動作が行われることで、CDSにて検出される増幅率A1の信号成分がデジタル値に変換され、水平画素分だけラインメモリ6-1に保持される。

40

【0101】

また、カラムADC回路5では、増幅率A2で増幅された各画素PCの信号からサンプリングされた第2の基準レベルが基準電圧VREFのレベルと一致するまでダウンカウント動作が行われた後、今度は増幅率A2で増幅された各画素PCの信号からサンプリングされた第2の信号レベルが基準電圧VREFのレベルと一致するまでアップカウント動作が行われることで、CDSにて検出される増幅率A2の信号成分がデジタル値に変換され、水平画素分だけラインメモリ6-2に保持される。

【0102】

また、減算器13において、必要に応じて出力信号Vout6から黒レベルSBが減算されることで、出力信号Vout6の黒レベルが調整され、乗算器10に出力される。

50

【0103】

ここで、サンプルホールド信号変換回路4にて増幅率A1、A2ごとに基準レベルをサンプリングさせることにより、増幅率A1、A2が切り替えられる場合においても、CDSにてノイズを効果的に抑圧させることができる。

【0104】

また、カラム増幅回路3にて増幅率A1、A2を切り替えられるようにすることにより、図1のカラム増幅回路3-1、3-2およびサンプルホールド信号変換回路4-1、4-2を増幅率A1、A2ごとに設ける必要がなくなり、回路規模の増大を抑制することができる。

【0105】

(第5実施形態)

図8は、本発明の第5実施形態に係る固体撮像装置の1カラム分の概略構成を示す回路図である。

図8において、この固体撮像装置では、図2のカラム増幅回路3-1a、3-2aおよびサンプルホールド信号変換回路4-1a、4-2aの代わりにカラム増幅回路3aおよびサンプルホールド信号変換回路4aが設けられている。

【0106】

カラム増幅回路3aには、コンデンサC1、C2-1、C2-2、C3、オペアンプOP、インバータV4およびスイッチトランジスタTsc1-1、Tsc2-1がカラムごとに設けられている。そして、オペアンプOPの入力端子にはコンデンサC1を介して垂直信号線Vlinが接続され、オペアンプOPの入力端子と出力端子の間にはコンデンサC2-1が接続されている。また、コンデンサC2-1にはスイッチトランジスタTsc1-1が並列に接続されている。また、コンデンサC2-1にはスイッチトランジスタTsc2-1とコンデンサC2-2との直列回路が並列に接続されている。また、スイッチトランジスタTsc1-1のゲートには、リセットパルスPscが入力され、スイッチトランジスタTsc2-1のゲートには、インバータV4を介して切替信号SET-Aが入力される。

【0107】

なお、カラム増幅回路3aでは、スイッチトランジスタTsc2-1をオン/オフすることで増幅率A1、A2を切り替えることができる。例えば、スイッチトランジスタTsc2-1をオンした場合、カラム増幅回路3aの増幅率A1は $C_1 / (C_{2-1} + C_{2-2})$ で与えられる。また、スイッチトランジスタTsc2-1をオフした場合、カラム増幅回路3aの増幅率A2は C_1 / C_{2-1} で与えられる。ただし、コンデンサC1の容量値を C_1 、コンデンサC2-1の容量値を C_{2-1} 、コンデンサC2-2の容量値を C_{2-2} とした。

【0108】

サンプルホールド信号変換回路4aには、コンパレータPA、スイッチトランジスタcp、インバータV、スイッチSW1、アップダウンカウンタUD1、UD2およびラインメモリLM1、LM2がカラムごとに設けられている。

【0109】

そして、コンパレータPAの反転入力端子にはコンデンサC3を介してオペアンプOPの出力端子が接続され、コンパレータPAの非反転入力端子には基準電圧VREFが入力される。コンパレータPAの反転入力端子と出力端子の間にはスイッチトランジスタcpが接続されている。コンパレータPAの出力端子はインバータVを介してスイッチSW1に接続され、スイッチSW1のL側はアップダウンカウンタUD1に接続され、スイッチSW1のH側はアップダウンカウンタUD2に接続されている。

【0110】

図9は、図8の固体撮像装置の1画素分の読み出し動作を示すタイミングチャートである。

図9において、切替信号SET-Aがロウレベルに設定されている場合、切替信号SE

10

20

30

40

50

T - A はインバータ V 4 にて反転されることでハイレベルになり、スイッチトランジスタ T s c 2 - 1 がオンされることで、カラム増幅回路 3 a の増幅率は A 1 に設定される。また、切替信号 S E T - A がロウレベルに設定されている場合、スイッチ S W 1 が L 側に切り替えられる。

【 0 1 1 1 】

そして、行選択信号 A D R E S n がハイレベルになると、画素 P C n の行選択トランジスタ T a がオンし、増幅トランジスタ T b のドレインに電源電位 V D D が印加されることで、増幅トランジスタ T b と定電流トランジスタ T L とでソースフォロアが構成される。

【 0 1 1 2 】

そして、行選択トランジスタ T a がオンの状態でリセット信号 R E S E T n がハイレベルになると、リセットトランジスタ T c がオンし、フローティングディフュージョン F D の基準レベルに応じた電圧が増幅トランジスタ T b のゲートにかかることで、基準レベルの出力電圧 V o u t 1 として垂直信号線 V l i n に出力される。

【 0 1 1 3 】

そして、基準レベルの出力電圧 V o u t 1 が垂直信号線 V l i n に出力されている時に、リセットパルス P s c がスイッチトランジスタ T s c 1 - 1 のゲートに印加されると、オペアンプ O P の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、垂直信号線 V l i n との電圧の差分は、コンデンサ C 1 に保持され、オペアンプ O P の入力電圧がゼロ設定される。

【 0 1 1 4 】

また、基準レベルの出力電圧 V o u t 1 が垂直信号線 V l i n に出力されている時に、リセットパルス P c p がスイッチトランジスタ T c p のゲートに印加されると、コンパレータ P A の反転入力端子の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、オペアンプ O P からの出力電圧 V o u t 2 との電圧の差分は、コンデンサ C 3 に保持され、コンパレータ P A の入力電圧がゼロ設定される。

【 0 1 1 5 】

スイッチトランジスタ T s c 1 - 1 がオフした後、オペアンプ O P の入力電圧が変化すると、入力電圧がゼロ電圧になるようにコンデンサ C 2 - 1、C 2 - 2 から電圧がフィードバックされる。この結果、入力で変化した電圧がオペアンプ O P からは増幅率 A 1 で反転増幅された出力電圧 V o u t 2 が出力され、コンデンサ C 3 を介してコンパレータ P A の反転入力端子に印加される。

【 0 1 1 6 】

スイッチトランジスタ T c p がオフした後、増幅率 A 1 の基準レベルの出力電圧 V o u t 2 がコンデンサ C 3 を介してコンパレータ P A に入力された状態で、基準電圧 V R E F として三角波が与えられ、増幅率 A 1 の基準レベルの出力電圧 V o u t 2 と基準電圧 V R E F とが比較される。そして、コンパレータ P A の出力電圧はインバータ V にて反転された後、出力電圧 V o u t 4 としてスイッチ S W 1 を介してアップダウンカウンタ U D 1 に入力される。

【 0 1 1 7 】

そして、増幅率 A 1 の基準レベルの出力電圧 V o u t 2 が基準電圧 V R E F のレベルと一致するまで出力電圧 V o u t 4 のハイレベルが維持され、出力電圧 V o u t 4 がロウレベルに反転するまでアップダウンカウンタ U D 1 がダウンカウントすることで、増幅率 A 1 の基準レベルの出力電圧 V o u t 2 がデジタル値 D に変換され、増幅率 A 1 で増幅された信号の第 1 の基準レベルとしてアップダウンカウンタ U D 1 に保持される。

【 0 1 1 8 】

次に、切替信号 S E T - A がハイレベルに遷移すると、切替信号 S E T - A はインバータ V 4 にて反転されることでロウレベルになり、スイッチトランジスタ T s c 2 - 1 がオフされることで、カラム増幅回路 3 a の増幅率は A 2 に設定される。また、切替信号 S E T - A がハイレベルに設定されている場合、スイッチ S W 1 が H 側に切り替えられる。

【 0 1 1 9 】

10

20

30

40

50

そして、切替信号 S E T - A がハイレベルに遷移した後、オペアンプ O P の入力電圧が変化すると、入力電圧がゼロ電圧になるようにコンデンサ C 2 - 1 から電圧がフィードバックされる。この結果、入力で変化した電圧がオペアンプ O P からは増幅率 A 2 で反転増幅された基準レベルの出力電圧 V o u t 2 が出力され、コンデンサ C 3 を介してコンパレータ P A の反転入力端子に印加される。

【 0 1 2 0 】

そして、増幅率 A 2 の基準レベルの出力電圧 V o u t 2 がコンデンサ C 3 を介してコンパレータ P A に入力された状態で、基準電圧 V R E F として三角波が与えられ、増幅率 A 2 の基準レベルの出力電圧 V o u t 2 と基準電圧 V R E F とが比較される。そして、コンパレータ P A の出力電圧はインバータ V にて反転された後、出力電圧 V o u t 4 としてスイッチ S W 1 を介してアップダウンカウンタ U D 2 に入力される。

10

【 0 1 2 1 】

そして、増幅率 A 2 の基準レベルの出力電圧 V o u t 2 が基準電圧 V R E F のレベルと一致するまで出力電圧 V o u t 4 のハイレベルが維持され、出力電圧 V o u t 4 がロウレベルに反転するまでアップダウンカウンタ U D 2 がダウンカウントすることで、増幅率 A 2 の基準レベルの出力電圧 V o u t 2 がデジタル値 D に変換され、増幅率 A 2 で増幅された信号の第 2 の基準レベルとしてアップダウンカウンタ U D 2 に保持される。

【 0 1 2 2 】

次に、画素 P C n の行選択トランジスタ T a がオンの状態で読み出し信号 R E A D n がハイレベルになると、読み出しトランジスタ T d がオンし、フォトダイオード P D に蓄積されていた電荷がフローティングディフュージョン F D に転送される。そして、フローティングディフュージョン F D の信号レベルに応じた電圧が増幅トランジスタ T b のゲートにかかることで、信号レベルの出力電圧 V o u t 1 として垂直信号線 V l i n に出力される。

20

【 0 1 2 3 】

そして、信号レベルの出力電圧 V o u t 1 がコンデンサ C 1 を介してオペアンプ O P の入力端子に印加されることで、オペアンプ O P の入力電圧が変化すると、入力電圧がゼロ電圧になるようにコンデンサ C 2 - 1 から電圧がフィードバックされる。この結果、オペアンプ O P からは増幅率 A 2 で反転増幅された信号レベルの出力電圧 V o u t 2 が出力され、コンデンサ C 3 を介してコンパレータ P A の反転入力端子に印加される。

30

【 0 1 2 4 】

そして、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 がコンデンサ C 3 を介してコンパレータ P A に入力された状態で、基準電圧 V R E F として三角波が与えられ、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 と基準電圧 V R E F とが比較される。そして、コンパレータ P A の出力電圧はインバータ V にて反転された後、出力電圧 V o u t 4 としてスイッチ S W 1 を介してアップダウンカウンタ U D 2 に入力される。

【 0 1 2 5 】

そして、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 が基準電圧 V R E F のレベルと一致するまで出力電圧 V o u t 4 のハイレベルが維持され、出力電圧 V o u t 4 がロウレベルに反転するまで今度はアップダウンカウンタ U D 2 がアップカウントすることで、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 と基準レベルの出力電圧 V o u t 2 との差分がデジタル値 D に変換され、ラインメモリ L M 2 に送られる。この結果、ラインメモリ L M 2 には、C D S にて検出された増幅率 A 2 の信号成分として、増幅率 A 2 で増幅された信号からサンプリングされた第 2 の信号レベルと第 2 の基準レベルとの差分が保持される。

40

【 0 1 2 6 】

次に、切替信号 S E T - A がロウレベルに遷移すると、切替信号 S E T - A はインバータ V 4 にて反転されることでハイレベルになり、スイッチトランジスタ T s c 2 - 1 がオンされることで、カラム増幅回路 3 a の増幅率は A 1 に設定される。また、切替信号 S E T - A がロウレベルに遷移すると、スイッチ S W 1 が L 側に切り替えられる。

50

【0127】

そして、増幅率A1の信号レベルの出力電圧Vout2がコンデンサC3を介してコンパレータPAに入力された状態で、基準電圧VREFとして三角波が与えられ、増幅率A1の信号レベルの出力電圧Vout2と基準電圧VREFとが比較される。そして、コンパレータPAの出力電圧はインバータVにて反転された後、出力電圧Vout4としてスイッチSW1を介してアップダウンカウンタUD1に入力される。

【0128】

そして、増幅率A1の信号レベルの出力電圧Vout2が基準電圧VREFのレベルと一致するまで出力電圧Vout4のハイレベルが維持され、出力電圧Vout4がロウレベルに反転するまで今度はアップダウンカウンタUD1がアップカウントすることで、増幅率A1の信号レベルの出力電圧Vout2と基準レベルの出力電圧Vout2との差分がデジタル値Dに変換され、ラインメモリLM1に送られる。この結果、ラインメモリLM1には、CDSにて検出された増幅率A1の信号成分として、増幅率A1で増幅された信号からサンプリングされた第1の信号レベルと第1の基準レベルとの差分が保持される。

10

【0129】

ここで、画素PCnから読み出された信号の増幅率の切替前に第1の基準レベルと第1の信号レベルをサンプリングし、画素PCnから読み出された信号の増幅率の切替後に第2の基準レベルと第2の信号レベルをサンプリングすることにより、画素PCnから読み出された信号の増幅率が切り替えられた場合においても、その増幅率に応じた基準レベル分を相殺させることができ、CDSによるノイズの抑圧効果を増大させることができる。

20

【0130】

なお、この第5実施形態では、増幅率A1の信号成分および増幅率A2の信号成分の双方とも黒レベルがキャンセルされるため、図7の減算器13による黒レベルの調整は不要である。

【0131】

(第6実施形態)

図10は、本発明の第6実施形態に係る固体撮像装置の1カラム分の概略構成を示す回路図である。

図10において、この固体撮像装置では、図8のカラム増幅回路3aおよびサンプルホールド信号変換回路4aの代わりにカラム増幅回路3bおよびサンプルホールド信号変換回路4bが設けられている。

30

【0132】

カラム増幅回路3bには、カラム増幅回路3-1b'、3-2b'、スイッチSW2およびインバータV3が設けられている。ここで、カラム増幅回路3-1b'の増幅率はA1に設定され、カラム増幅回路3b-2'の増幅率はA2に設定されている。

【0133】

カラム増幅回路3-1b'には、増幅トランジスタTf1および負荷トランジスタTe1がカラムごとに設けられている。増幅トランジスタTf1のソースは、垂直信号線Vlinに接続され、増幅トランジスタTf1のドレインは、負荷トランジスタTe1のソースに接続されている。増幅トランジスタTf1のゲートは、コンデンサC31を介して接地されるとともに、スイッチトランジスタTc11を介してコンパレータPA3の出力端子に接続されている。負荷トランジスタTe1のドレインは、電源電位VDDに接続され、負荷トランジスタTe1のゲートは、スイッチSWsf1に接続されている。

40

【0134】

カラム増幅回路3-2b'には、増幅トランジスタTf2および負荷トランジスタTe2がカラムごとに設けられている。増幅トランジスタTf2のソースは、垂直信号線Vlinに接続され、増幅トランジスタTf2のドレインは、負荷トランジスタTe2のソースに接続されている。増幅トランジスタTf2のゲートは、コンデンサC32を介して接地されるとともに、スイッチトランジスタTc12を介してコンパレータPA3の出力

50

端子に接続されている。負荷トランジスタ $T e 2$ のドレインは、電源電位 $V D D$ に接続され、負荷トランジスタ $T e 2$ のゲートは、スイッチ $S W s f 2$ に接続されている。

【0135】

また、スイッチ $S W s f 1$ は切替信号 $S E T - A$ をインバータ $V 3$ にて反転させた信号にて切り替えられ、スイッチ $S W s f 2$ は切替信号 $S E T - A$ にて切り替えられる。スイッチ $S W 2$ の L 側は増幅トランジスタ $T f 1$ のドレインに接続され、スイッチ $S W 2$ の H 側は増幅トランジスタ $T f 2$ のドレインに接続されている。スイッチトランジスタ $T c p 1 1$ のゲートにはリセットパルス $P c p 1$ が入力され、スイッチトランジスタ $T c p 1 2$ のゲートにはリセットパルス $P c p 2$ が入力される。

【0136】

サンプルホールド信号変換回路 $4 b$ には、図 8 のサンプルホールド信号変換回路 $4 a$ のコンパレータ $P A$ 、スイッチトランジスタ $T c p$ およびインバータ V の代わりにコンパレータ $P A 3$ が設けられている。

【0137】

ここで、コンパレータ $P A 3$ の非反転入力端子はスイッチ $S W 2$ に接続され、コンパレータ $P A 3$ の反転入力端子には基準電圧 $V R E F$ が入力され、コンパレータ $P A 3$ の出力端子はスイッチ $S W 1$ に接続されている。

【0138】

図 11 は、図 10 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

図 11 において、切替信号 $S E T - A$ がロウレベルに設定されている場合、スイッチ $S W s f 2$ が L 側に切り替えられるとともに、切替信号 $S E T - A$ はインバータ $V 3$ にて反転されることでハイレベルになり、スイッチ $S W s f 1$ が H 側に切り替えられる。また、切替信号 $S E T - A$ がロウレベルに設定されている場合、スイッチ $S W 1$ 、 $S W 2$ が L 側に切り替えられる。

【0139】

そして、行選択信号 $A D R E S n$ がハイレベルになると、画素 $P C$ の行選択トランジスタ $T a$ がオンし、増幅トランジスタ $T b$ のドレインに電源電位 $V D D$ が印加されることで、増幅トランジスタ $T b$ と定電流トランジスタ $T L$ とでソースフォロアが構成される。

【0140】

そして、行選択トランジスタ $T a$ がオンの状態でリセット信号 $R E S E T n$ がハイレベルになると、リセットトランジスタ $T c$ がオンし、フローティングディフュージョン $F D$ の基準レベルに応じた電圧が増幅トランジスタ $T b$ のゲートにかかることで、基準レベルの出力電圧 $V o u t 1$ として垂直信号線 $V l i n$ に出力される。

【0141】

そして、スイッチ $S W s f 1$ が H 側に切り替えられた状態で基準レベルの出力電圧 $V o u t 1$ が増幅トランジスタ $T f 1$ のソースに印加されることで、増幅トランジスタ $T f 1$ のドレインから増幅率 $A 1$ の基準レベルの出力電圧 $V o u t 2$ が出力される。

【0142】

この基準レベルの信号が垂直信号線 $V l i n$ に出力されている時に、スイッチトランジスタ $T c p 1 1$ のゲートにリセットパルス $P c p 1$ が入力されると、コンパレータ $P A 3$ の出力電圧 $V o u t 4$ がコンデンサ $C 3 1$ に保持され、増幅トランジスタ $T f 1$ のゲートに印加されることでバイアス電圧が与えられる。

【0143】

次に、切替信号 $S E T - A$ がハイレベルに遷移すると、スイッチ $S W s f 2$ が H 側に切り替えられるとともに、切替信号 $S E T - A$ はインバータ $V 3$ にて反転されることでロウレベルになり、スイッチ $S W s f 1$ が L 側に切り替えられる。また、切替信号 $S E T - A$ がハイレベルに遷移すると、スイッチ $S W 1$ 、 $S W 2$ が H 側に切り替えられる。

【0144】

そして、スイッチ $S W s f 2$ が H 側に切り替えられた状態で基準レベルの出力電圧 $V o$

10

20

30

40

50

u t 1 が増幅トランジスタ T f 2 のソースに印加されることで、増幅トランジスタ T f 2 のドレインから増幅率 A 2 の基準レベルの出力電圧 V o u t 3 が出力される。

【 0 1 4 5 】

この基準レベルの信号が垂直信号線 V l i n に出力されている時に、スイッチトランジスタ T c p 1 2 のゲートにリセットパルス P c p 2 が入力されると、コンパレータ P A 3 の出力電圧 V o u t 4 がコンデンサ C 3 2 に保持され、増幅トランジスタ T f 2 のゲートに印加されることでバイアス電圧が与えられる。

【 0 1 4 6 】

次に、切替信号 S E T - A がロウレベルに遷移すると、スイッチ S W s f 2 が L 側に切り替えられるとともに、切替信号 S E T - A はインバータ V 3 にて反転されることでハイレベルになり、スイッチ S W s f 1 が H 側に切り替えられる。また、切替信号 S E T - A がロウレベルに遷移すると、スイッチ S W 1、S W 2 が L 側に切り替えられる。

10

【 0 1 4 7 】

その後、増幅率 A 1 の基準レベルの出力電圧 V o u t 2 がスイッチ S W 2 を介してコンパレータ P A 3 に入力された状態で、基準電圧 V R E F として三角波が与えられ、増幅率 A 1 の基準レベルの出力電圧 V o u t 2 と基準電圧 V R E F とが比較される。そして、増幅率 A 1 の基準レベルの出力電圧 V o u t 2 が基準電圧 V R E F のレベルと一致するまで出力電圧 V o u t 4 のハイレベルが維持され、出力電圧 V o u t 4 がロウレベルに反転するまでアップダウンカウンタ U D 1 がダウンカウントすることで、増幅率 A 1 の基準レベルの出力電圧 V o u t 2 がデジタル値 D に変換され、増幅率 A 1 で増幅された信号の第 1

20

【 0 1 4 8 】

次に、切替信号 S E T - A がハイレベルに遷移すると、スイッチ S W s f 2 が H 側に切り替えられるとともに、切替信号 S E T - A はインバータ V 3 にて反転されることでロウレベルになり、スイッチ S W s f 1 が L 側に切り替えられる。また、切替信号 S E T - A がハイレベルに遷移すると、スイッチ S W 1、S W 2 が H 側に切り替えられる。

【 0 1 4 9 】

その後、増幅率 A 2 の基準レベルの出力電圧 V o u t 3 がスイッチ S W 2 を介してコンパレータ P A 3 に入力された状態で、基準電圧 V R E F として三角波が与えられ、増幅率 A 2 の基準レベルの出力電圧 V o u t 3 と基準電圧 V R E F とが比較される。そして、増幅率 A 2 の基準レベルの出力電圧 V o u t 3 が基準電圧 V R E F のレベルと一致するまで出力電圧 V o u t 4 のハイレベルが維持され、出力電圧 V o u t 4 がロウレベルに反転するまでアップダウンカウンタ U D 2 がダウンカウントすることで、増幅率 A 2 の基準レベルの出力電圧 V o u t 3 がデジタル値 D に変換され、増幅率 A 2 で増幅された信号の第 2

30

【 0 1 5 0 】

次に、画素 P C n の行選択トランジスタ T a がオンの状態で読み出し信号 R E A D n がハイレベルになると、読み出しトランジスタ T d がオンし、フォトダイオード P D に蓄積されていた電荷がフローティングディフュージョン F D に転送される。そして、フローティングディフュージョン F D の信号レベルに応じた電圧が増幅トランジスタ T b のゲートにかかると、信号レベルの出力電圧 V o u t 1 として垂直信号線 V l i n に出力される。

40

【 0 1 5 1 】

そして、信号レベルの出力電圧 V o u t 1 が増幅トランジスタ T f 1 のソースに印加されることで、増幅トランジスタ T f 1 のドレインから増幅率 A 2 の信号レベルの出力電圧 V o u t 2 が出力される。

【 0 1 5 2 】

その後、増幅率 A 2 の信号レベルの出力電圧 V o u t 3 がスイッチ S W 2 を介してコンパレータ P A 3 に入力された状態で、基準電圧 V R E F として三角波が与えられ、増幅率 A 2 の信号レベルの出力電圧 V o u t 3 と基準電圧 V R E F とが比較される。そして、増幅

50

率 A 2 の信号レベルの出力電圧 V_{out3} のレベルが基準電圧 V_{REF} のレベルと一致するまで出力電圧 V_{out4} のハイレベルが維持され、出力電圧 V_{out4} がロウレベルに反転するまで今度はアップダウンカウンタ $UD2$ がアップカウントすることで、増幅率 A 2 の信号レベルの出力電圧 V_{out3} と基準レベルの出力電圧 V_{out3} との差分がデジタル値 D に変換され、ラインメモリ $LM2$ に送られる。この結果、ラインメモリ $LM2$ には、 CDS にて検出された増幅率 A 2 の信号成分として、増幅率 A 2 で増幅された信号からサンプリングされた第 2 の信号レベルと第 2 の基準レベルとの差分が保持される。

【0153】

次に、切替信号 $SET-A$ がロウレベルに遷移すると、スイッチ $SWsf2$ が L 側に切り替えられるとともに、切替信号 $SET-A$ はインバータ $V3$ にて反転されることでハイレベルになり、スイッチ $SWsf1$ が H 側に切り替えられる。また、切替信号 $SET-A$ がロウレベルに遷移すると、スイッチ $SW1$ 、 $SW2$ が L 側に切り替えられる。

10

【0154】

その後、増幅率 A 1 の信号レベルの出力電圧 V_{out2} がスイッチ $SW2$ を介してコンパレータ PA に入力された状態で、基準電圧 V_{REF} として三角波が与えられ、増幅率 A 1 の信号レベルの出力電圧 V_{out2} と基準電圧 V_{REF} とが比較される。そして、増幅率 A 1 の信号レベルの出力電圧 V_{out2} のレベルが基準電圧 V_{REF} のレベルと一致するまで出力電圧 V_{out4} のハイレベルが維持され、出力電圧 V_{out4} がロウレベルに反転するまで今度はアップダウンカウンタ $UD1$ がアップカウントすることで、増幅率 A 1 の信号レベルの出力電圧 V_{out2} と基準レベルの出力電圧 V_{out2} との差分がデジタル値 D に変換され、ラインメモリ $LM1$ に送られる。この結果、ラインメモリ $LM1$ には、 CDS にて検出された増幅率 A 1 の信号成分として、増幅率 A 1 で増幅された信号からサンプリングされた第 1 の信号レベルと第 1 の基準レベルとの差分が保持される。

20

【0155】

ここで、画素 PCn から読み出された信号の増幅率 A1 の第 1 の基準レベルと第 1 の信号レベルをサンプリングし、画素 PCn から読み出された信号の増幅率 A2 の第 2 の基準レベルと第 2 の信号レベルをサンプリングすることにより、画素 PCn から読み出された信号の増幅率が切り替えられた場合においても、その増幅率に応じた基準レベル分を相殺させることができ、 CDS によるノイズの抑圧効果を増大させることができる。

30

【0156】

なお、この第 6 実施形態では、増幅率 A 1 の信号成分および増幅率 A 2 の信号成分の双方とも黒レベルがキャンセルされるため、図 7 の減算器 13 による黒レベルの調整は不要である。

【0157】

(第 7 実施形態)

図 12 は、本発明の第 7 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

図 12 において、この固体撮像装置では、図 8 のサンプルホールド信号変換回路 4 a の代わりにサンプルホールド信号変換回路 4 c が設けられている。

40

【0158】

ここで、サンプルホールド信号変換回路 4 c には、図 8 のスイッチ $SW1$ 、アップダウンカウンタ $UD1$ 、 $UD2$ およびラインメモリ $LM1$ 、 $LM2$ の代わりにアップダウンカウンタ UD およびラインメモリ $LM11$ 、 $LM12$ が設けられている。

【0159】

図 13 は、図 12 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

図 13 において、切替信号 $SET-A$ がハイレベルに設定されている場合、切替信号 $SET-A$ はインバータ $V4$ にて反転されることでロウレベルになり、スイッチトランジスタ $Tsc2-1$ がオフされることで、カラム増幅回路 3 a の増幅率は A 2 に設定される。

50

【0160】

そして、行選択信号 $A D R E S n$ がハイレベルになると、画素 $P C n$ の行選択トランジスタ $T a$ がオンし、増幅トランジスタ $T b$ のドレインに電源電位 $V D D$ が印加されることで、増幅トランジスタ $T b$ と定電流トランジスタ $T L$ とでソースフォロアが構成される。

【0161】

そして、行選択トランジスタ $T a$ がオンの状態でリセット信号 $R E S E T n$ がハイレベルになると、リセットトランジスタ $T c$ がオンし、フローティングディフュージョン $F D$ の基準レベルに応じた電圧が増幅トランジスタ $T b$ のゲートにかかることで、基準レベルの出力電圧 $V o u t 1$ として垂直信号線 $V l i n$ に出力される。

【0162】

そして、増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 1$ が垂直信号線 $V l i n$ に出力されている時に、リセットパルス $P s c$ がスイッチトランジスタ $T s c 1 - 1$ のゲートに印加されると、オペアンプ $O P$ の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、垂直信号線 $V l i n$ との電圧の差分は、コンデンサ $C 1$ に保持され、オペアンプ $O P$ の入力電圧がゼロ設定される。

10

【0163】

次に、切替信号 $S E T - A$ がロウレベルに遷移すると、切替信号 $S E T - A$ はインバータ $V 4$ にて反転されることでハイレベルになり、スイッチトランジスタ $T s c 2 - 1$ がオンされることで、カラム増幅回路 $3 a$ の増幅率は $A 1$ に設定される。

【0164】

そして、増幅率 $A 1$ の基準レベルの出力電圧 $V o u t 1$ が垂直信号線 $V l i n$ に出力されている時に、リセットパルス $P c p$ がスイッチトランジスタ $T c p$ のゲートに印加されると、コンパレータ $P A$ の反転入力端子の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、オペアンプ $O P$ からの出力電圧 $V o u t 2$ との電圧の差分は、コンデンサ $C 3$ に保持され、コンパレータ $P A$ の入力電圧がゼロ設定される。この時、コンデンサ $C 1$ と $C 3$ には、アナログ $C D S$ 動作時の基準レベルが保持される

20

【0165】

次に、切替信号 $S E T - A$ がハイレベルに遷移すると、切替信号 $S E T - A$ はインバータ $V 4$ にて反転されることでロウレベルになり、スイッチトランジスタ $T s c 2 - 1$ がオフされることで、カラム増幅回路 $3 a$ の増幅率は $A 2$ に設定される。

【0166】

そして、増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 2$ がコンデンサ $C 3$ を介してコンパレータ $P A$ に入力された状態で、基準電圧 $V R E F$ として三角波が与えられ、増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 2$ と基準電圧 $V R E F$ とが比較される。そして、コンパレータ $P A$ の出力電圧はインバータ V にて反転された後、出力電圧 $V o u t 4$ としてアップダウンカウンタ $U D$ に入力される。

30

【0167】

そして、増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 2$ が基準電圧 $V R E F$ のレベルと一致するまで出力電圧 $V o u t 4$ のハイレベルが維持され、出力電圧 $V o u t 4$ がロウレベルに反転するまでアップダウンカウンタ $U D$ がダウンカウントすることで、増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 2$ がデジタル値 D に変換され、増幅率 $A 2$ で増幅された信号の第2の基準レベルとしてアップダウンカウンタ $U D$ に保持される。

40

【0168】

次に、画素 $P C n$ の行選択トランジスタ $T a$ がオンの状態で読み出し信号 $R E A D n$ がハイレベルになると、読み出しトランジスタ $T d$ がオンし、フォトダイオード $P D$ に蓄積されていた電荷がフローティングディフュージョン $F D$ に転送される。そして、フローティングディフュージョン $F D$ の信号レベルに応じた電圧が増幅トランジスタ $T b$ のゲートにかかることで、信号レベルの出力電圧 $V o u t 1$ として垂直信号線 $V l i n$ に出力される。

【0169】

そして、信号レベルの出力電圧 $V o u t 1$ がコンデンサ $C 1$ を介してオペアンプ $O P$ の

50

入力端子に印加されることで、オペアンプOPの入力電圧が変化すると、入力電圧がゼロ電圧になるようにコンデンサC2 - 1から電圧がフィードバックされる。この結果、オペアンプOPからは増幅率A2で反転増幅された信号レベルの出力電圧Vout2が出力され、コンデンサC3を介してコンパレータPAの反転入力端子に印加される。

【0170】

そして、増幅率A2の信号レベルの出力電圧Vout2がコンデンサC3を介してコンパレータPAに入力された状態で、基準電圧VREFとして三角波が与えられ、増幅率A2の信号レベルの出力電圧Vout2と基準電圧VREFとが比較される。そして、コンパレータPAの出力電圧はインバータVにて反転された後、出力電圧Vout4としてアップダウンカウンタUDに入力される。

10

【0171】

そして、増幅率A2の信号レベルの出力電圧Vout2が基準電圧VREFのレベルと一致するまで出力電圧Vout4のハイレベルが維持され、出力電圧Vout4がロウレベルに反転するまで今度はアップダウンカウンタUDがアップカウントすることで、増幅率A2の信号レベルの出力電圧Vout2と基準レベルの出力電圧Vout2との差分がデジタル値Dに変換され、ラインメモリLM12に送られる。この結果、ラインメモリLM12には、CDSにて検出された増幅率A2の信号成分として、増幅率A2で増幅された信号からサンプリングされた第2の信号レベルと第2の基準レベルとの差分が保持される。CDSにて検出された増幅率A2の信号成分がラインメモリLM12に保持されると、アップダウンカウンタUDはリセットされる。

20

【0172】

次に、切替信号SET - Aがロウレベルに遷移すると、切替信号SET - AはインバータV4にて反転されることでハイレベルになり、スイッチトランジスタTsc2 - 1がオンされることで、カラム増幅回路3aの増幅率はA1に設定される。

【0173】

そして、増幅率A1の信号レベルの出力電圧Vout2がコンデンサC3を介してコンパレータPAに入力された状態で、基準電圧VREFとして三角波が与えられ、増幅率A1の信号レベルの出力電圧Vout2と基準電圧VREFとが比較される。そして、コンパレータPAの出力電圧はインバータVにて反転された後、出力電圧Vout4としてアップダウンカウンタUDに入力される。

30

【0174】

そして、増幅率A1の信号レベルの出力電圧Vout2が基準電圧VREFのレベルと一致するまで出力電圧Vout4のハイレベルが維持され、出力電圧Vout4がロウレベルに反転するまでアップダウンカウンタUDがアップカウントすることで、増幅率A1の信号レベルの出力電圧Vout2がデジタル値Dに変換され、ラインメモリLM11に送られる。この結果、ラインメモリLM11には、第1の信号レベルとコンデンサC1とC3に保存した第1の基準レベルとのアナログCDS処理された差分が保持される。

【0175】

ここで、画素PCnから読み出された信号の増幅率A1の第1の基準レベルと第1の信号レベルをサンプリングし、画素PCnから読み出された信号の増幅率A2の第2の基準レベルと第2の信号レベルをサンプリングすることにより、画素PCnから読み出された信号の増幅率が切り替えられた場合においても、その増幅率に応じた基準レベル分を相殺させることができ、CDSによるノイズの抑圧効果を増大させることができる。

40

【0176】

また、第1の基準レベルのサンプリングの際にアップダウンカウンタUDによるカウント動作を停止させることで、アップダウンカウンタUDの個数を削減することができ、回路規模を低減することができる。

【0177】

また、この第7実施形態では、増幅率A1の信号成分の黒レベルと増幅率A2の信号成分の黒レベルとを一致させるため、図7の減算器13による黒レベルの調整を行うことが

50

好ましい。

【0178】

なお、信号レベルが小さい時（増幅率 = A_2 ）には、垂直信号線 V_{lin} ごとに配置されたコンパレータ PA のしきい値 V_{th} のばらつきや、スイッチトランジスタ T_{cp} のオフ時のカップリング変動によってコンパレータ PA の出力がばらつくため、縦筋状のノイズが発生する。

【0179】

この縦たて筋ノイズを抑圧するために、基準レベルをデジタル的にダウンカウントで取り込み、信号レベルをアップカウントで取り込むことで、この縦筋状のノイズをキャンセルすることができる。この時の黒レベルは 0 レベルとなる。この処理は、基準レベルのノイズ（変動）をアップダウンカウンタ UD でデジタル的に保存することでノイズ抑圧しているためデジタル $CD S$ 動作と呼ぶ。

10

【0180】

一方、信号レベルが大きい時（増幅率 = A_1 ）には、基準レベルはコンデンサ C_1 と C_3 に保持される。この基準レベルには、フローティングディフュージョン FD をリセットした時のリセットノイズやカラム増幅回路 $3a$ の出力の変動などが含まれる。この時の基準電圧 V_{REF} の基準レベルは 64 レベルになるように設定することができる。

【0181】

次に、フォトダイオード PD から信号電荷を読み出すと、フローティングディフュージョン FD で電圧に変換することで、信号レベルが変化する。カラム増幅回路 $3a$ の出力 V_{out2} も同様に変化する。その変化分を信号レベルとして AD 変換する。その結果、基準レベルのノイズを抑圧した信号成分のみを得ることができる。この処理は、基準レベルのノイズ（変動）をコンデンサ C_1 と C_3 にアナログ的に保存することでノイズ抑圧しているためアナログ $CD S$ 動作と呼ぶ。この動作では、黒レベルは 64 レベルとなる。

20

【0182】

信号レベルが大きい時（増幅率 = A_1 ）には、ノイズが多少増加しても画像に表れない。よって、信号レベルが大きい時にはアナログ $CD S$ 動作のみとすることで、 AD 変換の動作時間を短くすることができ、高速動作を実現することができる。

【0183】

信号レベルが大きい時にアナログ $CD S$ 動作を行い、信号レベルが小さい時にデジタル $CD S$ 動作を行った場合、出力信号 V_{out6} 、 V_{out7} 間の黒レベルを合わせるために、図 7 の黒レベル SB を 64 レベルとすることで、出力信号 V_{out6} から 64 レベルを減算することができる。

30

【0184】

（第 8 実施形態）

図 14 は、本発明の第 8 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

図 14 において、この固体撮像装置では、図 10 のサンプルホールド信号変換回路 $4b$ の代わりにサンプルホールド信号変換回路 $4d$ が設けられている。

【0185】

ここで、サンプルホールド信号変換回路 $4d$ には、図 10 のスイッチ SW_1 、アップダウンカウンタ UD_1 、 UD_2 およびラインメモリ LM_1 、 LM_2 の代わりにアップダウンカウンタ UD およびラインメモリ LM_{11} 、 LM_{12} が設けられている。

40

【0186】

図 15 は、図 14 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

図 15 において、切替信号 $SET - A$ がロウレベルに設定されている場合、スイッチ SW_{sf2} が L 側に切り替えられるとともに、切替信号 $SET - A$ はインバータ V_3 にて反転されることでハイレベルになり、スイッチ SW_{sf1} が H 側に切り替えられる。また、切替信号 $SET - A$ がロウレベルに設定されている場合、スイッチ SW_2 が L 側に切り替

50

えられる。

【0187】

そして、行選択信号 $A D R E S n$ がハイレベルになると、画素 $P C$ の行選択トランジスタ $T a$ がオンし、増幅トランジスタ $T b$ のドレインに電源電位 $V D D$ が印加されることで、増幅トランジスタ $T b$ と定電流トランジスタ $T L$ とでソースフォロアが構成される。

【0188】

そして、行選択トランジスタ $T a$ がオンの状態でリセット信号 $R E S E T n$ がハイレベルになると、リセットトランジスタ $T c$ がオンし、フローティングディフュージョン $F D$ の基準レベルに応じた電圧が増幅トランジスタ $T b$ のゲートにかかることで、基準レベルの出力電圧 $V o u t 1$ として垂直信号線 $V l i n$ に出力される。

10

【0189】

そして、スイッチ $S W s f 1$ が H 側に切り替えられた状態で基準レベルの出力電圧 $V o u t 1$ が増幅トランジスタ $T f 1$ のソースに印加されることで、増幅トランジスタ $T f 1$ のドレインから増幅率 $A 1$ の基準レベルの出力電圧 $V o u t 2$ が出力される。

【0190】

この基準レベルの信号が垂直信号線 $V l i n$ に出力されている時に、スイッチトランジスタ $T c p 1 1$ のゲートにリセットパルス $P c p 1$ が入力されると、コンパレータ $P A 3$ の出力電圧 $V o u t 4$ がコンデンサ $C 3 1$ に保持され、増幅トランジスタ $T f 1$ のゲートに印加されることでバイアス電圧が与えられる。

【0191】

20

そして、スイッチトランジスタ $T c p 1 1$ がオフされることで、コンパレータ $P A 3$ の出力電圧 $V o u t 4$ が増幅率 $A 1$ で増幅された信号の第1の基準レベルとしてコンデンサ $C 3 1$ に取り込まれる。ここで、増幅率 $A 1$ の基準レベルの出力電圧 $V o u t 2$ が出力されている場合、基準電圧 $V R E F$ が一定値に維持されている。アップダウンカウンタ $U D$ はリセットした状態になっている。

【0192】

次に、切替信号 $S E T - A$ がハイレベルに遷移すると、スイッチ $S W s f 2$ が H 側に切り替えられるとともに、切替信号 $S E T - A$ はインバータ $V 3$ にて反転されることでロウレベルになり、スイッチ $S W s f 1$ が L 側に切り替えられる。また、切替信号 $S E T - A$ がハイレベルに遷移すると、スイッチ $S W 2$ が H 側に切り替えられる。

30

【0193】

そして、スイッチ $S W s f 2$ が H 側に切り替えられた状態で基準レベルの出力電圧 $V o u t 1$ が増幅トランジスタ $T f 2$ のソースに印加されることで、増幅トランジスタ $T f 2$ のドレインから増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 3$ が出力される。

【0194】

この基準レベルの信号が垂直信号線 $V l i n$ に出力されている時に、スイッチトランジスタ $T c p 1 2$ のゲートにリセットパルス $P c p 2$ が入力されると、コンパレータ $P A 3$ の出力電圧 $V o u t 4$ がコンデンサ $C 3 2$ に保持され、増幅トランジスタ $T f 2$ のゲートに印加されることでバイアス電圧が与えられる。

【0195】

40

その後、増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 3$ がスイッチ $S W 2$ を介してコンパレータ $P A 3$ に入力された状態で、基準電圧 $V R E F$ として三角波が与えられ、増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 3$ と基準電圧 $V R E F$ とが比較される。そして、増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 3$ が基準電圧 $V R E F$ のレベルと一致するまで出力電圧 $V o u t 4$ のハイレベルが維持され、出力電圧 $V o u t 4$ がロウレベルに反転するまでアップダウンカウンタ $U D$ がダウンカウントすることで、増幅率 $A 2$ の基準レベルの出力電圧 $V o u t 3$ がデジタル値 D に変換され、増幅率 $A 2$ で増幅された信号の第2の基準レベルとしてアップダウンカウンタ $U D$ に保持される。

【0196】

次に、画素 $P C n$ の行選択トランジスタ $T a$ がオンの状態で読み出し信号 $R E A D n$ が

50

ハイレベルになると、読み出しトランジスタ T_d がオンし、フォトダイオード PD に蓄積されていた電荷がフローティングディフュージョン FD に転送される。そして、フローティングディフュージョン FD の信号レベルに応じた電圧が増幅トランジスタ T_b のゲートにかかることで、信号レベルの出力電圧 V_{out1} として垂直信号線 V_{lin} に出力される。

【0197】

そして、信号レベルの出力電圧 V_{out1} が増幅トランジスタ T_{f2} のソースに印加されることで、増幅トランジスタ T_{f2} のドレインから増幅率 A_2 の信号レベルの出力電圧 V_{out3} が出力される。

【0198】

その後、増幅率 A_2 の信号レベルの出力電圧 V_{out3} がスイッチ SW_2 を介してコンパレータ PA に入力された状態で、基準電圧 V_{REF} として三角波が与えられ、増幅率 A_2 の信号レベルの出力電圧 V_{out3} と基準電圧 V_{REF} とが比較される。そして、増幅率 A_2 の信号レベルの出力電圧 V_{out3} のレベルが基準電圧 V_{REF} のレベルと一致するまで出力電圧 V_{out4} のハイレベルが維持され、出力電圧 V_{out4} がロウレベルに反転するまで今度はアップダウンカウンタ UD がアップカウントすることで、増幅率 A_2 の信号レベルの出力電圧 V_{out3} と基準レベルの出力電圧 V_{out3} との差分がデジタル値 D に変換され、ラインメモリ LM_{12} に送られる。この結果、ラインメモリ LM_{12} には、 CDS にて検出された増幅率 A_2 の信号成分として、増幅率 A_2 で増幅された信号からサンプリングされた第2の信号レベルと第2の基準レベルとの差分が保持される。 CDS にて検出された増幅率 A_2 の信号成分がラインメモリ LM_{12} に保持されると、アップダウンカウンタ UD はリセットされる。

【0199】

次に、切替信号 $SET - A$ がロウレベルに遷移すると、スイッチ SW_{sf2} が L 側に切り替えられるとともに、切替信号 $SET - A$ はインバータ V_3 にて反転されることでハイレベルになり、スイッチ SW_{sf1} が H 側に切り替えられる。また、切替信号 $SET - A$ がロウレベルに遷移すると、スイッチ SW_2 が L 側に切り替えられる。

【0200】

その後、増幅率 A_1 の信号レベルの出力電圧 V_{out2} がスイッチ SW_2 を介してコンパレータ PA に入力された状態で、基準電圧 V_{REF} として三角波が与えられ、増幅率 A_1 の信号レベルの出力電圧 V_{out2} と基準電圧 V_{REF} とが比較される。そして、増幅率 A_1 の信号レベルの出力電圧 V_{out2} のレベルが基準電圧 V_{REF} のレベルと一致するまで出力電圧 V_{out4} のハイレベルが維持され、出力電圧 V_{out4} がロウレベルに反転するまでアップダウンカウンタ UD がアップカウントすることで、増幅率 A_1 の信号レベルの出力電圧 V_{out2} がデジタル値 D に変換され、ラインメモリ LM_{11} に送られる。この結果、ラインメモリ LM_{11} には、第1の信号レベルとコンデンサ C_1 と C_3 に保存した第1の基準レベルとのアナログ CDS 処理された差分が保持される。

【0201】

ここで、画素 PC_n から読み出された信号の増幅率 A_1 の第1の基準レベルと第1の信号レベルをサンプリングし、画素 PC_n から読み出された信号の増幅率 A_2 の第2の基準レベルと第2の信号レベルをサンプリングすることにより、画素 PC_n から読み出された信号の増幅率が切り替えられた場合においても、その増幅率に応じた基準レベル分を相殺させることができ、 CDS によるノイズの抑圧効果を増大させることができる。

【0202】

また、第1の基準レベルのサンプリングの際にアップダウンカウンタ UD によるカウント動作を停止させることで、アップダウンカウンタ UD の個数を削減することができ、回路規模を低減することができる。

【0203】

また、この第8実施形態では、増幅率 A_1 の信号成分の黒レベルと増幅率 A_2 の信号成分の黒レベルとを一致させるため、図7の減算器 13 による黒レベルの調整を行うことが

10

20

30

40

50

好ましい。

【0204】

(第9実施形態)

図16は、本発明の第9実施形態に係る固体撮像装置の概略構成を示すブロック図である。

図16において、この固体撮像装置では、図7のサンプルホールド信号変換回路4の代わりにサンプルホールド信号変換回路31が設けられている。また、図7の乗算器10、コンパレータ11、スイッチ12および減算器13の代わりに乗算器35およびスイッチ36が設けられている。

【0205】

サンプルホールド信号変換回路31は、増幅率A1で増幅された信号から第1の基準レベルをサンプリングし、増幅率A2で増幅された信号から第2の基準レベルした後、各画素PCから読み出された信号の信号レベルに基づいて増幅率A1または増幅率A2で増幅された信号から信号レベルをサンプリングすることにより、各画素PCの信号成分を相関2重サンプリングにて検出することができる。

【0206】

ここで、サンプルホールド信号変換回路31には、増幅率A1、A2で増幅された画素PCからの読み出し信号と基準電圧VREFとの比較結果に基づいてアップカウントおよびダウンカウントを行うことでCDSの基準レベルと信号レベルとの差分を算出するカラムADC回路32、増幅率A1または増幅率A2で増幅された信号についてのカラムADC回路5のカウント値を水平画素分だけ記憶するラインメモリ33、各画素PCからの読み出し信号が増幅率A1または増幅率A2のどちらで増幅されるかを選択するゲイン選択部34が設けられている。

【0207】

また、乗算器35は、サンプルホールド信号変換回路31からの出力信号Vout11に増幅率A2を乗算することができる。スイッチ36は、ゲイン選択部34による選択結果に基づいて出力信号Vout8をL側またはH側に切り替えることができる。

【0208】

そして、行走査回路2にて画素PCが垂直方向に走査されることで、ロウ方向の画素PCが選択され、その画素PCから読み出された信号は垂直信号線Vlinを介してカラム増幅回路3に伝送される。そして、画素PCから読み出された信号がカラム増幅回路3にて増幅率A1、A2で増幅された後、サンプルホールド信号変換回路31に送られる。

【0209】

そして、サンプルホールド信号変換回路31において、増幅率A1で増幅された各画素PCの信号から第1の基準レベルがサンプリングされるとともに、増幅率A2で増幅された各画素PCの信号から第2の基準レベルがサンプリングされる。そして、各画素PCから読み出された信号の信号レベルに基づいて、その信号レベルが増幅率A1、A2のどちらで増幅されるかが判定され、その判定結果に基づいて第1の信号レベルと第1の基準レベルとの差分または第2の信号レベルと第2の基準レベルとの差分がとられ、出力信号Vout11として出力される。

【0210】

ここで、カラムADC回路32では、増幅率A1で増幅された各画素PCの信号からサンプリングされた第1の基準レベルが基準電圧VREFのレベルと一致するまでダウンカウント動作が行われ、その第1の基準レベルについてのカウント値が保持される。また、カラムADC回路32では、増幅率A2で増幅された各画素PCの信号からサンプリングされた第2の基準レベルが基準電圧VREFのレベルと一致するまでダウンカウント動作が行われ、その第2の基準レベルについてのカウント値が保持される。

【0211】

そして、各画素PCから読み出された信号の信号レベルの増幅率としてA1が選択された場合、第1の基準レベルについてのカウント値に対して今度は増幅率A1で増幅された

10

20

30

40

50

各画素 P C の信号からサンプリングされた第 1 の信号レベルが基準電圧 V R E F のレベルと一致するまでアップカウント動作が行われることで、C D S にて検出される増幅率 A 1 の信号成分がデジタル値に変換され、水平画素分だけラインメモリ 3 3 に保持される。

【 0 2 1 2 】

一方、各画素 P C から読み出された信号の信号レベルの増幅率として A 2 が選択された場合、第 2 の基準レベルについてのカウント値に対して今度は増幅率 A 2 で増幅された各画素 P C の信号からサンプリングされた第 2 の信号レベルが基準電圧 V R E F のレベルと一致するまでアップカウント動作が行われることで、C D S にて検出される増幅率 A 2 の信号成分がデジタル値に変換され、水平画素分だけラインメモリ 3 3 に保持される。

【 0 2 1 3 】

そして、各画素 P C から読み出された信号の信号レベルの増幅率として A 2 が選択された場合、スイッチ 3 6 が H 側に切り替えられ、出力信号 V o u t 1 1 が出力信号 V o u t 8 としてそのまま出力される。

【 0 2 1 4 】

一方、各画素 P C から読み出された信号の信号レベルの増幅率として A 1 が選択された場合、スイッチ 3 6 が L 側に切り替えられる。そして、乗算器 3 5 において、サンプルホールド信号変換回路 3 1 からの出力信号 V o u t 1 1 に増幅率 A 2 が乗算されることにより、増幅率 A 1 で増幅された出力信号 V o u t 1 1 が光量に対して線形化され、増幅率 A 2 が乗算された出力信号 V o u t 1 1 が出力信号 V o u t 8 として出力される。

【 0 2 1 5 】

ここで、サンプルホールド信号変換回路 3 1 にて増幅率 A 1 、 A 2 ごとに基準レベルをサンプリングさせることにより、増幅率 A 1 、 A 2 が切り替えられる場合においても、C D S にてノイズを効果的に抑圧させることができる。

【 0 2 1 6 】

また、各画素 P C から読み出された信号の信号レベルに基づいて増幅率 A 1 または増幅率 A 2 で増幅された信号から信号レベルをサンプリングすることにより、増幅率 A 1 、 A 2 ごとに信号レベルを同時に保持させる必要がなくなり、ラインメモリ 3 3 を増幅率 A 1 、 A 2 ごとに別個に設ける必要がなくなることから、回路規模の増大を抑制することができる。

【 0 2 1 7 】

(第 1 0 実施形態)

図 1 7 は、本発明の第 1 0 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

図 1 7 において、この固体撮像装置では、図 8 のサンプルホールド信号変換回路 4 a の代わりにサンプルホールド信号変換回路 3 1 a およびフリップフロップ F 1 が設けられている。

【 0 2 1 8 】

ここで、サンプルホールド信号変換回路 3 1 a には、コンパレータ P A 、スイッチトランジスタ T c p 、インバータ V 、スイッチ S W 1 1 、 S W 1 2 、 S W 1 5 、アップダウンカウンタ U D 1 1 、 U D 1 2 、ラインメモリ L M 2 1 、ゲイン選択部 S E 1 および論理積回路 N 1 1 がカラムごとに設けられている。なお、アップダウンカウンタ U D 1 1 、 U D 1 2 のビット数は、図 8 のアップダウンカウンタ U D 1 、 U D 2 のビット数よりも少なくてもよい。例えば、図 8 のアップダウンカウンタ U D 1 、 U D 2 のビット数が 1 0 ビット分だけ必要であるものとする、アップダウンカウンタ U D 1 1 、 U D 1 2 のビット数は 5 ビット分とすることができる。基準レベルの取り込みをアップダウンカウンタ U D 1 1 、 U D 1 2 のビット数を 5 ビット分とすると、最大で 3 2 レベルまでの基準レベルの変動をキャンセルさせることができる。基準レベルの変動が大きい場合は、例えば、アップダウンカウンタ U D 1 1 、 U D 1 2 のビット数を 7 ビット分とすると、最大で 1 2 8 レベルまでの基準レベルの変動をキャンセルさせることができる。

【 0 2 1 9 】

また、サンプルホールド信号変換回路 3 1 a には、アップダウンカウンタ U D 1 1、U D 1 2 を結合するカウンタ結合部 6 1 およびアップダウンカウンタ U D 1 1、U D 1 2 をリセットするリセット回路 6 2 が設けられている。

【 0 2 2 0 】

カウンタ結合部 6 1 には、論理和回路 N 1 2、N 1 3 およびスイッチ S W 1 3、S W 1 4 が設けられ、リセット回路 6 2 には論理積回路 N 1 4、N 1 5 および論理和回路 N 1 6、N 1 7 が設けられている。

【 0 2 2 1 】

論理積回路 N 1 1 の一方の入力端子はインバータ V の出力端子に接続され、論理積回路 N 1 1 の他方の入力端子には基準クロック C K C が入力される。スイッチ S W 1 1 の H 側は接地され、スイッチ S W 1 1 の L 側は論理積回路 N 1 1 の出力端子に接続されている。スイッチ S W 1 2 の H 側は論理積回路 N 1 1 の出力端子に接続され、スイッチ 1 2 の L 側は接地されている。また、スイッチ S W 1 1、1 2 は切替信号 S E T - A にて切り替えられる。

10

【 0 2 2 2 】

論理和回路 N 1 2 の一方の入力端子はフリップフロップ F 1 の出力端子 Q に接続され、論理和回路 N 1 2 の他方の入力端子には切替信号 S E T - P G が入力される。論理和回路 N 1 3 の一方の入力端子はフリップフロップ F 1 の反転出力端子 N Q に接続され、論理和回路 N 1 3 の他方の入力端子には切替信号 S E T - P G が入力される。

【 0 2 2 3 】

スイッチ S W 1 3 の L 側はスイッチ 1 1 の出力端子に接続され、スイッチ S W 1 3 の H 側はアップダウンカウンタ U D 1 2 の出力端子に接続されている。スイッチ S W 1 4 の H 側はスイッチ S W 1 2 の出力端子に接続され、スイッチ S W 1 4 の L 側はアップダウンカウンタ U D 1 1 の出力端子に接続されている。スイッチ S W 1 3 の出力端子はアップダウンカウンタ U D 1 1 の入力端子に接続され、スイッチ S W 1 4 の出力端子はアップダウンカウンタ U D 1 2 の入力端子に接続されている。また、スイッチ S W 1 3 は論理和回路 N 1 3 の出力にて切り替えられ、スイッチ S W 1 4 は論理和回路 N 1 2 の出力にて切り替えられる。

20

【 0 2 2 4 】

論理積回路 N 1 4 の一方の入力端子にはリセットパルス R - B C が入力され、論理積回路 N 1 4 の他方の入力端子はフリップフロップ F 1 の反転出力端子 N Q に接続されている。論理積回路 N 1 5 の一方の入力端子にはリセットパルス R - B C が入力され、論理積回路 N 1 4 の他方の入力端子はフリップフロップ F 1 の出力端子 Q に接続されている。

30

【 0 2 2 5 】

論理和回路 N 1 6 の一方の入力端子は論理積回路 N 1 4 の出力端子に接続され、論理和回路 N 1 6 の他方の入力端子にはリセットパルス A R - C が入力される。論理和回路 N 1 7 の一方の入力端子は論理積回路 N 1 5 の出力端子に接続され、論理和回路 N 1 7 の他方の入力端子にはリセットパルス A R - C が入力される。論理和回路 N 1 6 の出力端子はアップダウンカウンタ U D 1 2 のリセット端子に接続され、論理和回路 N 1 7 の出力端子はアップダウンカウンタ U D 1 1 のリセット端子に接続されている。

40

【 0 2 2 6 】

スイッチ S W 1 5 の H 側はアップダウンカウンタ U D 1 1 の出力端子に接続され、スイッチ S W 1 5 の L 側はアップダウンカウンタ U D 1 2 の出力端子に接続されている。スイッチ S W 1 5 はフリップフロップ F 1 の出力端子 Q からの出力にて切り替えられる。

【 0 2 2 7 】

ゲイン選択部 S E 1 は、フリップフロップ F 1 の出力端子 Q に接続されている。フリップフロップ F 1 の入力端子 D はインバータ V の出力端子に接続され、フリップフロップ F 1 のリセット端子 R にはリセット信号 R - F F が入力され、フリップフロップ F 1 のセット端子にはセットパルス S E T - G が入力される。

【 0 2 2 8 】

50

図18は、図17の固体撮像装置の1画素分の読み出し動作を示すタイミングチャートである。

図18において、切替信号SET-Aがロウレベルに設定されている場合、切替信号SET-AはインバータV4にて反転されることでハイレベルになり、スイッチトランジスタTs c 2 - 1がオンされることで、カラム増幅回路3aの増幅率はA1に設定される。

【0229】

そして、行選択信号ADDRESSnがハイレベルになると、画素PCnの行選択トランジスタTaがオンし、増幅トランジスタTbのドレインに電源電位VDDが印加されることで、増幅トランジスタTbと定電流トランジスタTLとでソースフォロアが構成される。

【0230】

そして、行選択トランジスタTaがオンの状態でリセット信号RESETnがハイレベルになると、リセットトランジスタTcがオンし、フローティングディフュージョンFDの基準レベルに応じた電圧が増幅トランジスタTbのゲートにかかることで、基準レベルの出力電圧Vout1として垂直信号線Vlinに出力される。

【0231】

ここで、リセットパルスPsc、Pcpが印加される時に切替信号SET-Aがハイレベルに遷移されることで、スイッチトランジスタTs c 2 - 1がオフされ、カラム増幅回路3aの増幅率はA2に設定される。

【0232】

そして、基準レベルの出力電圧Vout1が垂直信号線Vlinに出力されている時に、リセットパルスPscがスイッチトランジスタTs c 1 - 1のゲートに印加されると、オペアンプOPの入力電圧が出力電圧でクランプされ、動作点が設定される。この時、垂直信号線Vlinとの電圧の差分は、コンデンサC1に保持され、オペアンプOPの入力電圧がゼロ設定される。

【0233】

また、基準レベルの出力電圧Vout1が垂直信号線Vlinに出力されている時に、リセットパルスPcpがスイッチトランジスタTc pのゲートに印加されると、コンパレータPAの反転入力端子の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、オペアンプOPからの出力電圧Vout2との電圧の差分は、コンデンサC3に保持され、コンパレータPAの入力電圧がゼロ設定される。

【0234】

また、リセットパルスAR-Cが論理和回路N15、N14をそれぞれ介してアップダウンカウンタUD11、UD12のリセット端子に入力されることで、アップダウンカウンタUD11、UD12がリセットされる。

【0235】

次に、切替信号SET-Aがロウレベルに遷移されると、切替信号SET-AはインバータV4にて反転されることでハイレベルになり、スイッチトランジスタTs c 2 - 1がオンされることで、カラム増幅回路3aの増幅率はA1に設定される。

【0236】

また、切替信号SET-Aがロウレベルに遷移されると、スイッチSW11、SW12はL側に切り替えられる。また、切替信号SET-PGはハイレベルに設定され、スイッチSW13、SW14はH側に切り替えられる。この結果、論理積回路N11の出力端子は、スイッチSW11、SW13を順次介してアップダウンカウンタUD11の入力端子に接続される。この時、リセット信号R-FFはハイレベルに設定され、フリップフロップF1のフリップフロップF1の出力端子Qの電位はロウレベルになる。

【0237】

スイッチトランジスタTc pがオフした後、増幅率A1の基準レベルの出力電圧Vout2がコンデンサC3を介してコンパレータPAに入力された状態で、基準電圧VREFとして三角波が与えられ、増幅率A1の基準レベルの出力電圧Vout2と基準電圧VREFとが比較される。そして、コンパレータPAの出力電圧はインバータVにて反転され

10

20

30

40

50

た後、出力電圧 V_{out4} として論理積回路 $N11$ の一方の入力端子に入力されることで、基準クロック CKC が論理積回路 $N11$ を通過し、通過後の基準クロック $CKCi$ がアップダウンカウンタ $UD11$ にてダウンカウントされる。

【0238】

そして、増幅率 $A1$ の基準レベルの出力電圧 V_{out2} が基準電圧 V_{REF} のレベルと一致するまで出力電圧 V_{out4} のハイレベルが維持され、出力電圧 V_{out4} がロウレベルに反転するまでアップダウンカウンタ $UD11$ がダウンカウントすることで、増幅率 $A1$ の基準レベルの出力電圧 V_{out2} がデジタル値 D に変換され、増幅率 $A1$ で増幅された信号の第1の基準レベルとしてアップダウンカウンタ $UD11$ に保持される。

【0239】

次に、切替信号 $SET-A$ がハイレベルに遷移すると、切替信号 $SET-A$ はインバータ $V4$ にて反転されることでロウレベルになり、スイッチトランジスタ $Tsc2-1$ がオフされることで、カラム増幅回路 $3a$ の増幅率は $A2$ に設定される。

【0240】

また、切替信号 $SET-A$ がハイレベルに遷移されると、スイッチ $SW11$ 、 $SW12$ は H 側に切り替えられる。また、切替信号 $SET-PG$ はハイレベルに設定され、スイッチ $SW13$ 、 $SW14$ は H 側に切り替えられている。この結果、論理積回路 $N11$ の出力端子は、スイッチ $SW12$ 、 $SW14$ を順次介してアップダウンカウンタ $UD12$ の入力端子に接続される。

【0241】

そして、増幅率 $A2$ の基準レベルの出力電圧 V_{out2} がコンデンサ $C3$ を介してコンパレータ PA に入力された状態で、基準電圧 V_{REF} として三角波が与えられ、増幅率 $A2$ の基準レベルの出力電圧 V_{out2} と基準電圧 V_{REF} とが比較される。そして、コンパレータ PA の出力電圧はインバータ V にて反転された後、出力電圧 V_{out4} として論理積回路 $N11$ の一方の入力端子に入力されることで、基準クロック CKC が論理積回路 $N11$ を通過し、通過後の基準クロック $CKCi$ がアップダウンカウンタ $UD12$ にてダウンカウントされる。

【0242】

そして、増幅率 $A2$ の基準レベルの出力電圧 V_{out2} が基準電圧 V_{REF} のレベルと一致するまで出力電圧 V_{out4} のハイレベルが維持され、出力電圧 V_{out4} がロウレベルに反転するまでアップダウンカウンタ $UD12$ がダウンカウントすることで、増幅率 $A2$ の基準レベルの出力電圧 V_{out2} がデジタル値 D に変換され、増幅率 $A2$ で増幅された信号の第2の基準レベルとしてアップダウンカウンタ $UD12$ に保持される。

【0243】

次に、画素 PCn の行選択トランジスタ Ta がオンの状態で読み出し信号 $READn$ がハイレベルになると、読み出しトランジスタ Td がオンし、フォトダイオード PD に蓄積されていた電荷がフローティングディフュージョン FD に転送される。そして、フローティングディフュージョン FD の信号レベルに応じた電圧が増幅トランジスタ Tb のゲートにかかることで、信号レベルの出力電圧 V_{out1} として垂直信号線 $Vlin$ に出力される。

【0244】

そして、信号レベルの出力電圧 V_{out1} がコンデンサ $C1$ を介してオペアンプ OP の入力端子に印加されることで、オペアンプ OP の入力電圧が変化すると、入力電圧がゼロ電圧になるようにコンデンサ $C2-1$ から電圧がフィードバックされる。この結果、オペアンプ OP からは増幅率 $A2$ で反転増幅された信号レベルの出力電圧 V_{out2} が出力され、コンデンサ $C3$ を介してコンパレータ PA の反転入力端子に印加される。

【0245】

そして、基準電圧 V_{REF} のレベルを AD 変換の飽和レベル（例えば、10ビットならば1023）よりも少しだけ小さな値に設定する。なお、基準電圧 V_{REF} がこの値に高速に変化できるようにするために、この値に基準電圧 V_{REF} を設定するための別電源を

10

20

30

40

50

図 16 のカラム A D C 回路 3 2 に設けるようにしてもよい。

【 0 2 4 6 】

そして、リセット信号 R - F F をロウレベルに遷移させた後、セットパルス S E T - G をフリップフロップ F 1 のセット端子に印加することで、出力電圧 V o u t 4 をフリップフロップ F 1 に取り込む。

【 0 2 4 7 】

ここで、基準電圧 V R E F のレベルが A D 変換の飽和レベルよりも少しだけ小さな値に設定されているので、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 が飽和していると、出力電圧 V o u t 4 がロウレベルになり、フリップフロップ F 1 に論理値 ' 0 ' が取り込まれる。一方、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 が飽和していないと、出力電圧 V o u t 4 がハイレベルになり、フリップフロップ F 1 に論理値 ' 1 ' が取り込まれる。

10

【 0 2 4 8 】

そして、フリップフロップ F 1 に論理値 ' 0 ' が取り込まれた場合、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 は飽和しているので、この信号レベルは大きいとみなすことができ、この信号レベルの増幅率は A 1 と判断することができる。フリップフロップ F 1 に論理値 ' 1 ' が取り込まれた場合、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 が飽和していないので、この信号レベルは小さいとみなすことができ、この信号レベルの増幅率は A 2 と判断することができる。

20

【 0 2 4 9 】

次に、リセットパルス R - B C を論理積回路 N 1 4 の一方の入力端子および論理積回路 N 1 5 の一方の入力端子に印加することで、アップダウンカウンタ U D 1 、 U D 2 のいずれか一方をリセットする。

【 0 2 5 0 】

以下、フリップフロップ F 1 に論理値 ' 1 ' が取り込まれた場合とフリップフロップ F 1 に論理値 ' 0 ' が取り込まれた場合とを分けて説明する。

【 0 2 5 1 】

(フリップフロップ F 1 に論理値 ' 1 ' が取り込まれた場合)

フリップフロップ F 1 の出力端子 Q の電位がハイレベルになるので、論理積回路 N 1 5 を介してリセットパルス R - B C がアップダウンカウンタ U D 1 のリセット端子に印加され、アップダウンカウンタ U D 1 に保持されていた増幅率 A 1 の第 1 の基準レベルに対応したカウント値が破棄される。

30

【 0 2 5 2 】

次に、切替信号 S E T - P G はロウレベルに遷移されると、論理和回路 N 1 3 にてスイッチ S W 1 3 は L 側に切り替えられ、論理和回路 N 1 2 にてスイッチ S W 1 4 は H 側に切り替えられる。この結果、アップダウンカウンタ U D 1 2 の後段にアップダウンカウンタ U D 1 1 が結合されるとともに、論理積回路 N 1 1 の出力端子は、スイッチ S W 1 2 、 S W 1 4 を順次介してアップダウンカウンタ U D 1 2 の入力端子に接続される。また、フリップフロップ F 1 の出力端子 Q の電位がハイレベルの場合、スイッチ S W 1 5 が H 側に切り替えられ、アップダウンカウンタ U D 1 1 の出力端子がラインメモリ L M 2 1 に接続される。

40

【 0 2 5 3 】

そして、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 がコンデンサ C 3 を介してコンパレータ P A に入力された状態で、基準電圧 V R E F として三角波が与えられ、増幅率 A 2 の信号レベルの出力電圧 V o u t 2 と基準電圧 V R E F とが比較される。そして、コンパレータ P A の出力電圧はインバータ V にて反転された後、出力電圧 V o u t 4 として論理積回路 N 1 1 の一方の入力端子に入力されることで、基準クロック C K C が論理積回路 N 1 1 を通過し、通過後の基準クロック C K C i がアップダウンカウンタ U D 1 1 、 U D 1 2 にてアップカウントされる。

【 0 2 5 4 】

50

そして、増幅率 A 2 の信号レベルの出力電圧 V_{out2} が基準電圧 V_{REF} のレベルと一致するまで出力電圧 V_{out4} のハイレベルが維持され、出力電圧 V_{out4} がロウレベルに反転するまでアップダウンカウンタ $UD11$ 、 $UD12$ がアップカウントすることで、増幅率 A 2 の信号レベルの出力電圧 V_{out2} と基準レベルの出力電圧 V_{out2} との差分がデジタル値 D に変換され、スイッチ $SW15$ を介してラインメモリ $LM21$ に送られる。この結果、ラインメモリ $LM21$ には、 CDS にて検出された増幅率 A 2 の信号成分として、増幅率 A 2 で増幅された信号からサンプリングされた第 2 の信号レベルと第 2 の基準レベルとの差分が保持される。

【0255】

また、フリップフロップ $F1$ の出力端子 Q の電位がハイレベルの場合、図 16 のゲイン選択部 34 にてゲイン選択信号 $GSEL$ の値が 'H' に設定される。そして、ゲイン選択信号 $GSEL$ の値が 'H' に設定されると、スイッチ 36 は H 側に切り替えられ、出力信号 V_{out11} が出力信号 V_{out8} としてそのまま出力される。

10

【0256】

次に、切替信号 $SET-A$ がロウレベルに遷移すると、スイッチ $SW11$ 、 $SW12$ が L 側に切り替えられるが、スイッチ $SW13$ が L 側に設定されているため、論理積回路 $N11$ の出力端子がアップダウンカウンタ $UD11$ 、 $UD12$ の入力端子に接続されることはなく、アップダウンカウンタ $UD11$ 、 $UD12$ は動作しない。

【0257】

(フリップフロップ $F1$ に論理値 '0' が取り込まれた場合)

20

フリップフロップ $F1$ の反転出力端子 NQ の電位がハイレベルになるので、論理積回路 $N14$ を介してリセットパルス $R-BC$ がアップダウンカウンタ $UD2$ のリセット端子に印加され、アップダウンカウンタ $UD2$ に保持されていた増幅率 A 2 の第 2 の基準レベルに対応したカウント値が破棄される。

【0258】

この時、切替信号 $SET-A$ がハイレベルに設定されているため、スイッチ $SW11$ 、 $SW12$ が H 側に切り替えられるが、スイッチ $SW14$ が L 側に設定されているため、論理積回路 $N11$ の出力端子がアップダウンカウンタ $UD11$ 、 $UD12$ の入力端子に接続されることはなく、アップダウンカウンタ $UD11$ 、 $UD12$ は動作しない。

【0259】

30

次に、切替信号 $SET-A$ がロウレベルに遷移すると、切替信号 $SET-A$ はインバータ $V4$ にて反転されることでハイレベルになり、スイッチトランジスタ $Tsc2-1$ がオンされることで、カラム増幅回路 3a の増幅率は A 1 に設定される。

【0260】

また、切替信号 $SET-A$ がロウレベルに遷移されると、スイッチ $SW11$ 、 $SW12$ は L 側に切り替えられる。また、切替信号 $SET-PG$ はロウレベルに設定されているため、フリップフロップ $F1$ の反転出力端子 NQ の電位がハイレベルになると、論理和回路 $N13$ にてスイッチ $SW13$ は H 側に切り替えられ、論理和回路 $N12$ にてスイッチ $SW14$ は L 側に切り替えられる。この結果、アップダウンカウンタ $UD11$ の後段にアップダウンカウンタ $UD12$ が結合されるとともに、論理積回路 $N11$ の出力端子は、スイッチ $SW11$ 、 $SW13$ を順次介してアップダウンカウンタ $UD11$ の入力端子に接続される。また、フリップフロップ $F1$ の反転出力端子 NQ の電位がハイレベルの場合、スイッチ $SW15$ が L 側に切り替えられ、アップダウンカウンタ $UD12$ の出力端子がラインメモリ $LM21$ に接続される。

40

【0261】

そして、増幅率 A 1 の信号レベルの出力電圧 V_{out2} がコンデンサ $C3$ を介してコンパレータ PA に入力された状態で、基準電圧 V_{REF} として三角波が与えられ、増幅率 A 1 の信号レベルの出力電圧 V_{out2} と基準電圧 V_{REF} とが比較される。そして、コンパレータ PA の出力電圧はインバータ V にて反転された後、出力電圧 V_{out4} として論理積回路 $N11$ の一方の入力端子に入力されることで、基準クロック CKC が論理積回路

50

N 1 1 を通過し、通過後の基準クロック C K C i がアップダウンカウンタ U D 1 1、U D 1 2 にてアップカウントされる。

【 0 2 6 2 】

そして、増幅率 A 1 の信号レベルの出力電圧 V o u t 2 が基準電圧 V R E F のレベルと一致するまで出力電圧 V o u t 4 のハイレベルが維持され、出力電圧 V o u t 4 がロウレベルに反転するまで今度はアップダウンカウンタ U D 1 1、U D 1 2 がアップカウントすることで、増幅率 A 1 の信号レベルの出力電圧 V o u t 2 と基準レベルの出力電圧 V o u t 2 との差分がデジタル値 D に変換され、スイッチ S W 1 5 を介してラインメモリ L M 2 1 に送られる。この結果、ラインメモリ L M 2 1 には、C D S にて検出された増幅率 A 1 の信号成分として、増幅率 A 1 で増幅された信号からサンプリングされた第 1 の信号レベルと第 1 の基準レベルとの差分が保持される。

10

【 0 2 6 3 】

また、フリップフロップ F 1 の出力端子 Q の電位がロウレベルの場合、図 1 6 のゲイン選択部 3 4 にてゲイン選択信号 G S E L の値が ' L ' に設定される。そして、ゲイン選択信号 G S E L の値が ' L ' に設定されると、スイッチ 3 6 は L 側に切り替えられ、増幅率 A 2 で増幅された出力信号 V o u t 1 1 が出力信号 V o u t 8 として出力される。

【 0 2 6 4 】

ここで、画素 P C n から読み出された信号の増幅率 A 1、A 2 の切替前後に第 1 の基準レベルと第 2 の基準レベルをサンプリングし、画素 P C n から読み出された信号の増幅率 A 1、A 2 の切替後に信号レベルに応じて第 1 の信号レベルまたは第 2 の信号レベルをサンプリングすることにより、画素 P C n から読み出された信号の増幅率 A 1、A 2 が切り替えられた場合においても、その増幅率 A 1、A 2 に応じた基準レベル分を相殺させることができ、C D S によるノイズの抑圧効果を増大させることが可能となるとともに、増幅率 A 1、A 2 ごとに別個にラインメモリ L M 2 1 を設ける必要がなくなることから、回路規模を低減することができる。

20

【 0 2 6 5 】

(第 1 1 実施形態)

図 1 9 は、本発明の第 1 1 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

図 1 9 において、この固体撮像装置では、図 1 0 のカラム増幅回路 3 b の後段に図 1 7 のサンプルホールド信号変換回路 3 1 a が接続されている。

30

【 0 2 6 6 】

図 2 0 は、図 1 9 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

図 2 0 において、図 1 1 および図 1 8 の動作が組み合わされることにより、カラム増幅回路 3 b としてスイッチドキャパシタ型増幅回路が用いられた場合に代えて差動増幅回路が用いられた場合の動作が実現されている。

【 0 2 6 7 】

(第 1 2 実施形態)

図 2 1 は、本発明の第 1 2 実施形態に係る固体撮像装置の概略構成を示すブロック図である。

40

図 2 1 において、この固体撮像装置では、図 1 6 のサンプルホールド信号変換回路 3 1 の代わりにサンプルホールド信号変換回路 4 1 が設けられている。また、この固体撮像装置では、各画素 P C n の信号成分に対する黒レベルを調整する減算器 4 3 およびゲイン選択信号 G S E L に基づいて黒レベル S B を減算器 4 3 に供給するスイッチ 4 4 が設けられている。

【 0 2 6 8 】

サンプルホールド信号変換回路 4 1 は、増幅率 A 1 で増幅された信号から第 1 の基準レベルをサンプリングし、増幅率 A 2 で増幅された信号から第 2 の基準レベルした後、各画素 P C から読み出された信号の信号レベルに基づいて増幅率 A 1 または増幅率 A 2 で増幅

50

された信号から信号レベルをサンプリングすることにより、各画素PCの信号成分を相関2重サンプリングにて検出することができる。ここで、増幅率A1で増幅された信号についてはアナログCDSにて信号成分を検出し、増幅率A2で増幅された信号についてはデジタルCDSにて信号成分を検出することができる。

【0269】

そして、サンプルホールド信号変換回路41にはカラムADC回路42が設けられている。このカラムADC回路42は、増幅率A1で増幅された画素PCからの信号レベルの読み出し信号と基準電圧VREFとの比較結果に基づいてアップカウントを行うことでアナログCDSの基準レベルと信号レベルとの差分を算出し、増幅率A2で増幅された画素PCからの読み出し信号と基準電圧VREFとの比較結果に基づいてアップカウントおよびダウンカウントを行うことでデジタルCDSの基準レベルと信号レベルとの差分を算出することができる。

10

【0270】

そして、各画素PCから読み出された信号の信号レベルの増幅率としてA1が選択された場合、スイッチ36、44がL側に切り替えられる。そして、サンプルホールド信号変換回路41において、各画素PCから読み出された信号からアナログCDSにて信号成分が検出され、出力信号Vout11として出力される。そして、減算器43において黒レベルSBが減算された後、乗算器35において増幅率A2が乗算され、出力信号Vout8として出力される。

20

【0271】

一方、各画素PCから読み出された信号の信号レベルの増幅率としてA2が選択された場合、スイッチ36、44がH側に切り替えられる。そして、サンプルホールド信号変換回路41において、各画素PCから読み出された信号からデジタルCDSにて信号成分が検出され、出力信号Vout11が出力信号Vout8としてそのまま出力される。

30

【0272】

ここで、画素PCnから読み出された信号の増幅率A1、A2の切替前後に第1の基準レベルと第2の基準レベルをサンプリングし、画素PCnから読み出された信号の増幅率A1、A2の切替後に信号レベルに応じて第1の信号レベルまたは第2の信号レベルをサンプリングすることにより、画素PCnから読み出された信号の増幅率A1、A2が切り替えられた場合においても、その増幅率A1、A2に応じた基準レベル分を相殺させることができ、CDSによるノイズの抑圧効果を増大させることが可能となるとともに、増幅率A1、A2ごとに別個にラインメモリ33を設ける必要がなくなることから、回路規模を低減することができる。

【0273】

また、増幅率A1で増幅された信号についてはアナログCDSにて信号成分を検出し、増幅率A2で増幅された信号についてはデジタルCDSにて信号成分を検出することにより、増幅率A1、A2ごとに別個にアップダウンカウンタを設ける必要がなくなることから、回路規模を低減することができる。

【0274】

(第13実施形態)

40

図22は、本発明の第13実施形態に係る固体撮像装置の1カラム分の概略構成を示す回路図である。

図22において、この固体撮像装置では、図17のサンプルホールド信号変換回路31aおよびフリップフロップF1の代わりにサンプルホールド信号変換回路41aおよびフリップフロップF2が設けられている。

【0275】

ここで、サンプルホールド信号変換回路41aには、コンパレータPA、スイッチトランジスタTc p、インバータV、アップダウンカウンタUD21、ラインメモリLM21、ゲイン選択部SE1、論理積回路N11、N25および論理和回路N26がカラムごとに設けられている。

50

【 0 2 7 6 】

また、サンプルホールド信号変換回路 4 1 a には、フリップフロップ F 2 に保持されている値に基づいてアップダウンカウンタ U D 2 1 の入力を遮断するカウンタ入力遮断回路 6 3 が設けられている。カウンタ入力遮断回路 6 3 には、インバータ V 1 1、論理積回路 N 2 1、N 2 2、N 2 4 および論理和回路 N 2 3 が設けられている。

【 0 2 7 7 】

論理積回路 N 2 2 の一方の入力端子はフリップフロップ F 2 の出力端子 Q に接続され、論理積回路 N 2 2 の他方の入力端子にはインバータ V 1 1 を介して切替信号 S E T - A が入力される。論理積回路 N 2 1 の一方の入力端子はフリップフロップ F 2 の反転出力端子 N Q に接続され、論理積回路 N 2 1 の他方の入力端子には切替信号 S E T - A が入力される。

10

【 0 2 7 8 】

論理和回路 N 2 3 の一方の入力端子は論理積回路 N 2 1 の出力端子に接続され、論理和回路 N 2 3 の他方の入力端子は論理積回路 N 2 2 の出力端子に接続されている。論理積回路 N 2 4 の一方の入力端子は論理和回路 N 2 3 の出力端子に接続され、論理積回路 N 2 4 の他方の入力端子は論理積回路 N 1 1 の出力端子に接続されている。論理積回路 N 2 4 の出力端子はアップダウンカウンタ U D 2 1 の入力端子に接続されている。

【 0 2 7 9 】

論理積回路 N 2 5 の一方の入力端子はフリップフロップ F 1 の出力端子 Q に接続され、論理積回路 N 2 5 の他方の入力端子にはリセットパルス R - B C が入力される。論理和回路 N 2 6 の一方の入力端子は論理積回路 N 2 5 の出力端子に接続され、論理和回路 N 2 6 の他方の入力端子にはリセットパルス A R - C が入力される。論理和回路 N 2 6 の出力端子はアップダウンカウンタ U D 2 1 のリセット端子に接続されている。

20

【 0 2 8 0 】

ゲイン選択部 S E 1 は、フリップフロップ F 2 の反転出力端子 N Q に接続されている。フリップフロップ F 2 の入力端子 D はコンパレータ P A の出力端子に接続され、フリップフロップ F 2 のリセット端子 R にはリセット信号 R - F F が入力され、フリップフロップ F 2 のセット端子にはセットパルス S E T - G が入力される。

【 0 2 8 1 】

図 2 3 は、図 2 2 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

30

図 2 3 において、切替信号 S E T - A がハイレベルに設定されている場合、切替信号 S E T - A はインバータ V 4 にて反転されることでロウレベルになり、スイッチトランジスタ T s c 2 - 1 がオフされることで、カラム増幅回路 3 a の増幅率は A 2 に設定される。

【 0 2 8 2 】

そして、行選択信号 A D R E S n がハイレベルになると、画素 P C n の行選択トランジスタ T a がオンし、増幅トランジスタ T b のドレインに電源電位 V D D が印加されることで、増幅トランジスタ T b と定電流トランジスタ T L とでソースフォロアが構成される。

【 0 2 8 3 】

そして、行選択トランジスタ T a がオンの状態でリセット信号 R E S E T n がハイレベルになると、リセットトランジスタ T c がオンし、フローティングディフュージョン F D の基準レベルに応じた電圧が増幅トランジスタ T b のゲートにかかることで、基準レベルの出力電圧 V o u t 1 として垂直信号線 V l i n に出力される。

40

【 0 2 8 4 】

そして、増幅率 A 2 の基準レベルの出力電圧 V o u t 1 が垂直信号線 V l i n に出力されている時に、リセットパルス P s c がスイッチトランジスタ T s c 1 - 1 のゲートに印加されると、オペアンプ O P の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、垂直信号線 V l i n との電圧の差分は、コンデンサ C 1 に保持され、オペアンプ O P の入力電圧がゼロ設定される。

【 0 2 8 5 】

50

次に、切替信号 S E T - A がロウレベルに遷移すると、切替信号 S E T - A はインバータ V 4 にて反転されることでハイレベルになり、スイッチトランジスタ T s c 2 - 1 がオンされることで、カラム増幅回路 3 a の増幅率は A 1 に設定される。

【 0 2 8 6 】

そして、増幅率 A 1 の基準レベルの出力電圧 V o u t 1 が垂直信号線 V l i n に出力されている時に、リセットパルス P c p がスイッチトランジスタ T c p のゲートに印加されると、コンパレータ P A の反転入力端子の入力電圧が出力電圧でクランプされ、動作点が設定される。この時、オペアンプ O P からの出力電圧 V o u t 2 との電圧の差分は、コンデンサ C 3 に保持され、コンパレータ P A の入力電圧がゼロ設定される。

【 0 2 8 7 】

基準電圧 V R E F が一定値に維持されている。アップダウンカウンタ U D はリセットした状態になっている。

【 0 2 8 8 】

次に、切替信号 S E T - A がハイレベルに遷移すると、切替信号 S E T - A はインバータ V 4 にて反転されることでロウレベルになり、スイッチトランジスタ T s c 2 - 1 がオフされることで、カラム増幅回路 3 a の増幅率は A 2 に設定される。

【 0 2 8 9 】

また、リセットパルス A R - C が論理和回路 N 2 6 を介してアップダウンカウンタ U D 2 1 のリセット端子に入力されることで、アップダウンカウンタ U D 2 1 がリセットされる。

【 0 2 9 0 】

そして、増幅率 A 2 の基準レベルの出力電圧 V o u t 2 がコンデンサ C 3 を介してコンパレータ P A に入力された状態で、基準電圧 V R E F として三角波が与えられ、増幅率 A 2 の基準レベルの出力電圧 V o u t 2 と基準電圧 V R E F とが比較される。そして、コンパレータ P A の出力電圧はインバータ V にて反転された後、出力電圧 V o u t 4 として論理積回路 N 1 1 の一方の入力端子に入力されることで、基準クロック C K C が論理積回路 N 1 1 を通過し、論理積回路 N 2 4 の他方の入力端子に入力される。

【 0 2 9 1 】

この時、リセット信号 R - F F はハイレベルに設定され、フリップフロップ F 2 の出力端子 Q の電位はロウレベルになる。このため、切替信号 S E T - A がハイレベルに遷移すると、論理積回路 N 2 1 の出力がハイレベルになり、論理和回路 N 2 3 を介して論理積回路 N 2 4 の一方の入力端子に入力される。このため、基準クロック C K C i が論理積回路 N 2 4 を通過し、アップダウンカウンタ U D 2 1 に入力されることで、アップダウンカウンタ U D 2 1 がダウンカウントされる。

【 0 2 9 2 】

そして、増幅率 A 2 の基準レベルの出力電圧 V o u t 2 が基準電圧 V R E F のレベルと一致するまで出力電圧 V o u t 4 のハイレベルが維持され、出力電圧 V o u t 4 がロウレベルに反転するまでアップダウンカウンタ U D 2 1 がダウンカウントすることで、増幅率 A 2 の基準レベルの出力電圧 V o u t 2 がデジタル値 D に変換され、増幅率 A 2 で増幅された信号の第 2 の基準レベルとしてアップダウンカウンタ U D 2 1 に保持される。

【 0 2 9 3 】

次に、画素 P C n の行選択トランジスタ T a がオンの状態で読み出し信号 R E A D n がハイレベルになると、読み出しトランジスタ T d がオンし、フォトダイオード P D に蓄積されていた電荷がフローティングディフュージョン F D に転送される。そして、フローティングディフュージョン F D の信号レベルに応じた電圧が増幅トランジスタ T b のゲートにかかることで、信号レベルの出力電圧 V o u t 1 として垂直信号線 V l i n に出力される。

【 0 2 9 4 】

そして、基準電圧 V R E F のレベルを A D 変換の飽和レベルよりも少しだけ小さな値に設定する。そして、リセット信号 R - F F をロウレベルに遷移させた後、セットパルス S

10

20

30

40

50

ET - GをフリップフロップF 2のセット端子に印加することで、コンパレータPAの出力レベルをフリップフロップF 2に取り込む。

【0295】

ここで、フリップフロップF 2に論理値‘1’が取り込まれた場合、信号レベルの出力電圧Vout 2の増幅率はA 1と判断することができる。フリップフロップF 2に論理値‘0’が取り込まれた場合、信号レベルの出力電圧Vout 2の増幅率はA 2と判断することができる。

【0296】

以下、フリップフロップF 2に論理値‘1’が取り込まれた場合とフリップフロップF 2に論理値‘0’が取り込まれた場合とを分けて説明する。

10

【0297】

(フリップフロップF 2に論理値‘0’が取り込まれた場合)

論理値‘0’がフリップフロップF 2に取り込まれた後、リセットパルスR - BCが論理積回路N 2 5の他方の入力端子に印加される。ここで、フリップフロップF 2に論理値‘0’が取り込まれた場合、フリップフロップF 1の出力端子Qの電位はロウレベルになるので、リセットパルスR - BCが論理積回路N 2 5にて遮断され、アップダウンカウンタUD 2 1がリセットされることはない。

【0298】

そして、増幅率A 2の信号レベルの出力電圧Vout 2がコンデンサC 3を介してコンパレータPAに入力された状態で、基準電圧VREFとして三角波が与えられ、増幅率A 2の信号レベルの出力電圧Vout 2と基準電圧VREFとが比較される。そして、コンパレータPAの出力電圧はインバータVにて反転された後、出力電圧Vout 4として論理積回路N 1 1の一方の入力端子に入力されることで、基準クロックCKCが論理積回路N 1 1を通過し、論理積回路N 2 4の他方の入力端子に入力される。

20

【0299】

この時、フリップフロップF 2の反転出力端子NQの電位はハイレベルになる。このため、切替信号SET - Aがハイレベルに設定されていると、論理積回路N 2 1の出力がハイレベルになり、論理和回路N 2 3を介して論理積回路N 2 4の一方の入力端子に入力される。このため、基準クロックCKC iが論理積回路N 2 4を通過し、アップダウンカウンタUD 2 1に入力されることで、アップダウンカウンタUD 2 1が今度はアップカウントされる。

30

【0300】

そして、増幅率A 2の基準レベルの出力電圧Vout 2が基準電圧VREFのレベルと一致するまで出力電圧Vout 4のハイレベルが維持され、出力電圧Vout 4がロウレベルに反転するまでアップダウンカウンタUD 2 1がアップカウントすることで、増幅率A 2の信号レベルの出力電圧Vout 2と基準レベルの出力電圧Vout 2との差分がデジタル値Dに変換され、ラインメモリLM 2 1に送られる。この結果、ラインメモリLM 2 1には、デジタルCDSにて検出された増幅率A 2の信号成分として、増幅率A 2で増幅された信号からサンプリングされた第2の信号レベルと第2の基準レベルとの差分が保持される。

40

【0301】

次に、切替信号SET - Aがロウレベルに遷移すると、切替信号SET - AはインバータV 4にて反転されることでハイレベルになり、スイッチトランジスタTs c 2 - 1がオンされることで、カラム増幅回路3 aの増幅率はA 1に設定される。

【0302】

この時、フリップフロップF 2の出力端子Qの電位はロウレベルになっているので、論理積回路N 2 1、N 2 2の出力はいずれもロウレベルになり、論理積回路N 1 1を通過した基準CKC iが論理積回路N 2 4にて遮断され、アップダウンカウンタUD 2 1は動作しない。

【0303】

50

そして、フリップフロップ F 2 の出力端子 NQ の電位がハイレベルの場合、図 2 1 のゲイン選択部 3 4 にてゲイン選択信号 G S E L の値が ' H ' に設定される。そして、ゲイン選択信号 G S E L の値が ' H ' に設定されると、スイッチ 3 6、4 4 は H 側に切り替えられ、出力信号 V o u t 1 1 が出力信号 V o u t 8 としてそのまま出力される。

【 0 3 0 4 】

(フリップフロップ F 2 に論理値 ' 1 ' が取り込まれた場合)

論理値 ' 1 ' がフリップフロップ F 2 に取り込まれた後、リセットパルス R - B C が論理積回路 N 2 5 の他方の入力端子に印加される。ここで、フリップフロップ F 2 に論理値 ' 1 ' が取り込まれた場合、フリップフロップ F 2 の出力端子 Q の電位はハイレベルになるので、リセットパルス R - B C が論理積回路 N 2 5 を通過し、アップダウンカウンタ U D 2 1 がリセットされる。

10

【 0 3 0 5 】

そして、切替信号 S E T - A がハイレベルに設定されている場合、フリップフロップ F 2 の反転出力端子 NQ の電位はロウレベルになっているので、論理積回路 N 2 1、N 2 2 の出力はいずれもロウレベルになり、論理積回路 N 1 1 を通過した基準 C K C i が論理積回路 N 2 4 にて遮断され、アップダウンカウンタ U D 2 1 は動作しない。

【 0 3 0 6 】

次に、切替信号 S E T - A がロウレベルに遷移すると、切替信号 S E T - A はインバータ V 4 にて反転されることでハイレベルになり、スイッチトランジスタ T s c 2 - 1 がオンされることで、カラム増幅回路 3 a の増幅率は A 1 に設定される。

20

【 0 3 0 7 】

そして、増幅率 A 1 の信号レベルの出力電圧 V o u t 2 がコンデンサ C 3 を介してコンパレータ P A に入力された状態で、基準電圧 V R E F として三角波が与えられ、増幅率 A 1 の信号レベルの出力電圧 V o u t 2 と基準電圧 V R E F とが比較される。そして、コンパレータ P A の出力電圧はインバータ V にて反転された後、出力電圧 V o u t 4 として論理積回路 N 1 1 の一方の入力端子に入力されることで、基準クロック C K C が論理積回路 N 1 1 を通過し、論理積回路 N 2 4 の他方の入力端子に入力される。

【 0 3 0 8 】

この時、フリップフロップ F 2 の出力端子 Q の電位はハイレベルになる。このため、切替信号 S E T - A がロウレベルに設定されていると、論理積回路 N 2 2 の出力がハイレベルになり、論理積回路 N 2 3 を介して論理積回路 N 2 4 の一方の入力端子に入力される。このため、基準クロック C K C i が論理積回路 N 2 4 を通過し、アップダウンカウンタ U D 2 1 に入力されることで、アップダウンカウンタ U D 2 1 がアップカウントされる。

30

【 0 3 0 9 】

そして、増幅率 A 1 の信号レベルの出力電圧 V o u t 2 が基準電圧 V R E F のレベルと一致するまで出力電圧 V o u t 4 のハイレベルが維持され、出力電圧 V o u t 4 がロウレベルに反転するまでアップダウンカウンタ U D 2 1 がアップカウントすることで、増幅率 A 1 の信号レベルの出力電圧 V o u t 2 がデジタル値 D に変換され、ラインメモリ L M 2 1 に送られる。この結果、ラインメモリ L M 2 1 には、アナログ C D S にて検出された増幅率 A 1 の信号成分として、増幅率 A 1 で増幅された信号からサンプリングされた第 1 の信号レベルと第 1 の基準レベルとの差分が保持される。

40

【 0 3 1 0 】

そして、フリップフロップ F 2 の出力端子 Q の電位がハイレベルの場合、図 2 1 のゲイン選択部 3 4 にてゲイン選択信号 G S E L の値が ' L ' に設定される。そして、ゲイン選択信号 G S E L の値が ' L ' に設定されると、スイッチ 3 6、4 4 は L 側に切り替えられ、出力信号 V o u t 1 1 が黒レベル S B 分だけ減算された後、増幅率 A 2 で増幅され、出力信号 V o u t 8 として出力される。

【 0 3 1 1 】

ここで、画素 P C n から読み出された信号の増幅率 A 1、A 2 の切替前後に第 1 の基準レベルと第 2 の基準レベルをサンプリングし、画素 P C n から読み出された信号の増幅率

50

A 1、A 2 の切替後に信号レベルに応じて第 1 の信号レベルまたは第 2 の信号レベルをサンプリングすることにより、画素 P C n から読み出された信号の増幅率 A 1、A 2 が切り替えられた場合においても、その増幅率 A 1、A 2 に応じた基準レベル分を相殺させることができ、C D S によるノイズの抑圧効果を増大させることが可能となるとともに、増幅率 A 1、A 2 ごとに別個にラインメモリ L M 2 1 を設ける必要がなくなることから、回路規模を低減することができる。

【 0 3 1 2 】

また、増幅率 A 1 で増幅された信号についてはアナログ C D S にて信号成分を検出し、増幅率 A 2 で増幅された信号についてはデジタル C D S にて信号成分を検出することにより、増幅率 A 1、A 2 ごとに別個にアップダウンカウンタ U D 2 1 を設ける必要がなくなることから、回路規模を低減することができる。

10

【 0 3 1 3 】

(第 1 4 実施形態)

図 2 4 は、本発明の第 1 4 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

図 2 4 において、この固体撮像装置では、図 1 0 のカラム増幅回路 3 b の後段に図 2 2 のサンプルホールド信号変換回路 4 1 a が接続されている。

【 0 3 1 4 】

図 2 5 は、図 2 4 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

20

図 2 5 において、図 1 1 および図 2 3 の動作が組み合わされることにより、カラム増幅回路 3 b としてスイッチドキャパシタ型増幅回路が用いられた場合に代えて差動増幅回路が用いられた場合の動作が実現されている。

【 0 3 1 5 】

(第 1 5 実施形態)

図 2 6 は、本発明の第 1 5 実施形態に係る固体撮像装置の 1 カラム分の概略構成を示す回路図である。

図 2 6 において、この固体撮像装置では、図 2 2 のサンプルホールド信号変換回路 4 1 a およびフリップフロップ F 2 の代わりにサンプルホールド信号変換回路 4 1 b およびゲイン切替制御部 4 5 が設けられている。

30

【 0 3 1 6 】

サンプルホールド信号変換回路 4 1 b では、図 2 2 のサンプルホールド信号変換回路 4 1 a のカウンタ入力遮断回路 6 3 が省略され、論理積回路 N 1 1 の出力端子がカウンタ入力遮断回路 6 3 を介することなくアップダウンカウンタ U D 2 1 の入力端子に接続されている。

【 0 3 1 7 】

ゲイン切替制御部 4 5 は、各画素 P C n から読み出された信号の信号レベルに基づいて、各画素 P C n から読み出された信号の増幅率を A 1 または A 2 に切り替えることができる。なお、ゲイン切替制御部 4 5 は、コンパレータ P A の出力に基づいて、各画素 P C n から読み出された信号の信号レベルを判定することができる。

40

【 0 3 1 8 】

ここで、ゲイン切替制御部 4 5 には、各画素 P C n から読み出された信号の増幅率 A 1、A 2 を特定する値を記憶するフリップフロップ F 3 およびフリップフロップ F 3 に記憶された値に基づいてカラム増幅回路 3 a の増幅率 A 1、A 2 を切り替える否定論理和回路 N 3 1 が設けられている。

【 0 3 1 9 】

そして、図 2 6 のフリップフロップ F 3 が図 2 2 のフリップフロップ F 2 と違う点は、フリップフロップ F 2 の反転出力端子 N Q はカウンタ入力遮断回路 6 3 に接続されているのに対し、フリップフロップ F 3 の反転出力端子 N Q は否定論理和回路 N 3 1 の一方の入力端子に接続されている。

50

【0320】

また、否定論理和回路N31の他方の入力端子には切替信号SET-Aが入力され、否定論理和回路N31の出力端子はスイッチトランジスタTsc2-1のゲートに接続されている。

【0321】

図27は、図26の固体撮像装置の1画素分の読み出し動作を示すタイミングチャートである。

図27において、増幅率A2の基準レベルの出力電圧Vout2が増幅率A2で増幅された信号の第2の基準レベルとしてアップダウンカウンタUD21に保持される点は、図22の固体撮像装置と同様である。

10

【0322】

また、各画素PCnから読み出された信号の信号レベルに応じて論理値‘0’または‘1’がフリップフロップF3に取り込まれる点は図22のフリップフロップF2と同様である。

【0323】

これに対して、図22の固体撮像装置では、信号レベルの検出時に切替信号SET-Aを切り替えることで、増幅率A1の信号レベルのアップカウントまたは増幅率A2の信号レベルのアップカウントがアップダウンカウンタUD21にて行われる。ここで、増幅率A1の信号レベルのアップカウントがアップダウンカウンタUD21にて行われる場合には、増幅率A2の信号レベルのアップカウントがアップダウンカウンタUD21にて行われ 20
ないようにするために、増幅率A2の信号レベルに応じて生成された基準クロックCKCiがカウンタ入力遮断回路63によってアップダウンカウンタUD21に入力されないようにされている。また、増幅率A2の信号レベルのアップカウントがアップダウンカウンタUD21にて行われる場合には、増幅率A1の信号レベルのアップカウントがアップダウンカウンタUD21にて行われないようにするために、増幅率A1の信号レベルに応じて生成された基準クロックCKCiがカウンタ入力遮断回路63によってアップダウンカウンタUD21に入力されないようにされている。

20

【0324】

一方、図27の固体撮像装置では、信号レベルの検出時にフリップフロップF3に記憶されている値に基づいて、増幅率A1の信号レベルのアップカウントまたは増幅率A2の 30
信号レベルのアップカウントがアップダウンカウンタUD21にて行われる。ここで、信号レベルの検出時にフリップフロップF3に記憶されている値に基づいてカラム増幅回路3aの増幅率A1、A2を切り替え、増幅率A1、A2のうちのいずれか一方のみの信号レベルの出力電圧Vout2との比較しかコンパレータPAで行われないようにすることで、各画素PCnの信号レベルのAD変換動作が1回で済むようにされている。このため、図27の固体撮像装置では、図22のカウンタ入力遮断回路63は不要である。

30

【0325】

ここで、各画素PCnから読み出された信号の信号レベルに基づいて、各画素PCnから読み出された信号の増幅率をA1またはA2に切り替えるようにして、各画素PCnの 40
信号レベルのAD変換動作を1回で済ませることにより、固体撮像装置の読み出し処理を高速化することができる。

40

【0326】

(第16実施形態)

図28は、本発明の第16実施形態に係る固体撮像装置の1カラム分の概略構成を示す回路図である。

図28において、この固体撮像装置では、図24のサンプルホールド信号変換回路41a、インバータV3およびフリップフロップF2の代わりにサンプルホールド信号変換回路41bおよびゲイン切替制御部46が設けられている。

【0327】

ゲイン切替制御部46は、各画素PCnから読み出された信号の信号レベルに基づいて 50

50

、各画素 P C n から読み出された信号の増幅率を A 1 または A 2 に切り替えることができる。なお、ゲイン切替制御部 4 6 は、コンパレータ P A の出力に基づいて、各画素 P C n から読み出された信号の信号レベルを判定することができる。

【 0 3 2 8 】

ここで、ゲイン切替制御部 4 6 には、各画素 P C n から読み出された信号の増幅率 A 1、A 2 を特定する値を記憶するフリップフロップ F 4 およびフリップフロップ F 4 に記憶された値に基づいてカラム増幅回路 3 b の増幅率 A 1、A 2 を切り替える否定論理和回路 N 4 1 およびインバータ V 2 1 が設けられている。

【 0 3 2 9 】

そして、図 2 8 のフリップフロップ F 4 が図 2 4 のフリップフロップ F 2 と違う点は、フリップフロップ F 2 の出力端子 Q はカウンタ入力遮断回路 6 3 に接続されているのに対し、フリップフロップ F 4 の出力端子 Q は否定論理和回路 N 4 1 の一方の入力端子に接続されている。

10

【 0 3 3 0 】

また、否定論理和回路 N 4 1 の他方の入力端子には切替信号 S E T - A が入力され、否定論理和回路 N 4 1 の出力端子はインバータ V 2 1 の入力端子に接続されている。また、スイッチ S W 2、S W s f 2 はインバータ V 2 1 の出力に基づいて切り替えられる。スイッチ S W s f 1 は否定論理和回路 N 4 1 の出力に基づいて切り替えられる。

【 0 3 3 1 】

図 2 9 は、図 2 8 の固体撮像装置の 1 画素分の読み出し動作を示すタイミングチャートである。

20

図 2 9 において、増幅率 A 2 の基準レベルの出力電圧 V o u t 2 が増幅率 A 2 で増幅された信号の第 2 の基準レベルとしてアップダウンカウンタ U D 2 1 に保持される点は、図 2 4 の固体撮像装置と同様である。

【 0 3 3 2 】

また、各画素 P C n から読み出された信号の信号レベルに応じて論理値 ' 0 ' または ' 1 ' がフリップフロップ F 4 に取り込まれる点は図 2 4 のフリップフロップ F 2 と同様である。

【 0 3 3 3 】

これに対して、図 2 4 の固体撮像装置では、信号レベルの検出時に切替信号 S E T - A を切り替えることで、増幅率 A 1 の信号レベルのアップカウントまたは増幅率 A 2 の信号レベルのアップカウントがアップダウンカウンタ U D 2 1 にて行われる。ここで、増幅率 A 1 の信号レベルのアップカウントがアップダウンカウンタ U D 2 1 にて行われる場合には、増幅率 A 2 の信号レベルのアップカウントがアップダウンカウンタ U D 2 1 にて行われないようにするために、増幅率 A 2 の信号レベルに応じて生成された基準クロック C K C i がカウンタ入力遮断回路 6 3 によってアップダウンカウンタ U D 2 1 に入力されないようにされている。また、増幅率 A 2 の信号レベルのアップカウントがアップダウンカウンタ U D 2 1 にて行われる場合には、増幅率 A 1 の信号レベルのアップカウントがアップダウンカウンタ U D 2 1 にて行われないようにするために、増幅率 A 1 の信号レベルに応じて生成された基準クロック C K C i がカウンタ入力遮断回路 6 3 によってアップダウン

30

40

【 0 3 3 4 】

一方、図 2 8 の固体撮像装置では、信号レベルの検出時にフリップフロップ F 4 に記憶されている値に基づいて、増幅率 A 1 の信号レベルのアップカウントまたは増幅率 A 2 の信号レベルのアップカウントがアップダウンカウンタ U D 2 1 にて行われる。ここで、信号レベルの検出時にフリップフロップ F 4 に記憶されている値に基づいてカラム増幅回路 3 b の増幅率 A 1、A 2 を切り替え、増幅率 A 1、A 2 のうちのいずれか一方のみの信号レベルの出力電圧 V o u t 2 との比較しかコンパレータ P A で行われなくようにすることで、各画素 P C n の信号レベルの A D 変換動作が 1 回で済むようにされている。このため、図 2 8 の固体撮像装置では、図 2 4 のカウンタ入力遮断回路 6 3 は不要である。

50

【0335】

ここで、各画素PC_nから読み出された信号の信号レベルに基づいて、各画素PC_nから読み出された信号の増幅率をA₁またはA₂に切り替えるようにして、各画素PC_nの信号レベルのAD変換動作を1回で済ませることにより、固体撮像装置の読み出し処理を高速化することができる。

【0336】

(第17実施形態)

図30は、本発明の第17実施形態に係る固体撮像装置の概略構成を示すブロック図である。

図30において、この固体撮像装置では、図16のカラム増幅回路3、サンプルホールド信号変換回路31、乗算器35およびスイッチ36の代わりにカラム増幅回路50、サンプルホールド信号変換回路51、乗算器57~59およびセレクタ60が設けられている。また、この固体撮像装置では、各画素PC_nの信号成分に対する黒レベルを調整する減算器55およびゲイン選択信号GSELに基づいて黒レベルSBを減算器55に供給するスイッチ56が設けられている。

【0337】

ここで、カラム増幅回路50は、各画素PCから読み出された信号を増幅率A₁~A₄(A₁<A₂<A₃<A₄)を切り替えてカラムごとに増幅することができる。なお、以下の説明では、簡単のために、A₁=1、A₂=2、A₃=4、A₄=8として説明する。

【0338】

サンプルホールド信号変換回路51は、増幅率A₁~A₄で増幅された信号から第1~第4の基準レベルをそれぞれサンプリングした後、各画素PCから読み出された信号の信号レベルに基づいて増幅率A₁~A₄のいずれかで増幅された信号から信号レベルをサンプリングすることにより、各画素PCの信号成分を相関2重サンプリングにて検出することができる。ここで、例えば、増幅率A₁、A₂で増幅された信号についてはアナログCDSにて信号成分を検出し、増幅率A₃、A₄で増幅された信号についてはデジタルCDSにて信号成分を検出することができる。

【0339】

そして、サンプルホールド信号変換回路51には、カラムADC回路52が設けられている。このカラムADC回路52は、増幅率A₁、A₂で増幅された画素PCからの信号レベルの読み出し信号と基準電圧VREFとの比較結果に基づいてアップカウントを行うことでアナログCDSの基準レベルと信号レベルとの差分をそれぞれ算出し、増幅率A₃、A₄で増幅された画素PCからの読み出し信号と基準電圧VREFとの比較結果に基づいてアップカウントおよびダウンカウントを行うことでデジタルCDSの基準レベルと信号レベルとの差分をそれぞれ算出することができる。

【0340】

また、サンプルホールド信号変換回路51には、増幅率A₁~A₄のいずれかで増幅された信号についてのカラムADC回路52のカウント値を水平画素分だけ記憶するラインメモリ53、各画素PCからの読み出し信号が増幅率A₁~A₄のいずれで増幅されるかを選択するゲイン選択部54が設けられている。

【0341】

また、乗算器57~59は、サンプルホールド信号変換回路51からの出力信号Vout₂₁に増幅率A₂~A₄をそれぞれ乗算することができる。セレクタ60は、ゲイン選択部54による選択結果に基づいて出力信号Vout₂₂を端子M1~M4のいずれかに切り替えることができる。

【0342】

そして、各画素PCから読み出された信号の信号レベルの増幅率としてA₁が選択された場合、スイッチ56がL側に切り替えられ、セレクタ60が端子M4に切り替えられる。そして、サンプルホールド信号変換回路51において、各画素PCから読み出された信

10

20

30

40

50

号からアナログCDSにて信号成分が検出され、出力信号Vout21として出力される。そして、減算器55において黒レベルSBが減算された後、乗算器59において増幅率A4が乗算され、出力信号Vout22として出力される。

【0343】

一方、各画素PCから読み出された信号の信号レベルの増幅率としてA2が選択された場合、スイッチ56がL側に切り替えられ、セレクタ60が端子M3に切り替えられる。そして、サンプルホールド信号変換回路51において、各画素PCから読み出された信号からアナログCDSにて信号成分が検出され、出力信号Vout21として出力される。そして、減算器55において黒レベルSBが減算された後、乗算器58において増幅率A3が乗算され、出力信号Vout22として出力される。

10

【0344】

一方、各画素PCから読み出された信号の信号レベルの増幅率としてA3が選択された場合、スイッチ56がH側に切り替えられ、セレクタ60が端子M2に切り替えられる。そして、サンプルホールド信号変換回路51において、各画素PCから読み出された信号からデジタルCDSにて信号成分が検出され、出力信号Vout21として出力される。そして、乗算器58において増幅率A2が乗算され、出力信号Vout22として出力される。

【0345】

一方、各画素PCから読み出された信号の信号レベルの増幅率としてA4が選択された場合、スイッチ56がH側に切り替えられ、セレクタ60が端子M1に切り替えられる。そして、サンプルホールド信号変換回路51において、各画素PCから読み出された信号からデジタルCDSにて信号成分が検出され、出力信号Vout21が出力信号Vout22としてそのまま出力される。

20

【0346】

ここで、画素PCnから読み出された信号の増幅率A1～A4の切替ごとに第1～第4の基準レベルをサンプリングし、画素PCnから読み出された信号の信号レベルに応じて増幅率A1～A4のいずれかの信号レベルをサンプリングすることにより、画素PCnから読み出された信号の増幅率A1～A4が切り替えられた場合においても、その増幅率A1～A4に応じた基準レベル分を相殺させることができ、CDSによるノイズの抑圧効果を増大させることが可能となるとともに、増幅率A1～A4ごとに別個にラインメモリ53を設ける必要がなくなることから、回路規模を低減することができる。

30

【0347】

また、増幅率A1、A2で増幅された信号についてはアナログCDSにて信号成分を検出し、増幅率A3、A4で増幅された信号についてはデジタルCDSにて信号成分を検出することにより、増幅率A1～A4ごとに別個にアップダウンカウンタを設ける必要がなくなることから、回路規模を低減することができる。

【0348】

(第18実施形態)

図31は、本発明の第18実施形態に係る固体撮像装置の1カラム分の概略構成を示す回路図である。

40

図31において、この固体撮像装置では、図26のカラム増幅回路3a、サンプルホールド信号変換回路41bおよびゲイン切替制御部45の代わりにカラム増幅回路50a、サンプルホールド信号変換回路51aおよびゲイン切替制御部47が設けられている。

【0349】

カラム増幅回路50aは、各画素PCnから読み出された信号を増幅率A1～A4を4段階に切り替えてカラムごとに増幅することができる。

【0350】

ここで、カラム増幅回路50aには、増幅率A1～A4を4段階に切り替えるために、図26のカラム増幅回路3aにコンデンサC2-4、C2-8およびスイッチトランジスタTsc4-1、8-1が追加されている。

50

【0351】

サンプルホールド信号変換回路51aは図17のサンプルホールド信号変換回路31aとほぼ同様の構成である。ただし、図17のゲイン選択部SE1は、フリップフロップF1に記憶されている値に基づいて増幅率A1、A2の選択を行うのに対し、図31のゲイン選択部SE2は、フリップフロップF1-2、F1-4、F1-8に記憶されている値に基づいて増幅率A1～A4の選択を行う。また、サンプルホールド信号変換回路51aには、リセットパルスR-BCが入力された時に、フリップフロップF1-4、F1-8に記憶されている値に基づいてアップダウンカウンタUD11をリセットできるようにするための論理積回路N52および論理和回路N53が追加されている。

【0352】

ゲイン切替制御部47は、各画素PCnから読み出された信号の信号レベルに基づいて、各画素PCnから読み出された信号の増幅率をA1～A4に切り替えることができる。なお、ゲイン切替制御部47は、コンパレータPAの出力に基づいて、各画素PCnから読み出された信号の信号レベルを判定することができる。

【0353】

ここで、ゲイン切替制御部47には、各画素PCnから読み出された信号の増幅率A1～A4を特定する値を記憶するフリップフロップF1-2、F1-4、F1-8およびフリップフロップF1-2、F1-4、F1-8に記憶された値にそれぞれ基づいてカラム増幅回路3aの増幅率A1～A4を切り替える否定論理和回路N1-2、N1-4、N1-8が設けられている。

【0354】

ここで、フリップフロップF1-2のセット端子にはセットパルスSET-G2が入力され、フリップフロップF1-4のセット端子にはセットパルスSET-G4が入力され、フリップフロップF1-8のセット端子にはセットパルスSET-G8が入力される。

【0355】

また、フリップフロップF1-2の反転出力端子NQは否定論理和回路N1-2の一方の入力端子に接続され、フリップフロップF1-4の反転出力端子NQは否定論理和回路N1-4の一方の入力端子に接続され、フリップフロップF1-8の反転出力端子NQは否定論理和回路N1-8の一方の入力端子に接続されている。

【0356】

また、否定論理和回路N1-2の他方の入力端子には切替信号SET-A2が入力され、否定論理和回路N1-4の他方の入力端子には切替信号SET-A4が入力され、否定論理和回路N1-8の他方の入力端子には切替信号SET-A8が入力される。

【0357】

また、否定論理和回路N1-2の出力端子はスイッチトランジスタTsc2-1のゲートに接続され、否定論理和回路N1-4の出力端子はスイッチトランジスタTsc4-1のゲートに接続され、否定論理和回路N1-8の出力端子はスイッチトランジスタTsc8-1のゲートに接続されている。

【0358】

図32は、図31の固体撮像装置の1画素分の読み出し動作を示すタイミングチャートである。

図32において、リセット信号RESETnが印加された後、切替信号SET-A2、SET-A4、SET-A8が順次立ち上がることで、カラム増幅回路50aの増幅率がA1 A2 A3 A4という順序で切り替えられる。

【0359】

カラム増幅回路50aの増幅率A1～A4ごとに基準レベルがサンプリングされることで、増幅率A1の第1の基準レベル、増幅率A2の第2の基準レベル、増幅率A3の第3基準レベルおよび増幅率A4の第4の基準レベルがサンプルホールド信号変換回路51aに保持される。

【0360】

10

20

30

40

50

ここで、アップダウンカウンタUD 1 1、UD 1 2の個数を減らすために、増幅率がA 1、A 2の場合は、アナログCDSにて信号成分が検出されるようにして、増幅率A 1の第1の基準レベルおよび増幅率A 2の第2の基準レベルのサンプリング時にはアップダウンカウンタUD 1 1、UD 1 2が動作されないようにされている。

【0361】

また、増幅率がA 3、A 4の場合は信号レベルが小さいため、増幅率A 3の第3の基準レベルおよび増幅率A 4の第4の基準レベルのサンプリング時にはアップダウンカウンタUD 1 1、UD 1 2によるダウンカウントが行われるようにして、デジタルCDSにて信号成分が検出されるようにされている。

【0362】

次に、読み出し信号READ nが印加された後、切替信号SET - A 8、SET - A 4、SET - A 2が順次立ち下がることで、カラム増幅回路50 aの増幅率がA 4 A 3 A 2 A 1という順序で切り替えられる。

【0363】

この時、基準電圧VREFのレベルがAD変換の飽和レベルよりも少しだけ小さな値に設定される。そして、カラム増幅回路50 aの増幅率がA 4の時にセットパルスSET - G 8がフリップフロップF 1 - 8のセット端子に印加され、カラム増幅回路50 aの増幅率がA 3の時にセットパルスSET - G 4がフリップフロップF 1 - 4のセット端子に印加され、カラム増幅回路50 aの増幅率がA 2の時にセットパルスSET - G 2がフリップフロップF 1 - 2のセット端子に印加される。

【0364】

ここで、基準電圧VREFのレベルがAD変換の飽和レベルよりも少しだけ小さな値に設定されているので、増幅率A 4の信号レベルの出力電圧Vout 2が飽和していると、コンパレータPAの出力電圧がハイレベルになり、フリップフロップF 1 - 8に論理値 ' 1 ' が取り込まれる。一方、増幅率A 4の信号レベルの出力電圧Vout 2が飽和していないと、コンパレータPAの出力電圧がロウレベルになり、フリップフロップF 1 - 8に論理値 ' 0 ' が取り込まれる。

【0365】

また、増幅率A 3の信号レベルの出力電圧Vout 2が飽和していると、コンパレータPAの出力電圧がハイレベルになり、フリップフロップF 1 - 4に論理値 ' 1 ' が取り込まれる。一方、増幅率A 3の信号レベルの出力電圧Vout 2が飽和していないと、コンパレータPAの出力電圧がロウレベルになり、フリップフロップF 1 - 4に論理値 ' 0 ' が取り込まれる。

【0366】

また、増幅率A 2の信号レベルの出力電圧Vout 2が飽和していると、コンパレータPAの出力電圧がハイレベルになり、フリップフロップF 1 - 2に論理値 ' 1 ' が取り込まれる。一方、増幅率A 2の信号レベルの出力電圧Vout 2が飽和していないと、コンパレータPAの出力電圧がロウレベルになり、フリップフロップF 1 - 2に論理値 ' 0 ' が取り込まれる。

【0367】

そして、フリップフロップF 1 - 2、F 1 - 4、F 1 - 8に論理値 ' 1 ' が取り込まれた場合、増幅率A 2の信号レベルの出力電圧Vout 2は飽和しているので、この信号レベルの増幅率はA 1と判断することができる。フリップフロップF 1 - 2に論理値 ' 0 ' が取り込まれた場合、増幅率A 3の信号レベルの出力電圧Vout 2が飽和し、増幅率A 2の信号レベルの出力電圧Vout 2が飽和していないので、この信号レベルの増幅率はA 2と判断することができる。フリップフロップF 1 - 4に論理値 ' 0 ' が取り込まれた場合、増幅率A 4の信号レベルの出力電圧Vout 2が飽和し、増幅率A 3の信号レベルの出力電圧Vout 2が飽和していないので、この信号レベルの増幅率はA 3と判断することができる。フリップフロップF 1 - 8に論理値 ' 0 ' が取り込まれた場合、増幅率A 4の信号レベルの出力電圧Vout 2が飽和していないので、この信号レベルの増幅率

10

20

30

40

50

は A 4 と判断することができる。

【 0 3 6 8 】

そして、信号レベルの増幅率が A 1 と判断された場合、カラム増幅回路 5 0 a の増幅率が A 1 に切り替えられ、信号レベルの増幅率が A 2 と判断された場合、カラム増幅回路 5 0 a の増幅率が A 2 に切り替えられ、信号レベルの増幅率が A 3 と判断された場合、カラム増幅回路 5 0 a の増幅率が A 3 に切り替えられ、信号レベルの増幅率が A 4 と判断された場合、カラム増幅回路 5 0 a の増幅率が A 4 に切り替えられる。

【 0 3 6 9 】

そして、信号レベルの出力電圧 V_{out1} が A 1 ~ A 4 のいずれかの増幅率にて増幅されることにより、信号レベルの出力電圧 V_{out2} が生成され、コンパレータ P A に入力される。そして、コンパレータ P A の比較結果に基づいてアップダウンカウンタ U D 1 1、U D 1 2 がアップカウントされることにより C D S にて信号成分が検出される。

10

【 0 3 7 0 】

ここで、信号レベルの検出時にフリップフロップ F 1 - 2、F 1 - 4、F 1 - 8 に記憶されている値に基づいてカラム増幅回路 5 0 a の増幅率 A 1 ~ A 4 を切り替え、増幅率 A 1 ~ A 4 のうちのいずれかの信号レベルの出力電圧 V_{out2} との比較しかコンパレータ P A で行われなようにすることで、増幅率 A 1 ~ A 4 が 4 段階に切り替えられる場合においても、各画素 P C n の信号レベルの A D 変換動作を 1 回で済ませることができる。

【 0 3 7 1 】

なお、上述した第 1 8 実施形態では、増幅率 A 1、A 2 で増幅された信号についてはアナログ C D S にて信号成分を検出し、増幅率 A 3、A 4 で増幅された信号についてはデジタル C D S にて信号成分を検出する例について説明したが、増幅率 A 1 で増幅された信号についてはアナログ C D S にて信号成分を検出し、増幅率 A 2 ~ A 4 で増幅された信号についてはデジタル C D S にて信号成分を検出するようにしてもよい。あるいは、増幅率 A 1 ~ A 3 で増幅された信号についてはアナログ C D S にて信号成分を検出し、増幅率 A 4 で増幅された信号についてはデジタル C D S にて信号成分を検出するようにしてもよい。あるいは、増幅率 A 1 ~ A 4 で増幅された信号についてデジタル C D S にて信号成分を検出するようにしてもよい。

20

【 0 3 7 2 】

また、上述した第 1 8 実施形態では、図 2 6 の固体撮像装置について増幅率が A 1、A 2 の 2 段階で切り替えられるのを A 1 ~ A 4 の 4 段階で切り替えられるように変更した場合を例にとって説明したが、図 2 8 の固体撮像装置について増幅率が A 1、A 2 の 2 段階で切り替えられるのを A 1 ~ A 4 の 4 段階で切り替えられるように変更するようにしてもよい。

30

【 0 3 7 3 】

また、上述した実施形態では、デジタル C D S 処理として信号の基準レベルと信号レベルの差を演算する回路にアップダウンカウンタを用いた。他に、基準レベルと信号レベルを別々のラインメモリに保持し、読み出した出力信号の差分を演算する回路を設けてもよい。また、基準レベルをアップカウンタでカウントし、カウント値を反転させる制御信号により値を反転させ、その後、信号レベルをアップカウントすることで 2 の補数を使ったカウンタ型の演算処理回路を設けるようにしてもよい。

40

【 0 3 7 4 】

また、上述した実施形態では、増幅率を A 1、A 2 の 2 段階または A 1 ~ A 4 の 4 段階に切り替える例について説明したが、2 段階以上の任意の段階で増幅率を切り替える方法に適用してもよい。

【 符号の説明 】

【 0 3 7 5 】

P C、P C n、P C n + 1 画素、T a 行選択トランジスタ、T b、T f 1、T f 2 増幅トランジスタ、T c リセットトランジスタ、T d 読み出しトランジスタ、T e 1、T e 2 負荷トランジスタ、T L 定電流トランジスタ、P D フォトダイオード、F D フローティングディフュージョン、V l i n 垂直信号線、H l i n 水平制御線

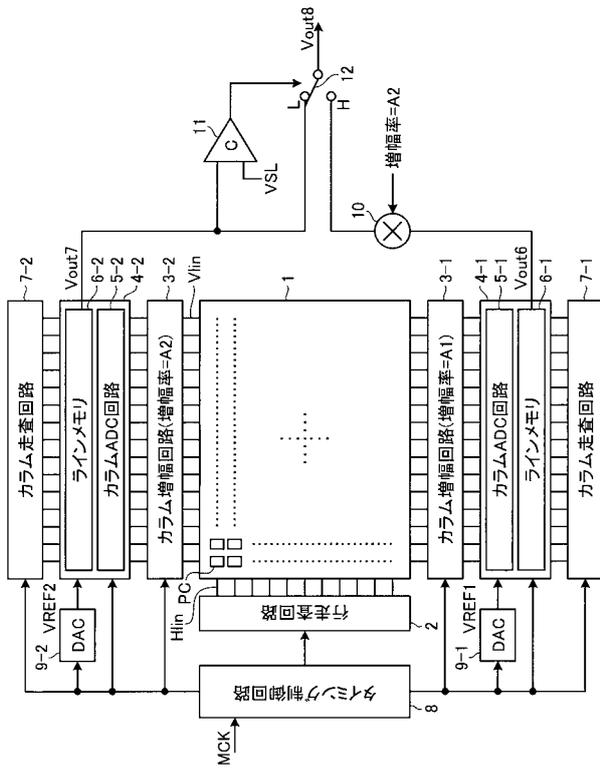
50

、 V g 1、 V g 2、 V T L パイアス電源、 T s c 1、 T s c 2、 T s c 1 - 1、 T s c 2 - 1、 T s c 4 - 1、 T s c 8 - 1、 T s c 2 - 1、 T c p、 T c p 1、 T c p 2、 T c p 1 1、 T c p 1 2 スイッチトランジスタ、 O P、 O P 1、 O P 2 オペアンプ、 P A、 P A 1 ~ P A 3、 1 1 コンパレータ、 C 1、 C 3、 C 2 - 1、 C 2 - 2、 C 2 - 4、 C 2 - 8、 C 1 1 ~ C 1 3、 C 2 1 ~ C 2 3、 C 3 1、 C 3 2 コンデンサ、 V、 V 1 ~ V 4、 V 1 1、 V 2 1 インバータ、 U D、 U D 1、 U D 2、 U D 1 1、 U D 1 2、 U D 2 1 アップダウンカウンタ、 N 1、 N 2、 N 1 1、 N 1 4、 N 1 5、 N 2 1、 N 2 2、 N 2 4、 N 2 5、 N 5 2 論理積回路、 L M 1、 L M 2、 L M 1 1、 L M 1 2、 L M 2 1、 6 - 1、 6 - 2、 3 3、 5 3 ラインメモリ、 1 画素アレイ部、 2 行走査回路、 3、 3 - 1、 3 - 2、 3 a、 3 b、 3 - 1 a、 3 - 2 a、 3 - 1 b、 3 - 2 b、 3 - 1 b `、 3 - 2 b `、 5 0、 5 0 a カラム増幅回路、 4、 4 a、 4 b、 4 c、 4 d、 4 - 1、 4 - 2、 4 - 1 a、 4 - 2 a、 3 1、 3 1 a、 4 1、 4 1 a、 4 1 b、 5 1、 5 1 a サンプルホールド信号変換回路、 5、 5 - 1、 5 - 2、 3 2、 4 2、 5 2 カラム A D C 回路、 7、 7 - 1、 7 - 2 カラム走査回路、 8 タイミング制御回路、 9、 9 - 1、 9 - 2 D Aコンバータ、 1 0、 3 5、 5 7 ~ 5 9 乗算器、 1 2、 S W s f 1、 S W s f 2、 S W 1、 S W 2、 3 6、 S W 1 1 ~ S W 1 5、 4 4、 5 6 スイッチ、 1 3、 4 3、 5 5 減算器、 3 4、 5 4、 S E 1、 S E 2 ゲイン選択部、 F 1 ~ F 4、 F 1 - 2、 F 1 - 4、 F 1 - 8 フリップフロップ、 N 1 2、 N 1 3、 N 1 6、 N 1 7、 N 2 3、 N 2 6、 N 5 1、 N 5 3 論理和回路、 N 3 1、 N 4 1、 N 1 - 2、 N 1 - 4、 N 1 - 8 否定論理和回路、 4 5 ~ 4 7 ゲイン切替制御部、 6 0 セレクタ、 6 1 カウンタ結合部、 6 2 リセット回路、 6 3 カウンタ入力遮断回路

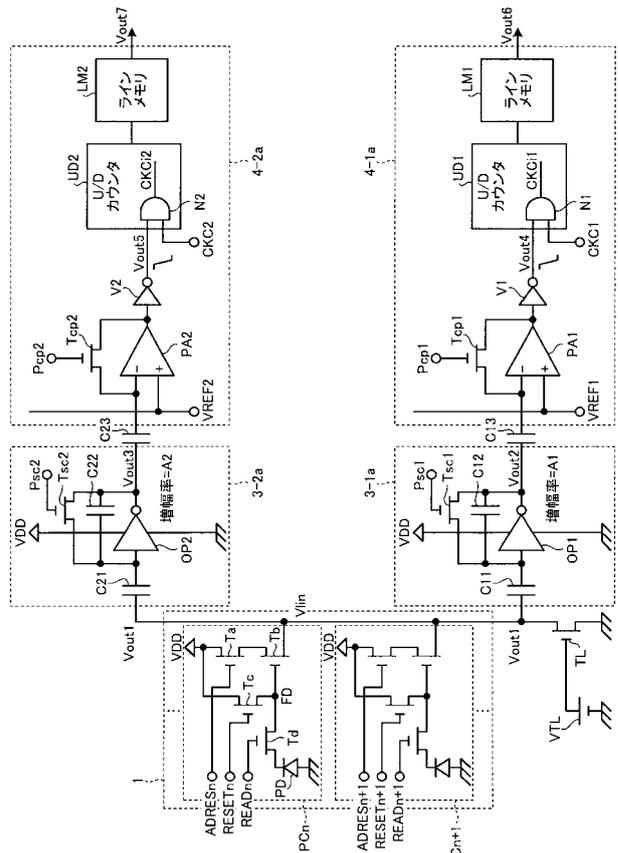
10

20

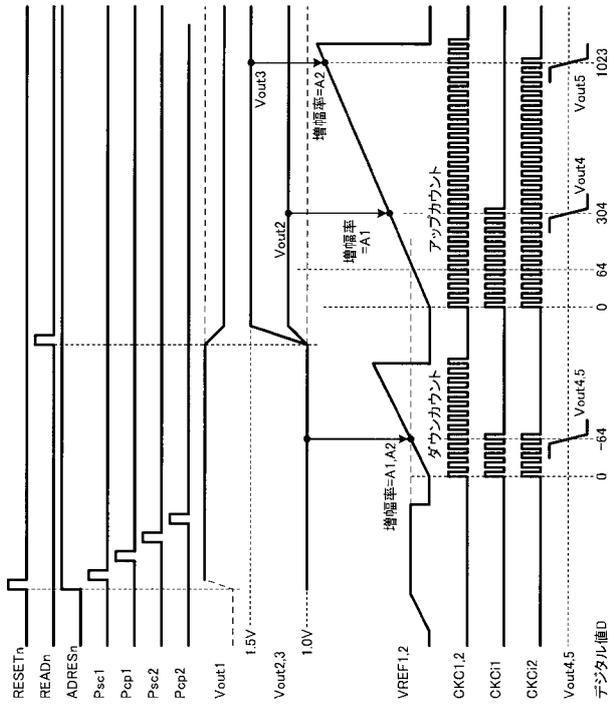
【図 1】



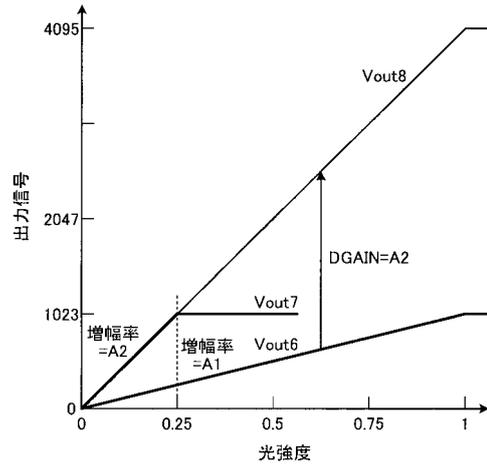
【図 2】



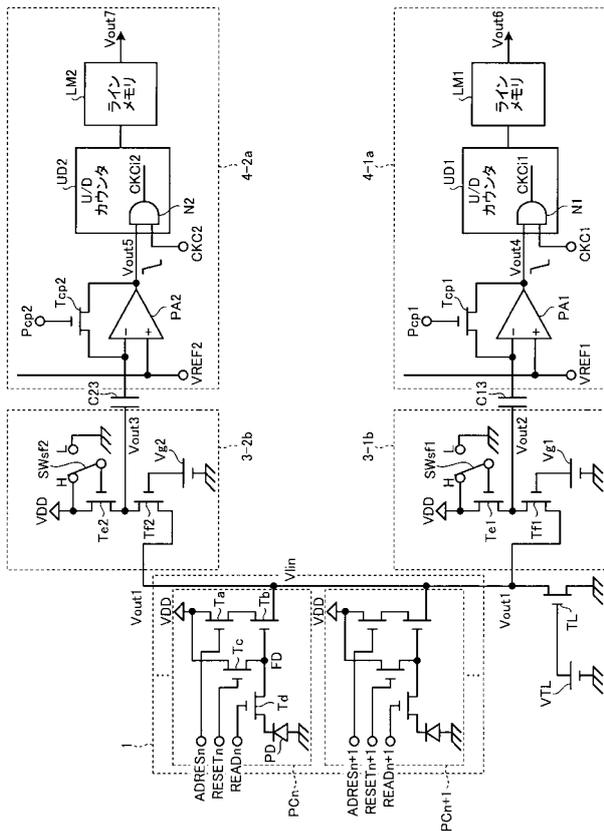
【図3】



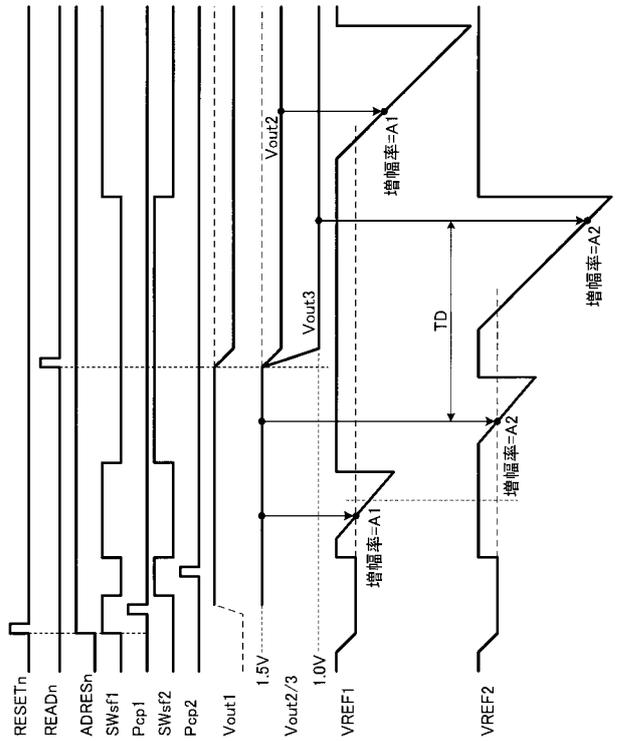
【図4】



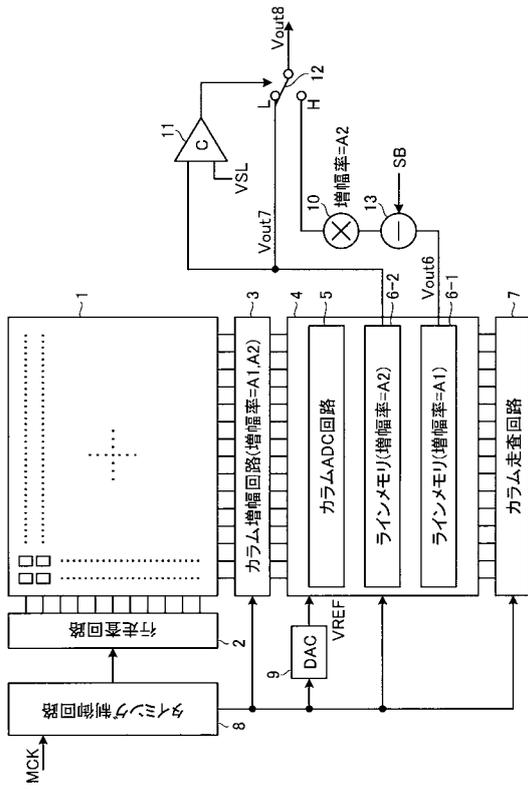
【図5】



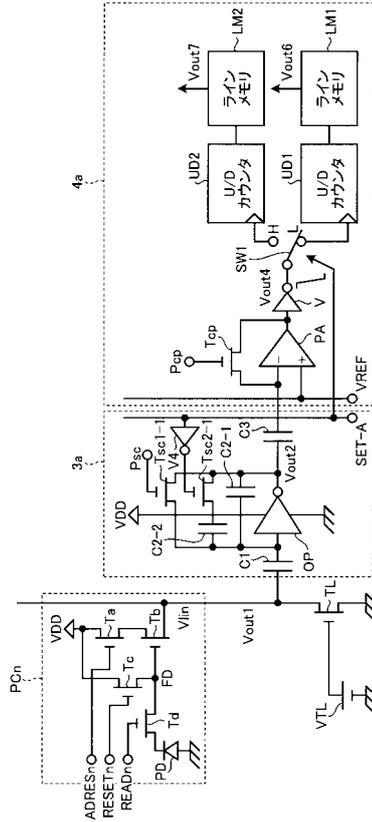
【図6】



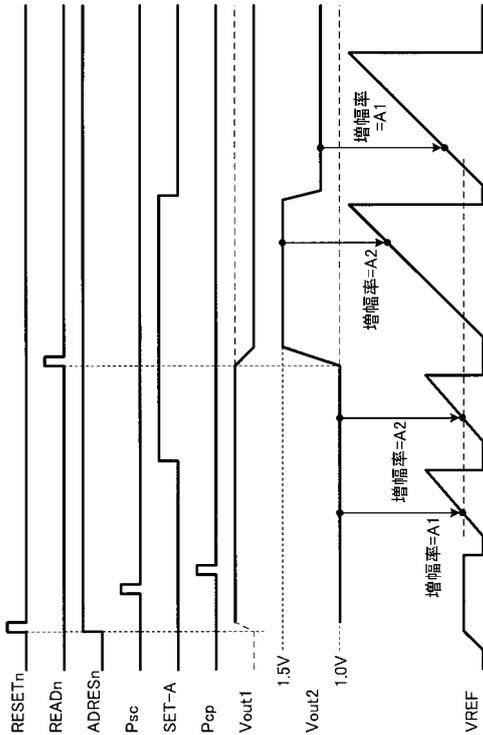
【 図 7 】



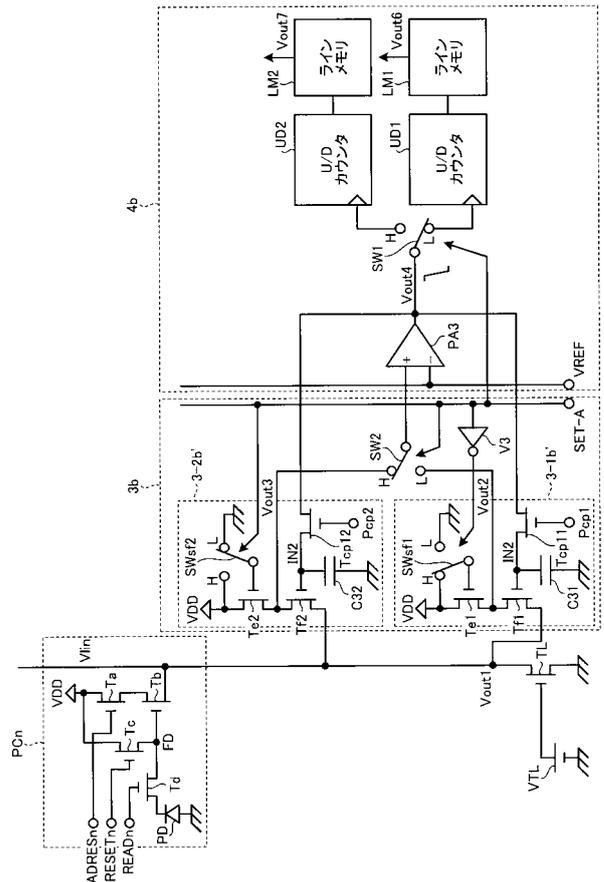
【 図 8 】



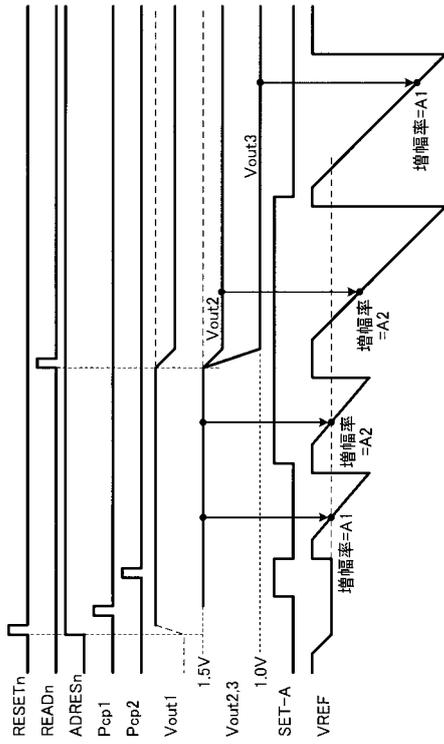
【 図 9 】



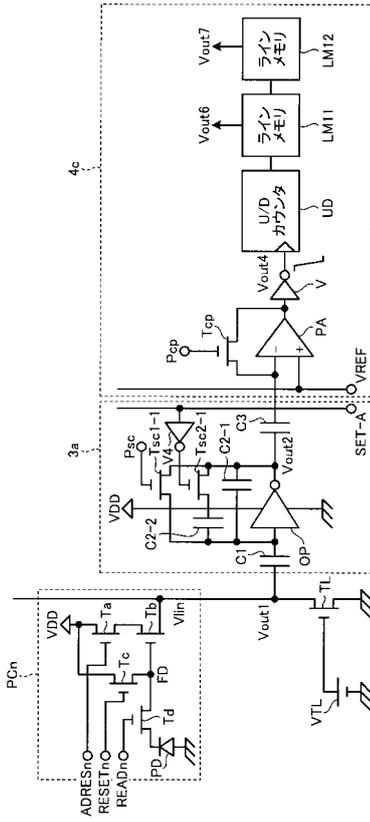
【 図 10 】



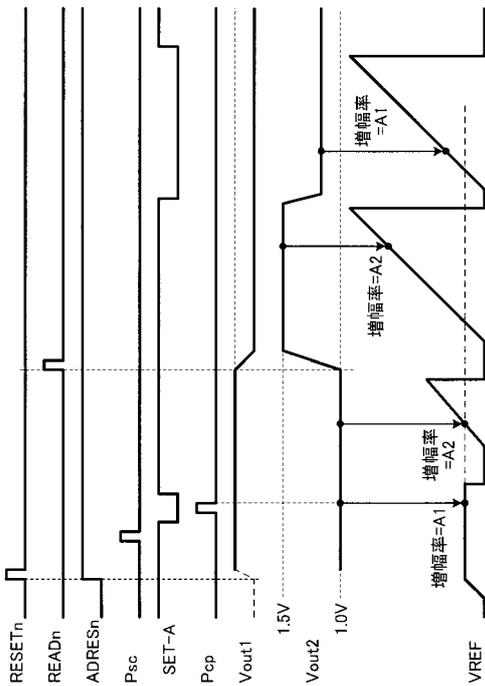
【 図 1 1 】



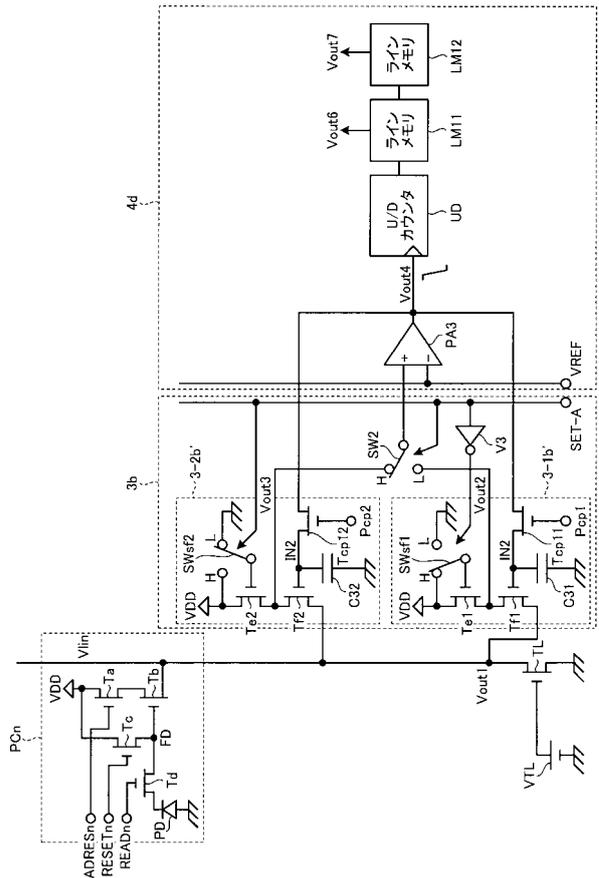
【 図 1 2 】



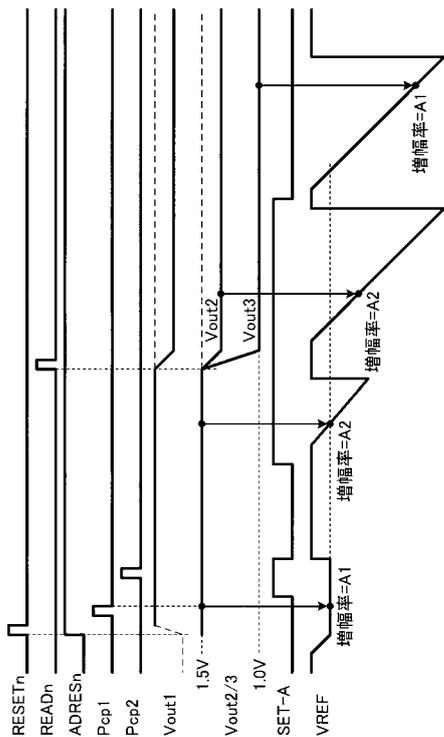
【 図 1 3 】



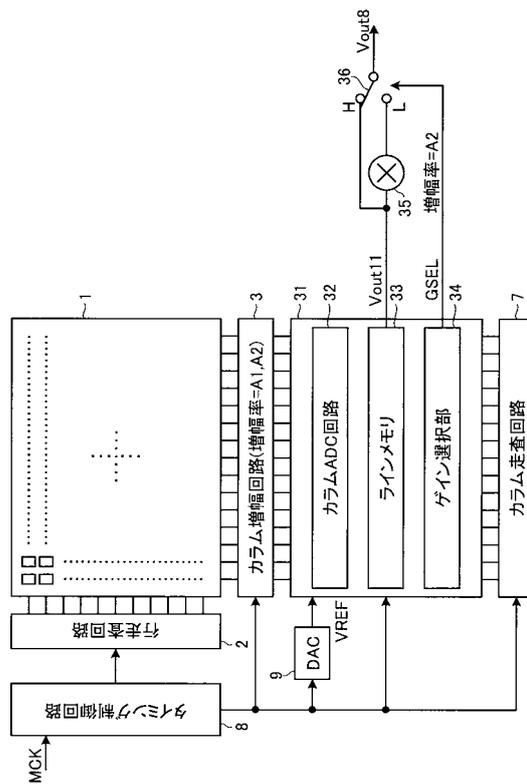
【 図 1 4 】



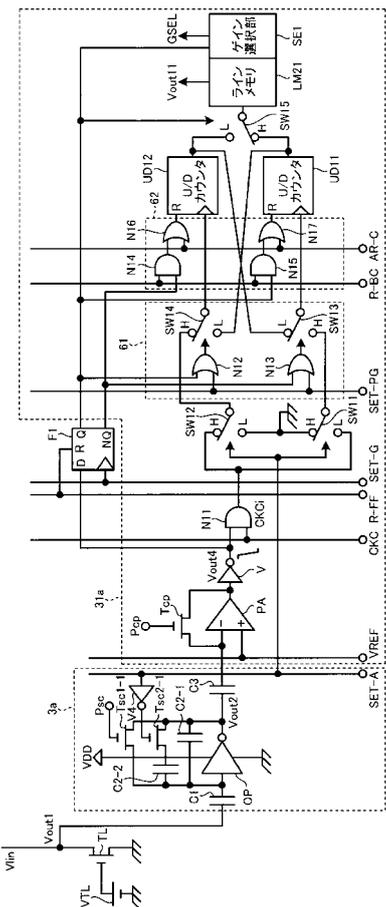
【 図 15 】



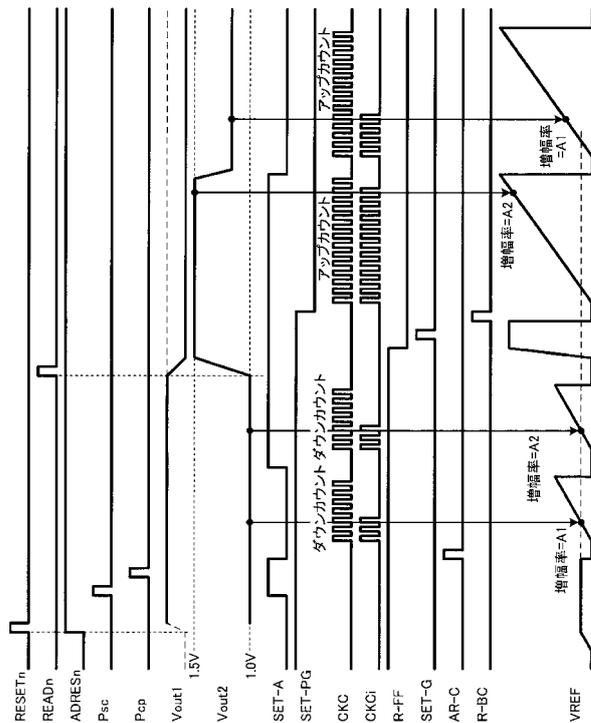
【 図 16 】



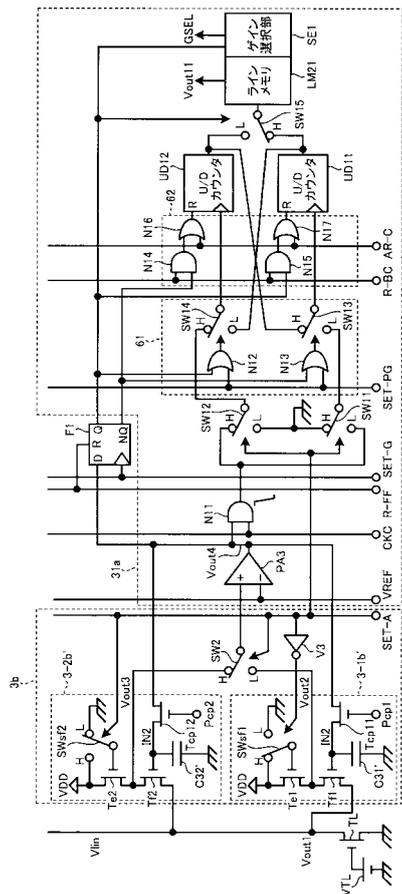
【 図 17 】



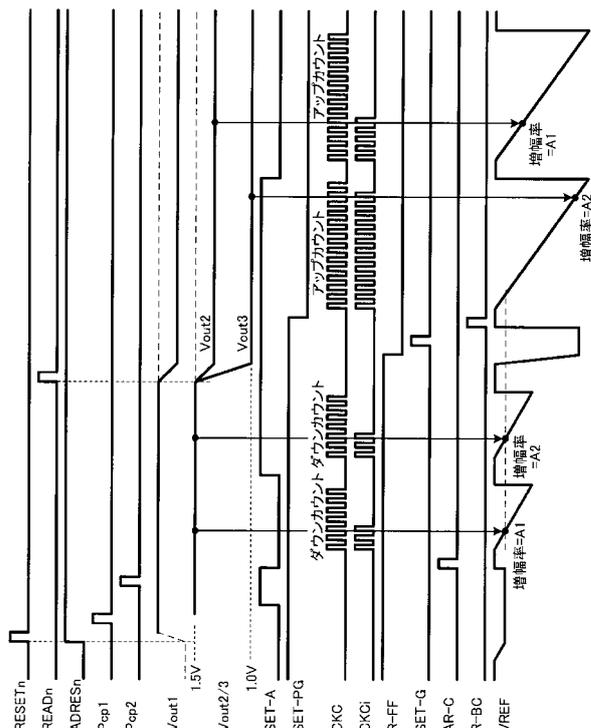
【 図 18 】



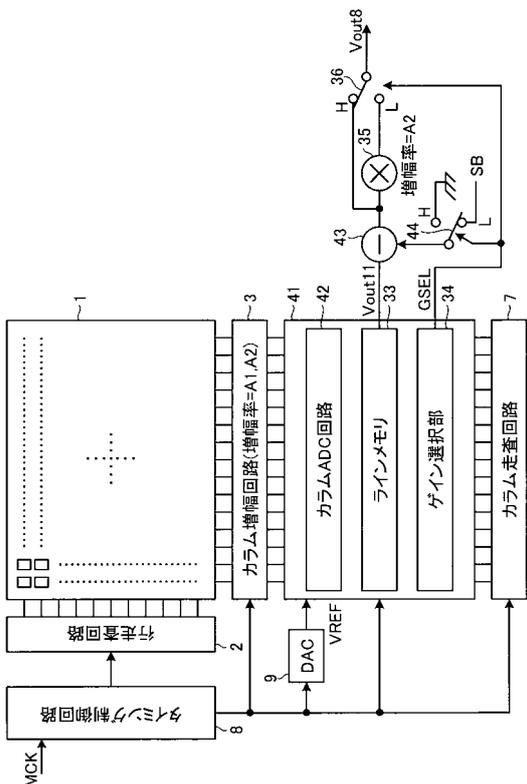
【 図 19 】



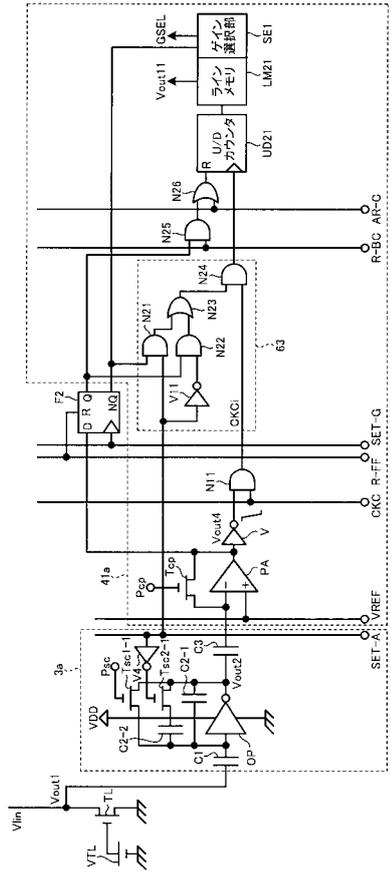
【 図 20 】



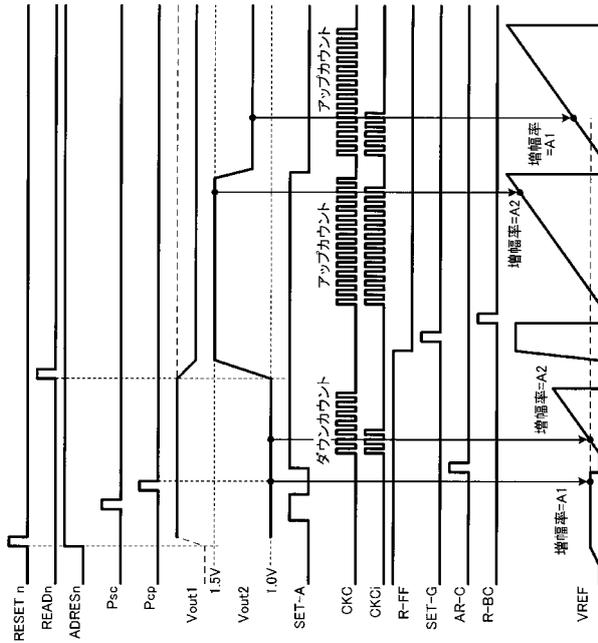
【 図 21 】



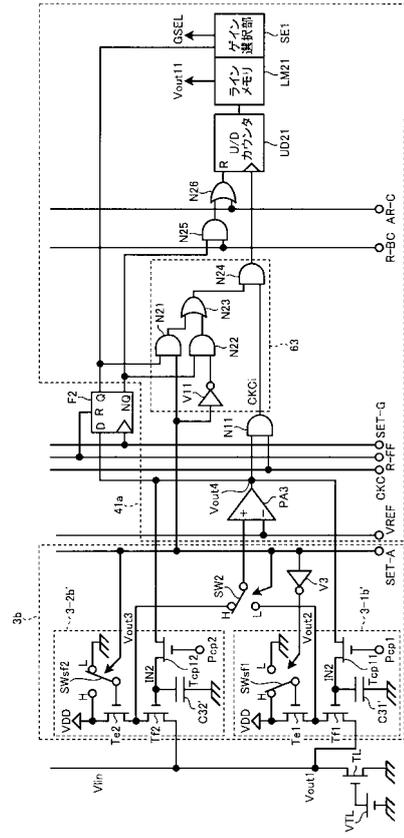
【 図 22 】



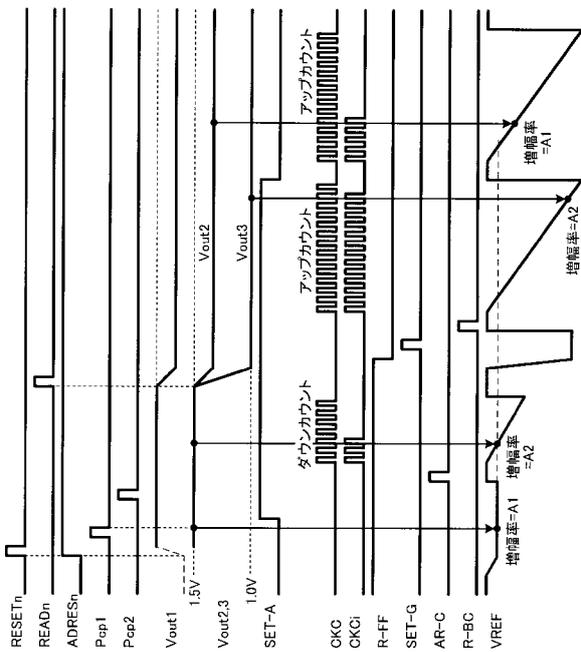
【図 2 3】



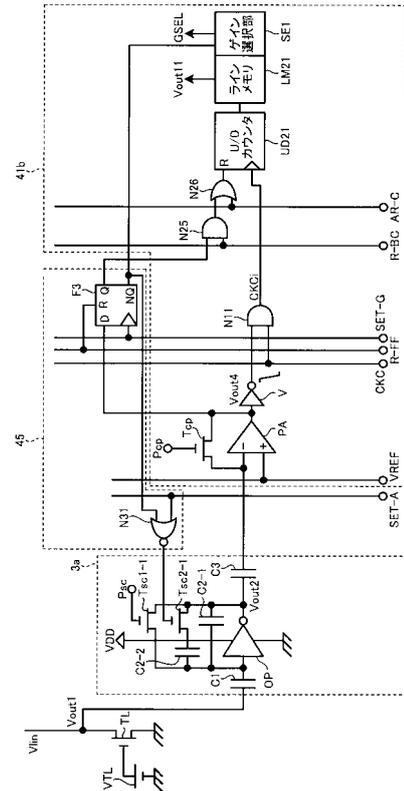
【図 2 4】



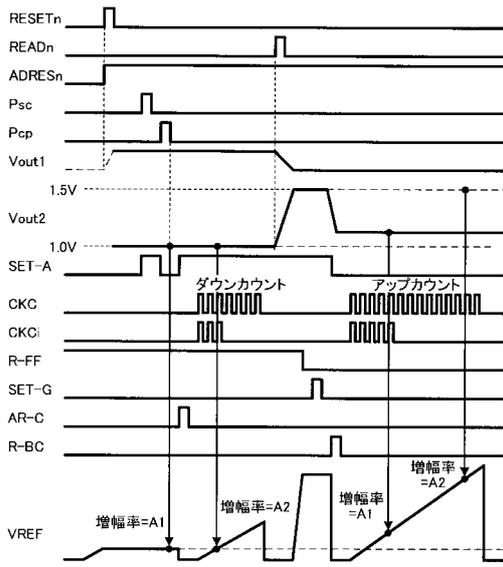
【図 2 5】



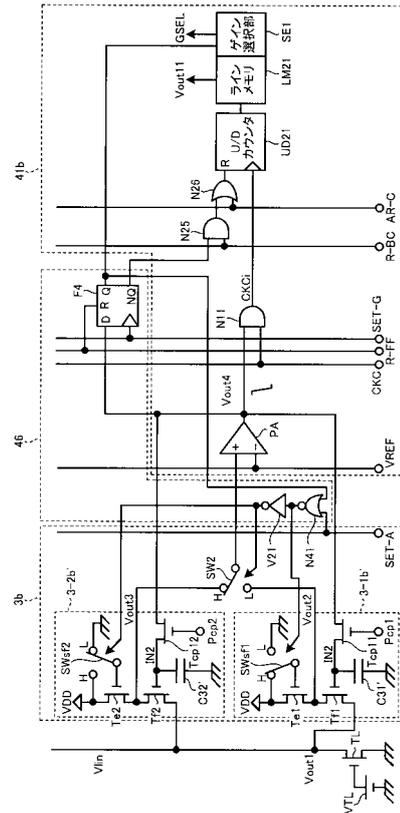
【図 2 6】



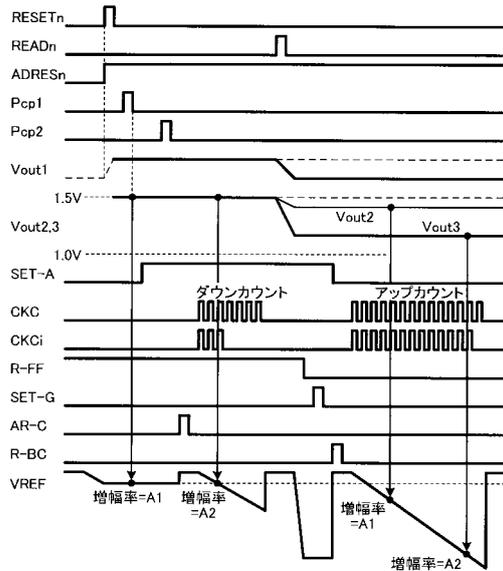
【図 27】



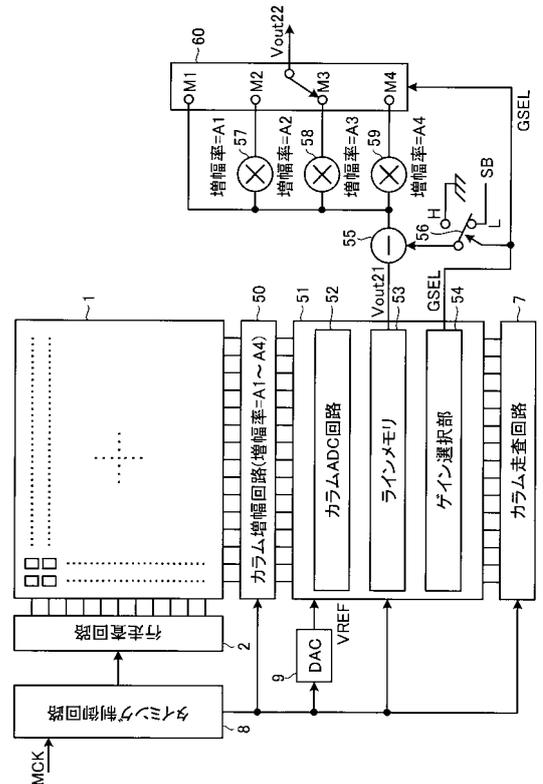
【図 28】



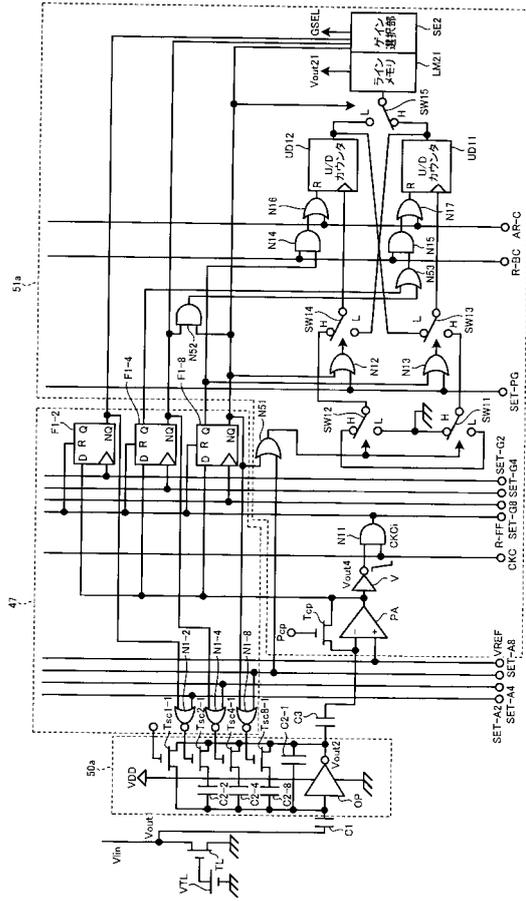
【図 29】



【図 30】



【 図 3 1 】



【 図 3 2 】

