

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-176615
(P2011-176615A)

(43) 公開日 平成23年9月8日(2011.9.8)

(51) Int.Cl.			F I			テーマコード (参考)
H03L	7/00	(2006.01)	H03L	7/00	D	5J001
H03L	7/081	(2006.01)	H03L	7/08	J	5J106
H03L	7/08	(2006.01)	H03L	7/08	L	
H03K	5/135	(2006.01)	H03K	5/135		

審査請求 未請求 請求項の数 15 O L (全 23 頁)

(21) 出願番号 特願2010-39043 (P2010-39043)
(22) 出願日 平成22年2月24日 (2010.2.24)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100115738
弁理士 鷲頭 光宏
(74) 代理人 100121681
弁理士 緒方 和文
(74) 代理人 100130982
弁理士 黒瀬 泰之
(74) 代理人 100127199
弁理士 三谷 拓也
(72) 発明者 阿部 恒夫
東京都中央区八重洲二丁目2番1号エルピー
ダメモリ株式会社内

最終頁に続く

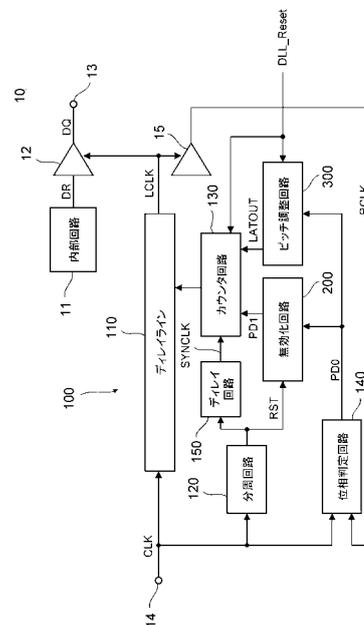
(54) 【発明の名称】 クロック制御回路及びこれを備える半導体装置

(57) 【要約】

【課題】 高速且つ正確にDLL回路をロックさせる。

【解決手段】 外部クロック信号CLKの位相に基づいて位相判定信号PD0を生成する位相判定回路140と、位相判定信号PD0の論理レベルに基づいてカウント値が更新されるカウンタ回路130と、カウント値に基づいて外部クロック信号CLKを遅延させることにより、内部クロック信号LCLKを生成するディレイライン110と、位相判定信号PD0が変化しない期間においてはカウンタ回路130の更新ピッチを最小ピッチの2倍に設定し、位相判定信号PD0が変化したことに対応してカウンタ回路130の更新ピッチを最小ピッチに設定するピッチ調整回路300と、を備える。これにより、高速且つ正確にDLL回路をロックさせることが可能となる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 のクロック信号の位相に基づいて位相判定信号を生成する位相判定回路と、
前記位相判定信号に基づいて、サンプリング周期ごとにカウント値が更新されるカウンタ回路と、

前記カウント値に基づいて前記第 1 のクロック信号を遅延させることにより、第 2 のクロック信号を生成する第 1 のディレイラインと、

前記位相判定信号が第 1 の論理レベルを示したことに応答して、同じサンプリング周期内におけるその後の前記位相判定信号の変化を無効化する第 1 の無効化回路と、

前記位相判定信号が第 2 の論理レベルを示したことに応答して、前記カウンタ回路の更新ピッチを変化させる第 1 のピッチ調整回路と、を備えることを特徴とするクロック制御回路。

10

【請求項 2】

前記第 1 のピッチ調整回路は、前記位相判定信号が前記第 2 の論理レベルを示したことに応答して、前記カウンタ回路の更新ピッチが小さくなるよう変化させることを特徴とする請求項 1 に記載のクロック制御回路。

【請求項 3】

前記第 1 のピッチ調整回路は、前記カウンタ回路をリセットするリセット信号に同期してリセットされ、前記位相判定信号の前記第 2 の論理レベルによってセットされる第 1 の S R ラッチ回路を含んでおり、

20

これにより、前記リセット信号が活性化してから前記位相判定信号が前記第 2 の論理レベルを示すまでの期間においては前記カウンタ回路の更新ピッチを相対的に大きくし設定し、前記位相判定信号が前記第 2 の論理レベルを示したことに応答して前記カウンタ回路の更新ピッチを相対的に小さく設定することを特徴とする請求項 2 に記載のクロック制御回路。

【請求項 4】

前記第 1 のピッチ調整回路は、更に、前記位相判定信号が前記サンプリング周期所定回数分変化しない場合に前記カウンタ回路の更新ピッチを変化させることを特徴とする請求項 1 乃至 3 のいずれか一項に記載のクロック制御回路。

【請求項 5】

30

前記第 1 のピッチ調整回路は、前記位相判定信号が前記サンプリング周期所定回数分変化しない場合、前記カウンタ回路の更新ピッチが大きくなるよう変化させることを特徴とする請求項 4 に記載のクロック制御回路。

【請求項 6】

前記第 1 の無効化回路は、前記サンプリング周期ごとに活性化するリセット信号に同期してリセットされ、前記位相判定信号の前記第 1 の論理レベルによってセットされる第 2 の S R ラッチ回路を含んでおり、

これにより、前記第 2 の S R ラッチ回路がセットされた後リセットされるまでの間における、前記位相判定信号の第 2 の論理レベルへの変化を無効化することを特徴とする請求項 1 乃至 5 のいずれか一項に記載のクロック制御回路。

40

【請求項 7】

前記第 1 の無効化回路の無効化動作を停止させることにより、前記位相判定信号をそのまま前記カウンタ回路に供給する停止回路をさらに備えることを特徴とする請求項 1 乃至 6 のいずれか一項に記載のクロック制御回路。

【請求項 8】

前記第 1 のディレイラインは、相対的に前記遅延量の調整ピッチが粗い大きいコースディレイラインと、相対的に前記遅延量の調整ピッチが細かいファインディレイラインとを含んでおり、

前記カウンタ回路は、前記第 1 のディレイラインに含まれる前記コースディレイラインの遅延量を調整することを特徴とする請求項 1 乃至 7 のいずれか一項に記載のクロック制

50

御回路。

【請求項 9】

前記位相判定信号が前記第 2 の論理レベルを示したことに応答して、同じサンプリング周期内におけるその後の前記位相判定信号の変化を無効化する第 2 の無効化回路と、

前記位相判定信号が前記第 1 の論理レベルを示したことに応答して、前記カウンタ回路の更新ピッチを変化させる第 2 のピッチ調整回路と、

前記第 1 及び第 2 の無効化回路のいずれか一方及び前記第 1 及び第 2 のピッチ調整回路のいずれか一方を選択する選択回路と、をさらに備えることを特徴とする請求項 1 乃至 8 のいずれか一項に記載のクロック制御回路。

【請求項 10】

前記第 2 のクロック信号のデューティに基づいてデューティ判定信号を生成するデューティ判定回路と、

前記デューティ判定信号に基づいて前記第 2 のクロック信号のデューティを補正するデューティ補正回路と、

前記デューティ判定信号が一方の論理レベルを示したことに応答して、前記デューティ補正回路によるデューティの補正ピッチを変化させる第 3 のピッチ調整回路と、をさらに備えることを特徴とする請求項 1 乃至 9 のいずれか一項に記載のクロック制御回路。

【請求項 11】

前記位相判定回路は、前記第 2 のクロック信号を遅延させた第 3 のクロック信号と、前記第 1 のクロック信号とを比較することによって、前記第 1 のクロック信号の位相を判定することを特徴とする請求項 1 乃至 10 のいずれか一項に記載のクロック制御回路。

【請求項 12】

請求項 11 に記載のクロック制御回路を備える半導体装置であって、

前記第 2 のクロック信号に同期して外部出力信号を出力する出力バッファと、前記出力バッファと実質的に同一の回路構成を有し、前記第 2 のクロック信号に同期して前記第 3 のクロック信号を出力するレプリカバッファとを備えていることを特徴とする半導体装置。

【請求項 13】

第 1 のクロック信号の位相に基づいて位相判定信号を生成する位相判定回路と、

前記位相判定信号の論理レベルに基づいてカウント値が更新されるカウンタ回路と、

前記カウント値に基づいて前記第 1 のクロック信号を遅延させることにより、第 2 のクロック信号を生成するディレイラインと、

前記位相判定信号が変化しない期間においては前記カウンタ回路の更新ピッチを相対的に大きい第 1 のピッチに設定し、前記位相判定信号が変化したことに応答して前記カウンタ回路の更新ピッチを相対的に小さい第 2 のピッチに設定するピッチ調整回路と、を備えることを特徴とするクロック制御回路。

【請求項 14】

前記ピッチ調整回路は、前記位相判定信号が所定期間変化しない場合、前記カウンタ回路の更新ピッチを前記第 1 のピッチに設定することを特徴とする請求項 13 に記載のクロック制御回路。

【請求項 15】

第 1 のクロック信号の位相に基づいて位相判定信号を生成する位相判定回路と、

前記位相判定信号の論理レベルに基づいてカウント値が更新されるカウンタ回路と、

前記カウント値に基づいて前記第 1 のクロック信号を遅延させることにより、第 2 のクロック信号を生成するディレイラインと、

前記位相判定信号が所定期間変化しない場合、前記カウンタ回路の更新ピッチを相対的に小さい第 2 のピッチから相対的に大きい第 1 のピッチに変化させるピッチ調整回路と、を備えることを特徴とするクロック制御回路。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明はクロック制御回路及びこれを備える半導体装置に関し、特に、DLL回路やデューティ補正回路など、クロック信号の位相やデューティを調整するクロック制御回路及びこれを備える半導体装置に関する。

【 背景技術 】

【 0 0 0 2 】

近年、パーソナルコンピュータなどのメインメモリとして、クロックに同期した動作を行うシンクロナスメモリが広く使用されている。中でも、DDR (Double Data Rate) 型のシンクロナスメモリでは、入出力データを外部クロック信号に対して正確に同期させる必要があることから、外部クロック信号に同期した内部クロック信号を生成するためのDLL回路が必須である(特許文献1参照)。

10

【 0 0 0 3 】

DLL回路は、外部クロック信号の位相に基づいてカウント値が更新されるカウンタ回路と、カウンタ回路のカウント値に基づいて外部クロック信号を遅延させることにより内部クロック信号を生成するディレイラインとを備えている。カウント値の更新は、所定のサンプリング周期で行われる。このため、カウント値を更新するタイミングにおいて、ノイズなどの影響により位相の判定結果が一時的に逆転してしまった場合、カウント値は本来の更新方向とは逆の方向に更新されてしまう。つまり、ディレイラインの遅延量を増大させるはずが減少させてしまったり、逆に、遅延量を減少させるはずが増大させてしまったりすることがある。

20

【 0 0 0 4 】

また、外部クロック信号には、ジッタ成分が重畳している場合がある。ジッタ成分とはクロック周波数のゆらぎであり、このゆらぎは所定の周波数を有している。ジッタ成分がDLL回路に影響すると、場合によっては、位相が大きくずれているにもかかわらず、アップカウントとダウンカウントを交互に繰り返すループに入り、その状態から抜けられないことがあった。

【 0 0 0 5 】

他方、DLL回路をロックさせるための期間は規格により定められている。このため、ノイズの影響でディレイラインが逆方向に調整されたり、ジッタ成分の影響でループに入ったりすると、規格で定められた期間内にDLL回路をロックすることができなくなってしまう。

30

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 8 - 2 1 7 9 4 7 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

このように、従来のDLL回路は、ノイズやジッタ成分の影響を受けると正しくロックすることができないという問題があった。このような問題は、DLL回路に限られず、クロック信号を制御する他の種類のクロック制御回路、例えば、内部クロック信号のデューティを補正するデューティ補正回路においても生じる問題である。つまり、デューティ補正回路においても、ノイズやジッタ成分の影響を受けると、内部クロック信号を所望のデューティに調整できなくなることがあった。

40

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の一側面によるクロック制御回路は、第1のクロック信号の位相に基づいて位相判定信号を生成する位相判定回路と、前記位相判定信号に基づいて、サンプリング周期ごとにカウント値が更新されるカウンタ回路と、前記カウント値に基づいて前記第1のクロック信号を遅延させることにより、第2のクロック信号を生成する第1のディレイ

50

ラインと、前記位相判定信号が第1の論理レベルを示したことに応答して、同じサンプリング周期内におけるその後の前記位相判定信号の変化を無効化する第1の無効化回路と、前記位相判定信号が第2の論理レベルを示したことに応答して、前記カウンタ回路の更新ピッチを変化させるピッチ調整回路と、を備えることを特徴とする。

【0009】

また、本発明による半導体装置は、上記のクロック制御回路と、第2のクロック信号に同期して外部出力信号を出力する出力バッファと、出力バッファと実質的に同一の回路構成を有し、第2のクロック信号に同期して第3のクロック信号を出力するレプリカバッファとを備え、位相判定回路は、第1及び第3のクロック信号を比較することによって第1のクロック信号の位相を判定することを特徴とする。

10

【0010】

本発明の他の側面によるクロック制御回路は、第1のクロック信号の位相に基づいて位相判定信号を生成する位相判定回路と、前記位相判定信号の論理レベルに基づいてカウント値が更新されるカウンタ回路と、前記カウント値に基づいて前記第1のクロック信号を遅延させることにより、第2のクロック信号を生成するディレイラインと、前記位相判定信号が変化しない期間においては前記カウンタ回路の更新ピッチを相対的に大きい第1のピッチに設定し、前記位相判定信号が変化したことに応答して前記カウンタ回路の更新ピッチを相対的に小さい第2のピッチに設定するピッチ調整回路と、を備えることを特徴とする。

【0011】

20

本発明のさらに他の側面によるクロック制御回路は、第1のクロック信号の位相に基づいて位相判定信号を生成する位相判定回路と、前記位相判定信号の論理レベルに基づいてカウント値が更新されるカウンタ回路と、前記カウント値に基づいて前記第1のクロック信号を遅延させることにより、第2のクロック信号を生成するディレイラインと、前記位相判定信号が所定期間変化しない場合、前記カウンタ回路の更新ピッチを相対的に小さい第2のピッチから相対的に大きい第1のピッチに変化させるピッチ調整回路と、を備えることを特徴とする。

【発明の効果】

【0012】

このように、本発明によれば、判定信号がサンプリング周期内で変化した場合、無効化回路によって位相判定信号が所定の論理レベルに固定されることから、ノイズやジッタ成分のように、短い周期で位相判定信号に影響を与える成分を排除することが可能となる。更に位相判定信号の変化に応じてディレイラインの遅延量を示すカウント値の変化量（更新ピッチ）を適切に変化させることで、短い周期のクロックに対しても問題なくクロック信号の位相を調整することが可能となる。このため、本発明によるクロック制御回路をDLL回路に適用すれば、DLL回路が長期間ロックしないという現象を防止することができる。また、本発明によるクロック制御回路をデューティ補正回路に適用すれば、内部クロック信号を長期間所望のデューティに調整できなくなるという現象を防止することができる。

30

【図面の簡単な説明】

40

【0013】

【図1】本発明の好ましい第1の実施形態による半導体装置10の構成を示すブロック図である。

【図2】無効化回路200の回路図である。

【図3】ピッチ調整回路300の回路図である。

【図4】カウンタ回路130の構成の一例を示す回路図である。

【図5】第1の実施形態によるDLL回路の動作を示すタイミングチャートである。

【図6】無効化回路200aの回路図である。

【図7】ピッチ調整回路300aの回路図である。

【図8】第2の実施形態によるDLL回路の動作を示すタイミングチャートである。

50

【図 9】本発明の好ましい第 3 の実施形態による半導体装置 30 の構成を示すブロック図である。

【図 10】ピッチ調整回路 400 の回路図である。

【図 11】第 3 の実施形態による D L L 回路の動作を示すタイミングチャートである。

【図 12】本発明の好ましい第 4 の実施形態による半導体装置 40 の構成を示すブロック図である。

【図 13】本発明の好ましい第 5 の実施形態による半導体装置 50 の構成を示すブロック図である。

【図 14】本発明の好ましい第 6 の実施形態による半導体装置 60 の構成を示すブロック図である。

10

【図 15】本発明の好ましい第 7 の実施形態による半導体装置 70 の構成を示すブロック図である。

【発明を実施するための形態】

【0014】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0015】

図 1 は、本発明の好ましい第 1 の実施形態による半導体装置 10 の構成を示すブロック図である。

【0016】

20

図 1 に示すように、本実施形態による半導体装置 10 は、内部出力信号 D R を出力する内部回路 11 と、内部出力信号 D R に基づいて外部出力信号 D Q を出力する出力バッファ 12 と、出力バッファ 12 の動作タイミングを制御する D L L 回路 100 とを備えている。内部回路 11 については、半導体装置 10 の種類によって異なり、例えば、本実施形態による半導体装置 10 が D R A M であれば、メモリセルアレイ、カラムスイッチ、リードアンプなどが含まれる。

【0017】

出力バッファ 12 は、出力端子 13 を介して外部出力信号 D Q を外部に出力する回路であり、外部出力信号 D Q の出力タイミングは、クロック端子 14 を介して入力される外部クロック信号 C L K (第 1 のクロック信号) と同期している必要がある。出力バッファ 12 の動作タイミングは、D L L 回路 100 によって制御される。以下、D L L 回路 100 の構成について詳細に説明する。

30

【0018】

図 1 に示すように、D L L 回路 100 は、ディレイライン 110 と、分周回路 120 と、カウンタ回路 130 と、位相判定回路 140 と、無効化回路 200 と、ピッチ調整回路 300 とを備えている。

【0019】

ディレイライン 110 は、外部クロック信号 C L K を遅延させることによって内部クロック信号 L C L K (第 2 のクロック信号) を生成する回路である。特に限定されるものではないが、ディレイライン 110 には、相対的に粗い調整ピッチで外部クロック信号を遅延させるコースディレイラインと、相対的に細かい調整ピッチで外部クロック信号を遅延させるファインディレイラインを含んでいることが好ましい。尚、ディレイライン 110 に入力されるクロック信号は、外部クロック信号 C L K そのものである必要はなく、レシーバによって外部クロック信号 C L K をバッファリングした信号であっても構わない。

40

【0020】

図 1 に示すように、内部クロック信号 L C L K は、出力バッファ 12 及びレプリカバッファ 15 に供給される。出力バッファ 12 は、上述の通り、内部回路 11 より供給される内部出力信号 D R を受け、これを外部出力信号 D Q として出力端子 13 に供給する回路である。一方、レプリカバッファ 15 は、出力バッファ 12 と実質的に同一の回路構成を有しており、内部クロック信号 L C L K に同期してレプリカクロック信号 R C L K (第 3 の

50

クロック信号)を出力する回路である。これにより、レプリカクロック信号RCLKの位相は、外部出力信号DQの位相と正確に一致することになる。但し、レプリカバッファ15を構成するトランジスタのサイズとしては、出力バッファ12を構成するトランジスタのサイズと同一である必要はなく、インピーダンスが実質的に同じである限り、シュリンクしたトランジスタを用いても構わない。

【0021】

分周回路120は、外部クロック信号CLKを分周することにより、ワンショットパルスであるリセット信号RSTを生成する回路である。リセット信号RSTは無効化回路200に供給されるとともに、ディレイ回路150に供給される。ディレイ回路150は、リセット信号RSTを遅延させることによって更新タイミング信号SYNCLKを生成する回路である。更新タイミング信号SYNCLKはカウンタ回路130に供給され、カウンタ回路130のカウント値を更新するタイミングを示す同期信号として用いられる。したがって、更新タイミング信号SYNCLKの活性化周期は、DLL回路100のサンプリング周期として定義される。尚、ディレイ回路150の遅延量は、サンプリング周期よりもやや短い量とすることが好ましい。

10

【0022】

ここで、リセット信号RSTの生成に分周回路120を用いている理由は、カウンタ回路130の更新及びディレイライン110の遅延量の変更にはある一定の時間が必要だからであり、外部クロック信号CLKの毎周期ごとにカウンタ回路130の更新及びディレイライン110の遅延量変更を行うことは困難だからである。また、カウンタ回路130の更新及びディレイライン110の遅延量変更を必要以上に高頻度に行うと、消費電力が大幅に増大するからである。

20

【0023】

カウンタ回路130は、ディレイライン110の遅延量を設定する回路であり、更新タイミング信号SYNCLKに同期して、そのカウント値が更新される。カウント値の増減は、無効化回路200から供給される位相判定信号PD1に基づいて定められる。つまり、位相判定信号PD1がアップカウントを示している場合(ハイレベルである場合)、カウンタ回路130は更新タイミング信号SYNCLKに同期してそのカウント値をアップカウントし、これにより、ディレイライン110の遅延量を増大させる。逆に、位相判定信号PD1がダウンカウントを示している場合(ローレベルである場合)、カウンタ回路130は更新タイミング信号SYNCLKに同期してそのカウント値をダウンカウントし、これにより、ディレイライン110の遅延量を減少させる。

30

【0024】

また、カウンタ回路130にはリセット信号DLL_Reset及びピッチ指定信号LATOUTも供給されている。リセット信号DLL_Resetは、DLL回路100をリセットする信号であり、これが活性化するとカウンタ回路130のカウント値がプリセット値に初期化される。また、ピッチ指定信号LATOUTはピッチ調整回路300によって生成される信号であり、これがローレベルである場合にはカウンタ回路130の更新ピッチ(更新タイミング信号SYNCLKに同期したカウント値をアップカウント量又はダウンカウント量)が最小ピッチに設定され、ハイレベルである場合にはカウンタ回路130の更新ピッチが最小ピッチの2倍に設定される。

40

【0025】

位相判定回路140は、外部クロック信号CLKとレプリカクロック信号RCLKとの位相差を検出する回路である。上述の通り、レプリカクロック信号RCLKの位相は外部出力信号DQの位相と一致するよう、ディレイライン110によって調整されるが、電圧や温度などディレイライン110の遅延量に影響を与えるパラメータの変動や、外部クロック信号CLK自体の周波数変動などによって、両者の位相は刻々と変化する。位相判定回路140はこのような変化を検出し、外部クロック信号CLKに対してレプリカクロック信号RCLKが進んでいるか或いは遅れているかを判定する。判定は外部クロック信号CLKの毎周期ごとに行われ、その結果は位相判定信号PD0として無効化回路200及

50

びピッチ調整回路300に供給される。

【0026】

無効化回路200は、位相判定信号PD0及びリセット信号RSTを受け、これらに基づいて位相判定信号PD1を生成する回路である。

【0027】

図2は、無効化回路200の回路図である。

【0028】

図2に示すように、無効化回路200は、循環接続されたNAND回路201, 202からなるSRラッチ回路210と、リセット信号RSTを反転させてSRラッチ回路210のリセット入力端(R)に供給するインバータ203と、位相判定信号PD0を反転させてSRラッチ回路210のセット入力端(S)に供給するインバータ204とを備える。

10

【0029】

かかる構成により、位相判定信号PD0がハイレベルになると、リセット信号RSTの論理レベルにかかわらずSRラッチ回路210はセット状態となり、その出力である位相判定信号PD1はハイレベルとなる。ここで、位相判定信号PD0がハイレベルとなるのは、位相判定回路140によって、外部クロック信号CLKよりもレプリカクロック信号RCLKの位相が進んでいることが検出された場合である。つまり、ディレイライン110の遅延量を増大させる必要があるケースである。

【0030】

一方、リセット信号RSTがハイレベル且つ位相判定信号PD0がローレベルになると、SRラッチ回路210はリセット状態となり、その出力である位相判定信号PD1はローレベルとなる。ここで、位相判定信号PD0がローレベルとなるのは、位相判定回路140によって、外部クロック信号CLKよりもレプリカクロック信号RCLKの位相が遅れていることが検出された場合である。つまり、ディレイライン110の遅延量を減少させる必要があるケースである。

20

【0031】

これにより、SRラッチ回路210がリセットされた後、位相判定信号PD0がハイレベルになるとSRラッチ回路210はセットされ、その後、位相判定信号PD0がローレベルに変化しても、その変化は無効化される。つまり、SRラッチ回路210がセットされた後リセットされるまでの間において、位相判定信号PD0が一度でもハイレベルになると、無効化回路200の出力である位相判定信号PD1はハイレベルに固定される。そして、位相判定信号PD1がローレベルとなるのは、SRラッチ回路210がリセットされた後、位相判定信号PD0がローレベルを維持している期間に限られる。

30

【0032】

図1に戻って、ピッチ調整回路300は位相判定信号PD0及びリセット信号DLL_Resetを受け、これらに基づいてピッチ指定信号LATOUTを生成する回路である。

【0033】

図3は、ピッチ調整回路300の回路図である。

40

【0034】

図3に示すように、ピッチ調整回路300は、循環接続されたNAND回路301, 302からなるSRラッチ回路310と、リセット信号DLL_Resetを反転させてSRラッチ回路310のリセット入力端(R)に供給するインバータ303とを備えている。SRラッチ回路310のセット入力端(S)には、位相判定信号PD0が入力される。

【0035】

かかる構成により、リセット信号DLL_Resetがハイレベルになると、位相判定信号PD0の論理レベルにかかわらずSRラッチ回路310はリセット状態となり、その出力であるピッチ指定信号LATOUTはハイレベルとなる。一方、リセット信号DLL_Resetがローレベル且つ位相判定信号PD0がローレベルになると、SRラッチ回

50

路 310 はセット状態となり、その出力であるピッチ指定信号 L A T O U T はローレベルとなる。

【 0036 】

これにより、S R ラッチ回路 310 がリセットされるとピッチ指定信号 L A T O U T はハイレベルとなり、その後、位相判定信号 P D 0 がハイレベルからローレベルに変化するとピッチ指定信号 L A T O U T はローレベルとなる。上述の通り、ピッチ指定信号 L A T O U T がハイレベルである場合には、カウンタ回路 130 の更新ピッチが最小ピッチの 2 倍に設定される。

【 0037 】

図 4 は、カウンタ回路 130 の構成の一例を示す回路図である。

10

【 0038 】

図 4 に示すように、カウンタ回路 130 は複数のビットカウンタ回路 130 - 1 ~ 130 - n によって構成されている。カウンタ回路 130 を構成するビットカウンタ回路の数 (= n) はカウント値のビット数に等しく、各ビットカウンタ回路 130 - 1 ~ 130 - n からの出力ビット O U T 1 ~ O U T n がカウント値のそれぞれ対応するビットとなる。

【 0039 】

ビットカウンタ回路 130 - 0 ~ 130 - n は互いに同じ回路構成を有しており、それぞれ複合ゲート回路 131、セレクタ 132, 133 及びラッチ回路 134 からなる。複合ゲート回路 131 の出力は、次段のビットカウンタ回路に含まれる複合ゲート回路 131 の入力信号として用いられる。

20

【 0040 】

ここで、初段のビットカウンタ回路 130 - 1 の複合ゲート回路 131 には、ピッチ指定信号 L A T O U T とセレクタ 132 の出力信号が入力されている。これに対し、2 段目以降のビットカウンタ回路 130 - 2 ~ 130 - n の複合ゲート回路 131 には、ピッチ指定信号 L A T O U T の代わりに前段のビットカウンタ回路に含まれる複合ゲート回路 131 の出力信号及び V S S レベルに固定された信号が入力される。

【 0041 】

かかる構成により、ピッチ指定信号 L A T O U T がローレベルである場合には、最下位ビット (L S B) であるビットカウンタ回路 130 - 1 が更新の対象となるため、カウンタ回路 130 の更新ピッチは最小ピッチとなる。これに対し、ピッチ指定信号 L A T O U T がハイレベルである場合には、下位 2 ビット目であるビットカウンタ回路 130 - 2 が更新の対象となるため、カウンタ回路 130 の更新ピッチは最小ピッチの 2 倍となる。

30

【 0042 】

図 5 は、本実施形態による D L L 回路の動作を示すタイミングチャートである。

【 0043 】

図 5 に示すように、本例では、ディレイ回路 150 の遅延量がサンプリング周期よりもやや短い量に設定されている。このため、更新タイミング信号 S Y N C L K が活性化すると、その直後にリセット信号 R S T が活性化することになる。このことは、カウンタ回路 130 のカウント値が更新されると、その直後にリセット信号 R S T が活性化することを意味する。

40

【 0044 】

まず、期間 T 10 においてワンショットパルスであるリセット信号 D L L _ R e s e t が活性化すると、ピッチ指定信号 L A T O U T はハイレベルとなる。これにより、カウンタ回路の更新ピッチは最小ピッチの 2 倍に設定される。図 5 に示す例では、サンプリング周期 T 11 の途中で位相判定信号 P D 0 がハイレベルからローレベルに遷移しており、このタイミングでピッチ指定信号 L A T O U T はローレベルとなる。これにより、カウンタ回路の更新ピッチは最小ピッチに設定される。

【 0045 】

また、図 5 に示すように、サンプリング周期 T 11, T 13, T 15 においてリセット信号 R S T が活性化したタイミングでは、位相判定信号 P D 0 がハイレベルであることが

50

ら、無効化回路200に含まれるSRラッチ回路210はリセットされない。この場合、SRラッチ回路210は従前からのセット状態が維持されるため、サンプリング周期T13に示すように位相判定信号PD0が途中でローレベルに変化しても、このような変化は無効化され、位相判定信号PD1はハイレベルを維持する。その結果、次に更新タイミング信号SYNCLKが活性化するタイミングで、カウンタ回路130のカウント値は強制的にアップカウントされる。つまり、ディレイライン110の遅延量は、強制的に増大させられる。

【0046】

これに対し、サンプリング周期T12, T14においてリセット信号RSTが活性化したタイミングでは、位相判定信号PD0がローレベルであることから、SRラッチ回路210はリセット信号RSTに同期してリセットされる。これにより、無効化回路200の出力である位相判定信号PD1はローレベルに変化する。

10

【0047】

しかしながら、サンプリング周期T12においては、位相判定信号PD0がその後ハイレベルに変化しているため、これに应答してSRラッチ回路210は再びセットされる。これにより位相判定信号PD1はハイレベルに戻り、その後、同じサンプリング周期内において位相判定信号PD0がローレベルに変化しても、このような変化は無効化され、位相判定信号PD1はハイレベルを維持する。その結果、次に更新タイミング信号SYNCLKが活性化するタイミングで、カウンタ回路130のカウント値は強制的にアップカウントされる。つまり、ディレイライン110の遅延量は、強制的に増大させられる。

20

【0048】

一方、サンプリング周期T14においては、リセット信号RSTの活性化によってSRラッチ回路210がリセットされた後、次に更新タイミング信号SYNCLKが活性化するタイミングまで、位相判定信号PD0がローレベルに維持されている。これにより、SRラッチ回路210のリセット状態が維持されるため、次に更新タイミング信号SYNCLKが活性化するタイミングで、カウンタ回路130のカウント値はダウンカウントされる。つまり、ディレイライン110の遅延量は減少させられる。

【0049】

このように、本実施形態では、カウンタ回路130のカウント値がダウンカウントされるのは、サンプリング周期T14に示すケース、つまり、リセット信号RSTの活性化によってSRラッチ回路210がリセットされた後、次に更新タイミング信号SYNCLKが活性化するタイミングまで、位相判定信号PD0がローレベルに維持されたケースに限られる。その他のケースでは、位相判定信号PD0の変化は無効化回路200によって無効化され、カウンタ回路130のカウント値は強制的にアップカウントされる。

30

【0050】

これにより、ノイズやジッタ成分のように、短い周期で位相判定信号PD0に影響を与える成分が排除されるため、DLL回路100が長期間ロックしないという現象を防止することが可能となる。

【0051】

また、カウンタ回路130のアップカウント量又はダウンカウント量(すなわち更新ピッチ)は、ピッチ指定信号LATOUTによって定められる。図5に示す例では、更新タイミング信号SYNCLKの1回目の活性化時においては、ピッチ指定信号LATOUTがハイレベルであることから、カウント値は最小ピッチの2倍でアップカウントする($X + 2$)。これに対し、更新タイミング信号SYNCLKの2回目以降の活性化時においては、ピッチ指定信号LATOUTがローレベルであることから、カウント値は最小ピッチでアップカウント又はダウンカウントする。

40

【0052】

これにより、リセット信号DLL_Resetの活性化直後における位相判定信号PD0の変化しない期間においては、カウンタ回路130の更新ピッチが2倍となることから、外部クロック信号CLKとレプリカクロック信号RCLKとの位相を高速に接近させる

50

ことが可能となる。そして、位相判定信号 P D 0 の変化によって、レプリカクロック信号 R C L K のアクティブエッジが外部クロック信号 C L K のアクティブエッジを超えたことが検出された場合には、カウンタ回路 1 3 0 の更新ピッチが最小値となることから、これらの位相差を高精度に一致させることが可能となる。このため、外部クロック信号 C L K の周波数が比較的低い場合のように、D L L 回路 1 0 0 がロックするまでに時間がかかるケースであっても、本実施形態によれば、速やかにロックさせることが可能となる。

【 0 0 5 3 】

尚、本実施形態では、カウンタ回路 1 3 0 のアップカウントを優先していることから、ダウンカウントした方が D L L ロックに要する時間が短いケース（外部クロック信号 C L K に対するレプリカクロック信号 R C L K の遅れ量よりも、進み量の方が大きいケース）であっても、アップカウントを続けることによって D L L ロックが行われることがある。この場合、D L L ロックまでにやや長い時間がかかるが、少なくとも、アップカウントとダウンカウントを交互に繰り返すループに入るといった問題は生じず、しかも、レプリカクロック信号 R C L K のアクティブエッジが外部クロック信号 C L K のアクティブエッジを超えるまでは 2 倍の速度で調整動作が進行するため、規格で定められた期間内に D L L ロックを完了することが可能となる。

【 0 0 5 4 】

次に、本発明の第 2 の実施形態について説明する。

【 0 0 5 5 】

図 6 は第 2 の実施形態にて用いる無効化回路 2 0 0 a の回路図であり、図 7 は第 2 の実施形態にて用いるピッチ調整回路 3 0 0 a の回路図である。本実施形態は、図 1 に示した無効化回路 2 0 0 が無効化回路 2 0 0 a に置き換えられているとともに、図 1 に示したピッチ調整回路 3 0 0 がピッチ調整回路 3 0 0 a に置き換えられている点において第 1 の実施形態と相違し、その他の点は一致する。このため重複する説明は省略する。

【 0 0 5 6 】

図 6 に示すように、無効化回路 2 0 0 a は、インバータ 2 0 4 が削除されているとともに、S R ラッチ回路 2 1 0 の出力を反転させるインバータ 2 0 5 が追加されている点において、図 2 に示した無効化回路 2 0 0 と相違する。その他の点は、図 2 に示した無効化回路 2 0 0 と同じである。

【 0 0 5 7 】

かかる構成により、位相判定信号 P D 0 がローレベルになると、リセット信号 R S T の論理レベルにかかわらず S R ラッチ回路 2 1 0 はセット状態となり、無効化回路 2 0 0 a の出力である位相判定信号 P D 1 はローレベルとなる。一方、リセット信号 R S T と位相判定信号 P D 0 がともにハイレベルになると、S R ラッチ回路 2 1 0 はリセット状態となり、無効化回路 2 0 0 a の出力である位相判定信号 P D 1 はハイレベルとなる。

【 0 0 5 8 】

これにより、S R ラッチ回路 2 1 0 がリセットされた後、位相判定信号 P D 0 がローレベルになると S R ラッチ回路 2 1 0 はセットされ、その後、位相判定信号 P D 0 がハイレベルに変化しても、その変化は無効化される。つまり、S R ラッチ回路 2 1 0 がセットされた後リセットされるまでの間において、位相判定信号 P D 0 が一度でもローレベルになると、無効化回路 2 0 0 a の出力である位相判定信号 P D 1 はローレベルに固定される。そして、位相判定信号 P D 1 がハイレベルとなるのは、S R ラッチ回路 2 1 0 がリセットされた後、位相判定信号 P D 0 がハイレベルを維持している期間に限られる。

【 0 0 5 9 】

また、図 7 に示すように、ピッチ調整回路 3 0 0 a は、位相判定信号 P D 0 を反転させるインバータ 3 0 4 が追加されている点において、図 3 に示したピッチ調整回路 3 0 0 と相違する。その他の点は、図 3 に示したピッチ調整回路 3 0 0 と同じである。

【 0 0 6 0 】

かかる構成により、リセット信号 D L L _ R e s e t がハイレベルになると、位相判定信号 P D 0 の論理レベルにかかわらず S R ラッチ回路 3 1 0 はリセット状態となり、その

10

20

30

40

50

出力であるピッチ指定信号 L A T O U T はハイレベルとなる。一方、リセット信号 D L L _ R e s e t がローレベル且つ位相判定信号 P D 0 がハイレベルになると、S R ラッチ回路 3 1 0 はセット状態となり、その出力であるピッチ指定信号 L A T O U T はローレベルとなる。つまり、S R ラッチ回路 3 1 0 がリセットされた後、位相判定信号 P D 0 がローレベルからハイレベルに変化するとピッチ指定信号 L A T O U T はローレベルとなる。

【 0 0 6 1 】

図 8 は、本実施形態による D L L 回路の動作を示すタイミングチャートである。

【 0 0 6 2 】

まず、期間 T 2 0 においてワンショットパルスであるリセット信号 D L L _ R e s e t が活性化すると、ピッチ指定信号 L A T O U T はハイレベルとなる。これにより、カウンタ回路の更新ピッチは最小ピッチの 2 倍に設定される。図 8 に示す例では、サンプリング周期 T 2 1 の途中で位相判定信号 P D 0 がローレベルからハイレベルに遷移しており、このタイミングでピッチ指定信号 L A T O U T はローレベルとなる。これにより、カウンタ回路の更新ピッチは最小ピッチに設定される。

10

【 0 0 6 3 】

また、図 8 に示すように、サンプリング周期 T 2 1 , T 2 3 , T 2 5 においてリセット信号 R S T が活性化したタイミングでは、位相判定信号 P D 0 がローレベルであることから、無効化回路 2 0 0 a に含まれる S R ラッチ回路 2 1 0 はリセットされない。この場合、S R ラッチ回路 2 1 0 は従前からのセット状態が維持されるため、サンプリング周期 T 2 3 に示すように位相判定信号 P D 0 が途中でハイレベルに変化しても、このような変化は無効化され、位相判定信号 P D 1 はローレベルを維持する。その結果、次に更新タイミング信号 S Y N C L K が活性化するタイミングで、カウンタ回路 1 3 0 のカウント値は強制的にダウンカウントされる。つまり、ディレイライン 1 1 0 の遅延量は、強制的に減少させられる。

20

【 0 0 6 4 】

これに対し、サンプリング周期 T 2 2 , T 2 4 においてリセット信号 R S T が活性化したタイミングでは、位相判定信号 P D 0 がハイレベルであることから、S R ラッチ回路 2 1 0 はリセット信号 R S T に同期してリセットされる。これにより、無効化回路 2 0 0 a の出力である位相判定信号 P D 1 はハイレベルに変化する。

【 0 0 6 5 】

しかしながら、サンプリング周期 T 2 2 においては、位相判定信号 P D 0 がその後ローレベルに変化しているため、これに応答して S R ラッチ回路 2 1 0 は再びセットされる。これにより位相判定信号 P D 1 はローレベルに戻り、その後、同じサンプリング周期内において位相判定信号 P D 0 がハイレベルに変化しても、このような変化は無効化され、位相判定信号 P D 1 はローレベルを維持する。その結果、次に更新タイミング信号 S Y N C L K が活性化するタイミングで、カウンタ回路 1 3 0 のカウント値は強制的にダウンカウントされる。つまり、ディレイライン 1 1 0 の遅延量は、強制的に減少させられる。

30

【 0 0 6 6 】

一方、サンプリング周期 T 2 4 においては、リセット信号 R S T の活性化によって S R ラッチ回路 2 1 0 がリセットされた後、次に更新タイミング信号 S Y N C L K が活性化するタイミングまで、位相判定信号 P D 0 がハイレベルに維持されている。これにより、S R ラッチ回路 2 1 0 のリセット状態が維持されるため、次に更新タイミング信号 S Y N C L K が活性化するタイミングで、カウンタ回路 1 3 0 のカウント値はアップカウントされる。つまり、ディレイライン 1 1 0 の遅延量は増大させられる。

40

【 0 0 6 7 】

このように、本実施形態では、カウンタ回路 1 3 0 のカウント値がアップカウントされるのは、サンプリング周期 T 2 4 に示すケース、つまり、リセット信号 R S T の活性化によって S R ラッチ回路 2 1 0 がリセットされた後、次に更新タイミング信号 S Y N C L K が活性化するタイミングまで、位相判定信号 P D 0 がハイレベルに維持されたケースに限られる。その他のケースでは、位相判定信号 P D 0 の変化は無効化回路 2 0 0 a によって

50

無効化され、カウンタ回路 130 のカウント値は強制的にダウンカウントされる。

【0068】

これにより、上述した第 1 の実施形態と同じ効果を得ることが可能となる。

【0069】

尚、本実施形態では、カウンタ回路 130 のダウンカウントを優先していることから、アップカウントした方が D L L ロックに要する時間が短いケース（外部クロック信号 C L K に対するレプリカクロック信号 R C L K の進み量よりも、遅れ量の方が大きいケース）であっても、ダウンカウントを続けることによって D L L ロックが行われることがある。この場合、D L L ロックまでにやや長い時間がかかるが、少なくとも、アップカウントとダウンカウントを交互に繰り返すループに入るといった問題が生じず、しかも、レプリカクロック信号 R C L K のアクティブエッジが外部クロック信号 C L K のアクティブエッジを超えるまでは 2 倍の速度で調整動作が進行するため、規格で定められた期間内に D L L ロックを完了することが可能となる。

10

【0070】

次に、本発明の第 3 の実施形態について説明する。

【0071】

図 9 は、本発明の第 3 の実施形態による半導体装置の 30 の構成を示すブロック図である。本実施形態は、ピッチ調整回路 300 がピッチ調整回路 400 に置き換えられている点において、上述した第 1 の実施形態と異なる。その他の点は、第 1 の実施形態による半導体装置 10 と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

20

【0072】

図 9 に示すように、ピッチ調整回路 400 には、位相判定信号 P D 0 及びリセット信号 D L L _ R e s e t のみならず、更新タイミング信号 S Y N C L K が入力されている。

【0073】

図 10 は、ピッチ調整回路 400 の回路図である。

【0074】

図 10 に示すように、ピッチ調整回路 400 は、循環接続された N A N D 回路 401, 402 からなる S R ラッチ回路 410 と、更新タイミング信号 S Y N C L K に同期して位相判定信号 P D 0 をカウントするカウンタ回路 420 とを備える。カウンタ回路 420 は、リセット信号 D L L _ R e s e t に応答してリセットされるとともに、更新タイミング信号 S Y N C L K の活性化時における位相判定信号 P D 0 の論理レベルが 4 回連続ハイレベルである場合に、検出信号 Q をローレベルからハイレベルに遷移させる回路である。検出信号 Q は、インバータ 403 によって反転された後、S R ラッチ回路 410 のセット入力端 (S) に入力される。

30

【0075】

また、リセット信号 D L L _ R e s e t は、インバータ 404 によって反転された後、S R ラッチ回路 410 のリセット入力端 (R) に入力される。さらに、検出信号 Q の反転信号 / Q と反転された位相判定信号 P D 0 が N A N D 回路 405 に供給され、その出力が S R ラッチ回路 410 のリセット入力端 (R) に入力される。

40

【0076】

かかる構成により、リセット信号 D L L _ R e s e t がハイレベルになると S R ラッチ回路 410 はリセット状態となり、その出力であるピッチ指定信号 L A T O U T はローレベルとなる。その後、更新タイミング信号 S Y N C L K の活性化時における位相判定信号 P D 0 の論理レベルが 4 回連続ハイレベルになると、S R ラッチ回路 410 がセットされ、その出力であるピッチ指定信号 L A T O U T はハイレベルに遷移する。さらにその後、位相判定信号 P D 0 がローレベルに変化すると、S R ラッチ回路 410 が再びリセットされ、その出力であるピッチ指定信号 L A T O U T はローレベルに戻る。

【0077】

ここで、更新タイミング信号 S Y N C L K の活性化時における位相判定信号 P D 0 の論

50

理レベルが4回連続ハイレベルになるのは、位相のズレが大きいためこのままの更新ピッチでカウントアップを進めるとDLL回路がロックするまでに長い時間がかかる可能性があることを意味する。この場合、より高速にロックさせるためには、更新ピッチを増大させることが好ましい。かかる観点から、上記の条件が検出されると、ピッチ指定信号LATOUTをローレベルからハイレベルに遷移させているのである。

【0078】

一方、SRラッチ回路410がセットされた後に、位相判定信号PD0がローレベルに変化するのは、レプリカクロック信号RCLKのアクティブエッジが外部クロック信号CLKのアクティブエッジを超えたことを意味する。この場合、正しくロックさせるためには、更新ピッチを減少させることが好ましい。かかる観点から、上記の条件が検出されると、ピッチ指定信号LATOUTをハイレベルからローレベルに遷移させているのである。

10

【0079】

図11は、本実施形態によるDLL回路の動作を示すタイミングチャートである。

【0080】

まず、期間T30においてワンショットパルスであるリセット信号DLL_Resetが活性化すると、ピッチ指定信号LATOUTはローレベルとなる。これにより、カウンタ回路の更新ピッチは最小ピッチに設定される。この時、位相判定信号PD0はハイレベルであることから、カウンタ回路130は更新タイミング信号SYNCLKに同期してカウントアップされる。

20

【0081】

図11に示す例では、その後、更新タイミング信号SYNCLKの活性化時における位相判定信号PD0の論理レベルが4回連続ハイレベルになっている。これに応答してピッチ指定信号LATOUTはハイレベルに変化し、カウンタ回路の更新ピッチは最小ピッチの2倍となる($X+4$ $X+6$)。

【0082】

その後の動作は、図5に示した動作と同じであり、例えば、サンプリング周期T36においては、位相判定信号PD0が途中でハイレベルに変化しているため、その後、同じサンプリング周期内において位相判定信号PD0がローレベルに変化しても、このような変化は無効化され、位相判定信号PD1はハイレベルを維持する。

30

【0083】

このように、本実施形態では、リセット信号DLL_Resetが活性化した直後においてはカウンタ回路130の更新ピッチを最小ピッチとし、その後、更新タイミング信号SYNCLKの活性化時における位相判定信号PD0の論理レベルが4回連続ハイレベルになる条件が出現した場合には更新ピッチを最小ピッチの2倍としている。これにより、最小ピッチのままカウントアップを進めるとDLL回路がロックするまでに長い時間がかかるのに対し、本実施形態では2倍の速度で調整動作が進行するため、高速にDLLロックを完了することが可能となる。

【0084】

しかも、更新ピッチが2倍となった後に位相判定信号PD0がローレベルに変化すると、カウンタ回路130の更新ピッチを最小ピッチに戻していることから、DLL回路のロックが近い状態において、行き過ぎた調整動作を行うことがなくなる。

40

【0085】

次に、本発明の第4の実施形態について説明する。

【0086】

図12は、本発明の第4の実施形態による半導体装置の40の構成を示すブロック図である。本実施形態は、無効化回路200, 200aの両方が備えられている点、ピッチ調整回路300, 300aの両方が備えられている点、並びに、無効化回路200, 200aのいずれか一方及びピッチ調整回路300, 300aのいずれか一方を選択する選択回路31を備えている点において、上述した第1の実施形態と異なる。その他の点は、第1

50

の実施形態による半導体装置 10 と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

【0087】

図 12 に示すように、選択回路 31 には、位相判定回路 140 の出力である位相判定信号 PD0 が入力されており、DLL 回路 100a が動作を開始した後、最初に得られた位相判定信号 PD0 の論理レベルに基づいて、無効化回路 200, 200a のいずれか一方及びピッチ調整回路 300, 300a のいずれか一方を選択する。選択されなかった側の無効化回路及びピッチ調整回路については、その出力は無視される。具体的には、最初に得られた位相判定信号 PD0 がハイレベルである場合は、アップカウントを優先する無効化回路 200 とピッチ調整回路 300 を選択し、最初に得られた位相判定信号 PD0 がローレベルである場合は、ダウンカウントを優先する無効化回路 200a とピッチ調整回路 300a を選択する。

10

【0088】

最初に得られた位相判定信号 PD0 がハイレベルである場合は、アップカウントした方が DLL ロックに要する時間が短いケース（外部クロック信号 CLK に対するレプリカクロック信号 RCLK の進み量よりも、遅れ量の方が大きいケース）である確率が高く、逆に、最初に得られた位相判定信号 PD0 がローレベルである場合は、ダウンカウントした方が DLL ロックに要する時間が短いケース（外部クロック信号 CLK に対するレプリカクロック信号 RCLK の遅れ量よりも、進み量の方が大きいケース）である確率が高い。このため、最初に得られた位相判定信号 PD0 に基づいて無効化回路 200, 200a のいずれか一方及びピッチ調整回路 300, 300a のいずれか一方を選択すれば、上述した第 1 及び第 2 の実施形態よりも、より高速に DLL 回路 100a をロックさせることが可能となる。

20

【0089】

尚、ピッチ調整回路 300, 300a については、図 10 に示したタイプのピッチ調整回路 (400) を用いることも可能である。

【0090】

次に、本発明の第 5 の実施形態について説明する。

【0091】

図 13 は、本発明の第 5 の実施形態による半導体装置の 50 の構成を示すブロック図である。本実施形態は、無効化回路 200 の上述した無効化動作を停止させる停止回路 41 を備えている点において、上述した第 1 又は第 3 の実施形態と異なる。その他の点は、第 1 又は第 3 の実施形態による半導体装置 10, 30 と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

30

【0092】

停止回路 41 の出力である停止信号 STP は、初期状態においては非活性状態であり、このため、無効化回路 200 は上述した無効化動作を行う。一方、停止回路 41 にはカウンタ回路 130 のカウント値が供給されており、これがあらかじめ定められたパターンで変化した場合、停止信号 STP を活性化させる。停止信号 STP が活性化すると、無効化回路 200 は無効化動作を停止し、位相判定信号 PD0 をそのまま位相判定信号 PD1 としてカウンタ回路 130 に供給する。

40

【0093】

ここで、あらかじめ定められたパターンとは、DLL 回路 100b がロックした状態又はロックに近い状態にて現れるパターンである。具体的には、カウンタ回路 130 のカウント値がアップカウントした後ダウンカウントするパターン、又はその逆のパターンが現れた場合に、停止信号 STP を活性化させることが好ましい。これは、このようなパターンが現れるのは、外部クロック信号 CLK とレプリカクロック信号 RCLK の位相がほぼ一致している場合の特徴だからである。このような場合、無効化回路 200 によってアップカウントを優先すると、却って位相がずれる可能性があるため、本実施形態では停止回路 41 によって無効化回路 200 の動作を停止させているのである。

50

【0094】

これにより、本実施形態によれば、第1の実施形態による効果に加え、DLLロック後のロック状態をより確実に維持できるという効果を得ることが可能となる。

【0095】

尚、停止信号STPが活性化するためのカウント値の変化パターンとしては、上述したパターンの他、アップカウントとダウンカウントが交互に3回又は4回以上繰り返されたパターンとしても構わない。アップカウントとダウンカウントを交互に繰り返すのは、外部クロック信号CLKとレプリカクロック信号RCLKの位相がほぼ一致している場合のより明確な特徴だからである。

【0096】

次に、本発明の第6の実施形態について説明する。

【0097】

図14は、本発明の第6の実施形態による半導体装置の60の構成を示すブロック図である。本実施形態は、ディレイライン110がコースディレイライン111とファインディレイライン112を含んでいる点、ファインディレイライン112の遅延量を調整するカウンタ回路132を備えている点、並びに、カウンタ回路130, 132のいずれか一方を選択する選択回路51を備えている点において、上述した第1又は第3の実施形態と異なる。その他の点は、第1又は第3の実施形態による半導体装置10, 30と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

【0098】

コースディレイライン111は、相対的に遅延量の調整ピッチが粗い大きいディレイラインであり、比較的遅延量の大きいインバータを従属接続したインバータチェーンによって構成される。また、ファインディレイライン112は、相対的に遅延量の調整ピッチが細かいディレイラインであり、比較的遅延量の小さいインバータを従属接続したインバータチェーンによって構成されるか、或いは、コースディレイライン111から得られる2つのクロックを合成するインターポレータによって構成される。

【0099】

本実施形態では、カウンタ回路130のカウント値によってコースディレイライン111の遅延量が調整され、カウンタ回路132のカウント値によってファインディレイ112の遅延量が調整される。そして、これらコースディレイライン111とファインディレイライン112は直列に接続されており、コースディレイライン111によって大まかな遅延量の調整を行った後、さらに、ファインディレイライン112によって細かな遅延量の調整を行うことで、より高速且つ高精度なDLLロックを実現している。

【0100】

図14に示すように、コースディレイライン111を制御するカウンタ回路130に対しては、無効化回路200を介した位相判定信号PD1が供給される一方、ファインディレイライン112を制御するカウンタ回路132に対しては、位相判定信号PD0が直接供給される。これは、ファインディレイライン112は主にDLLロック後における微調整に用いられることから、非ロック状態からDLL回路100cがロックするまでの時間にはあまり影響しないからであり、むしろ、ファインディレイライン112に対して無効化動作を行うと、位相のズレが生じる可能性が大きくなるからである。

【0101】

また、コースディレイライン111を制御するカウンタ回路130に対しては、ピッチ調整回路300, 400による更新ピッチの変更が行われる一方、ファインディレイライン112を制御するカウンタ回路132に対しては、このようなピッチ変更は行われず、更新ピッチは一定に保たれる。これは、上述の通り、ファインディレイライン112は主にDLLロック後における微調整に用いられることから、更新ピッチの変更を行う必要性が少ないからである。

【0102】

選択回路51は、カウンタ回路130, 132のいずれか一方の動作(カウント値の更

10

20

30

40

50

新)を許可する回路である。選択回路51は、初期状態においてはカウンタ回路130を選択しており、これにより、ディレイライン110はコースディレイライン111による粗調動作を行う。選択回路51にはカウンタ回路130のカウンタ値が供給されており、これがあらかじめ定められたパターンで変化した場合、カウンタ回路130の動作を停止させ、その代わりに、カウンタ回路132を選択してファインディレイライン112による微調動作を行う。ここで、あらかじめ定められたパターンとしては、上述した停止信号STPが活性化するパターンと同じパターンを挙げることができる。

【0103】

これにより、本実施形態によれば、高速にDLLロックを行うことができるとともに、無効化回路200の動作がファインディレイライン112に影響を及ぼさないことから、高精度なDLLロック状態を確保することが可能となる。

10

【0104】

次に、本発明の第7の実施形態について説明する。

【0105】

図15は、本発明の第7の実施形態による半導体装置の70の構成を示すブロック図である。

【0106】

図15に示すように、本実施形態による半導体装置70は、ディレイライン160、カウンタ回路170、デューティ判定回路180及び無効化回路290をさらに備え、2つのディレイライン110, 160の出力を信号合成器190によって合成することによって内部クロック信号LCLKを生成する。また、カウンタ回路170に対してもピッチ調整回路300, 400が割り当てられている。その他の点については上述した第1の実施形態による半導体装置10と基本的に同じであることから、同一の要素には同一の符号を付し、重複する説明は省略する。

20

【0107】

ディレイライン160及びカウンタ回路170は、インバータ250によって反転した外部クロック信号CLKのデューティを補正するデューティ補正回路を構成する。具体的には、ディレイライン160は、外部クロック信号CLKの立ち下がりエッジの位置を調整することによって内部クロック信号LCLKのデューティを調整する。その調整量は、カウンタ回路170によって定められる。一方、ディレイライン110は、外部クロック信号CLKの立ち上がりエッジの位置を調整することによって内部クロック信号LCLKの位相を調整する。これにより、信号合成器190によって生成される内部クロック信号LCLKは、位相及びデューティとも正しく調整された信号となる。

30

【0108】

カウンタ回路170は、ディレイライン160の遅延量を設定する回路であり、更新タイミング信号SYNCLKに同期して、そのカウンタ値が更新される。カウンタ値の増減は、無効化回路290から供給されるデューティ判定信号DD1に基づいて定められる。つまり、デューティ判定信号DD1がアップカウントを示している場合、カウンタ回路170は更新タイミング信号SYNCLKに同期してそのカウンタ値をアップカウントし、これにより、ディレイライン160の遅延量を増大させる。逆に、デューティ判定信号DD1がダウンカウントを示している場合、カウンタ回路170は更新タイミング信号SYNCLKに同期してそのカウンタ値をダウンカウントし、これにより、ディレイライン160の遅延量を減少させる。

40

【0109】

無効化回路290は、デューティ判定信号DD0及びリセット信号RSTを受け、これらに基づいてデューティ判定信号DD1を生成する回路である。その回路構成は、図2に示した無効化回路200又は図6に示した無効化回路200aと同様である。したがって、無効化回路290は、無効化回路200又は200aと同様の無効化動作を行う。

【0110】

デューティ判定回路180は、ディレイライン110, 160の出力に基づいて、内部

50

クロック信号 L C L K のデューティを検出し、これによりデューティ判定信号 D D 0 を生成する回路である。

【 0 1 1 1 】

また、カウンタ回路 1 7 0 に割り当てられたピッチ調整回路 3 0 0 , 4 0 0 はデューティ判定信号 D D 0 に基づいてピッチ指定信号 L A T O U T D を生成し、これによってカウンタ回路 1 7 0 の更新ピッチが変更される。その基本的な動作は既に説明したとおりである。

【 0 1 1 2 】

このように、本実施形態による D L L 回路 1 0 0 d は、ノイズやジッタ成分のように、短い周期で位相判定信号 P D 0 に影響を与える成分を無効化回路 2 0 0 によって排除し、短い周期でデューティ判定信号 D D 0 に影響を与える成分を無効化回路 2 9 0 によって排除している。しかも、カウンタ回路 1 7 0 に割り当てられたピッチ調整回路 3 0 0 , 4 0 0 によって、カウンタ回路 1 7 0 の更新ピッチを可変としている。このため、位相のみならずデューティについても、速やかに調整することが可能となる。

【 0 1 1 3 】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【 0 1 1 4 】

例えば、上記各実施形態では、本発明を D L L 回路に適用した場合を例に説明したが、本発明の適用対象がこれに限定されるものではなく、他の種類のクロック制御回路、例えばデューティ補正回路（図 1 5 参照）に対して適用することも可能である。

【 0 1 1 5 】

また、上記各実施形態では、リセット信号 R S T を用いて無効化回路 2 0 0 等のリセットしているが、カウンタ回路 1 3 0 の更新動作と干渉しない限り、更新タイミング信号 S Y N C L K 自体をリセット信号 R S T として用いても構わない。さらには、更新タイミング信号 S Y N C L K を遅延させることによってリセット信号 R S T を生成しても構わない。

【 0 1 1 6 】

また、上記各実施形態では、相対的に小さい更新ピッチを最小ピッチとし、相対的に大きい更新ピッチを最小ピッチの 2 倍としているが、本発明がこれに限定されるものではなく、更新ピッチに差があればいかなる組み合わせも可能である。例えば、相対的に小さい更新ピッチを最小ピッチとし、相対的に大きい更新ピッチを最小ピッチの 4 倍や 8 倍としても構わない。

【 0 1 1 7 】

さらに、上記各実施形態では無効化回路を用いているが、本発明において無効化回路を設けることは必須でなく、ピッチ調整回路を用いる限り、無効化回路を省略しても構わない。

【 符号の説明 】

【 0 1 1 8 】

1 0 , 3 0 , 4 0 , 5 0 , 6 0 , 7 0 半導体装置

1 1 内部回路

1 2 出力バッファ

1 3 出力端子

1 4 クロック端子

1 5 レプリカバッファ

3 1 選択回路

4 1 停止回路

5 1 選択回路

1 0 0 , 1 0 0 a , 1 0 0 b , 1 0 0 c , 1 0 0 d D L L 回路

10

20

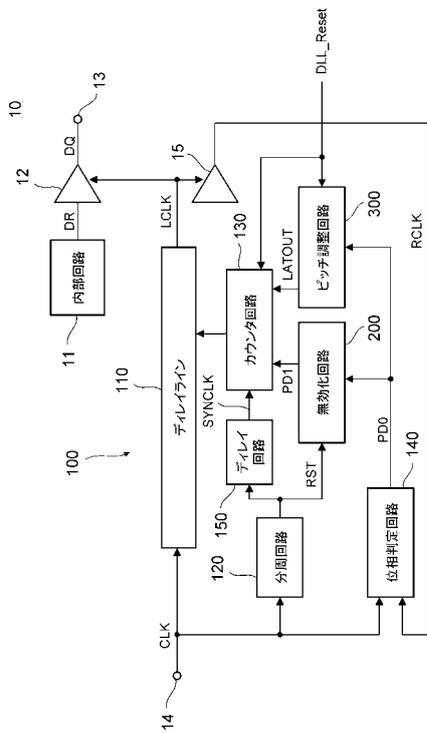
30

40

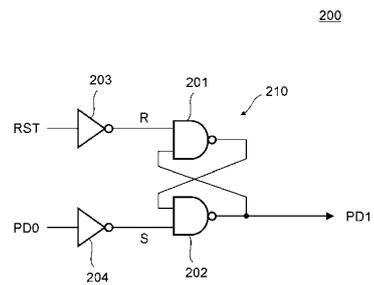
50

- 1 1 0 , 1 6 0 ディレイライン
- 1 1 1 コースディレイライン
- 1 1 2 ファインディレイライン
- 1 2 0 分周回路
- 1 3 0 , 1 3 2 , 1 7 0 カウンタ回路
- 1 4 0 位相判定回路
- 1 5 0 ディレイ回路
- 1 8 0 デューティ判定回路
- 1 9 0 信号合成器
- 2 0 0 , 2 0 0 a , 2 9 0 無効化回路
- 3 0 0 , 3 0 0 a , 4 0 0 ピッチ調整回路
- 2 1 0 S Rラッチ回路

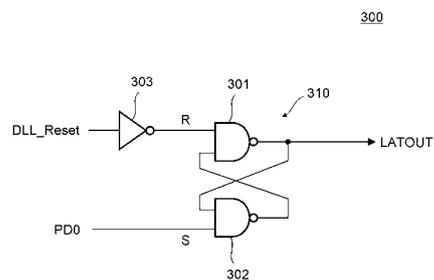
【 図 1 】



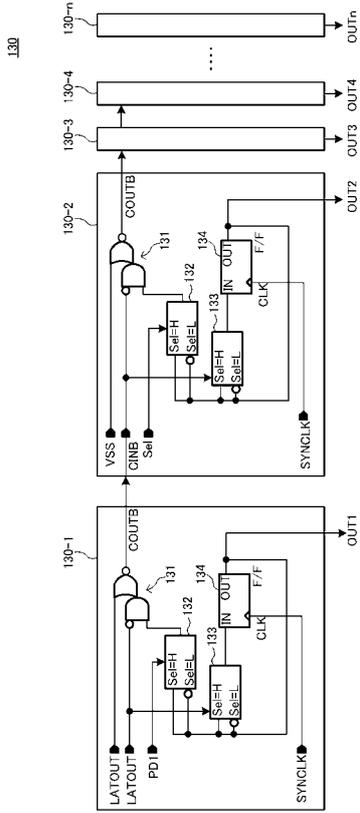
【 図 2 】



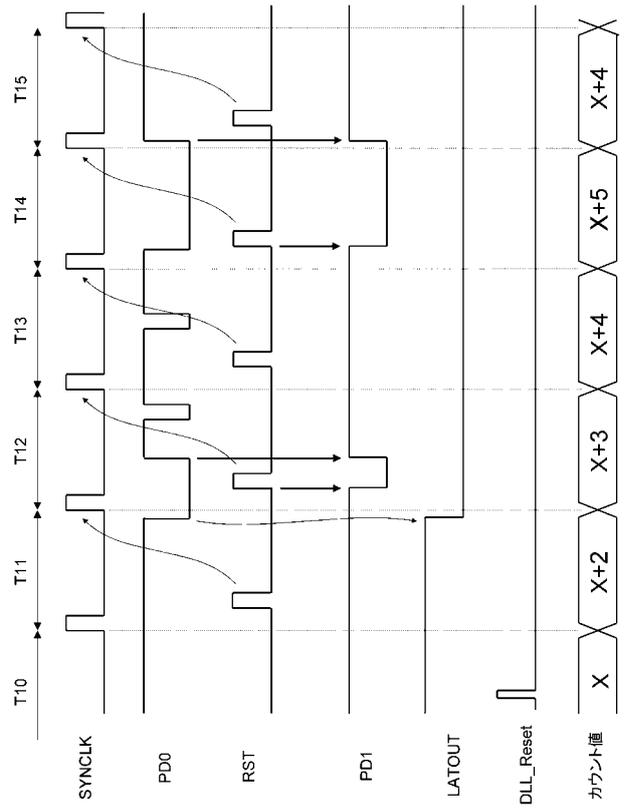
【 図 3 】



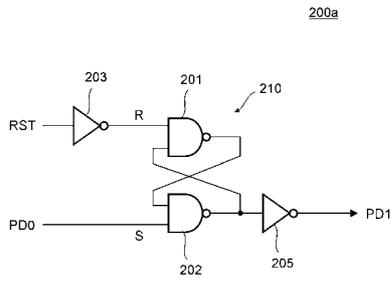
【 図 4 】



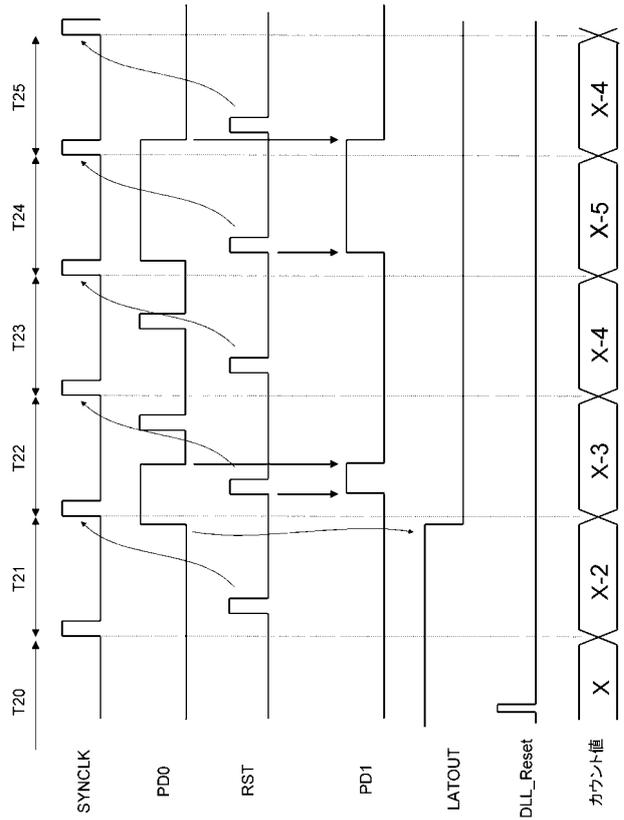
【 図 5 】



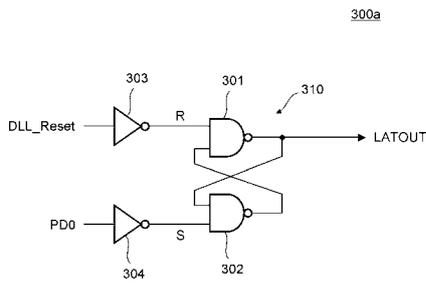
【 図 6 】



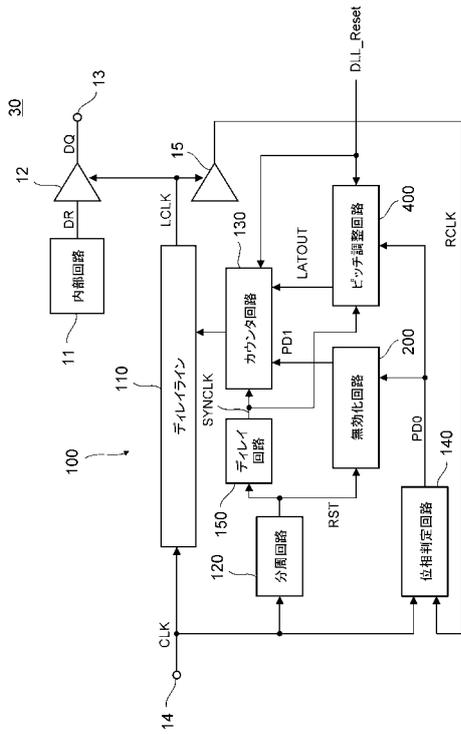
【 図 8 】



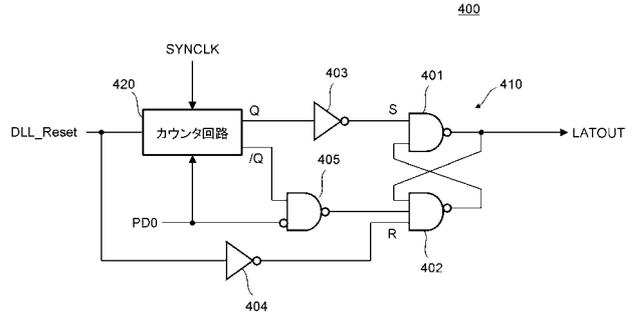
【 図 7 】



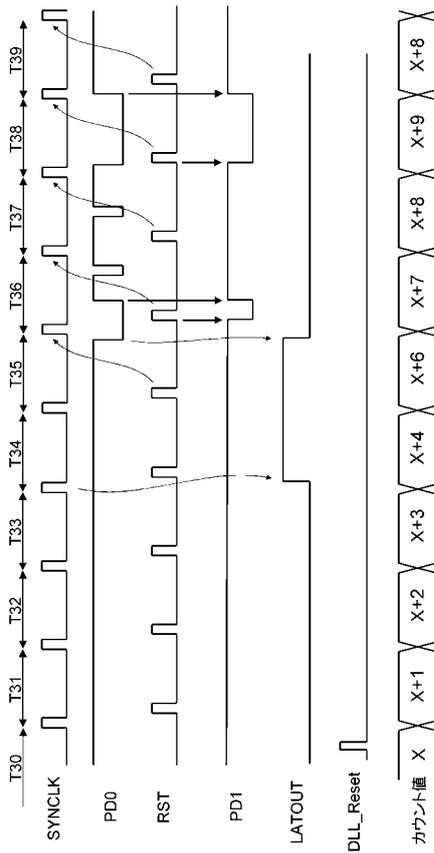
【図9】



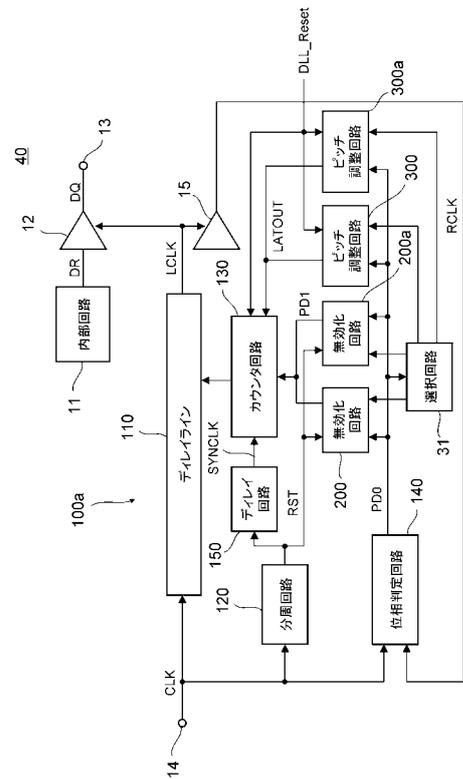
【図10】



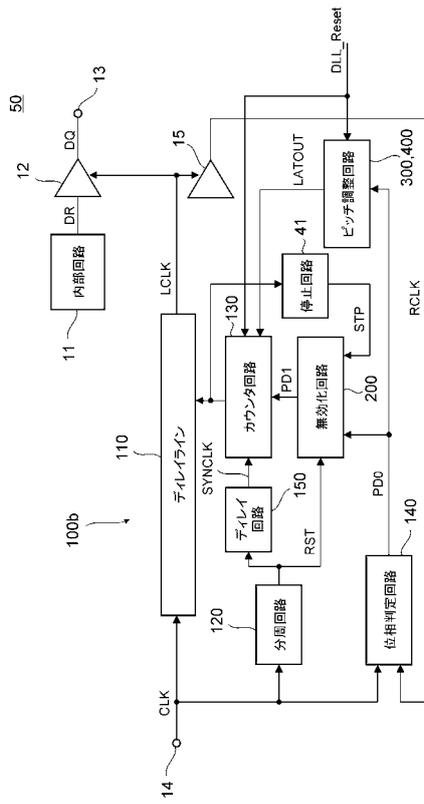
【図11】



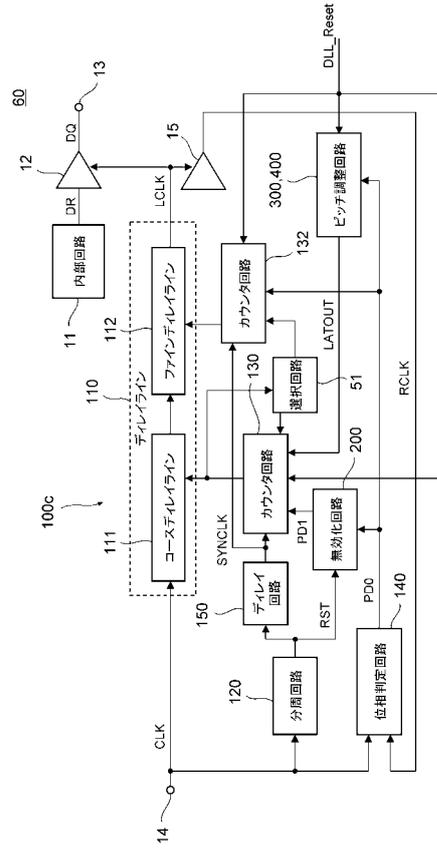
【図12】



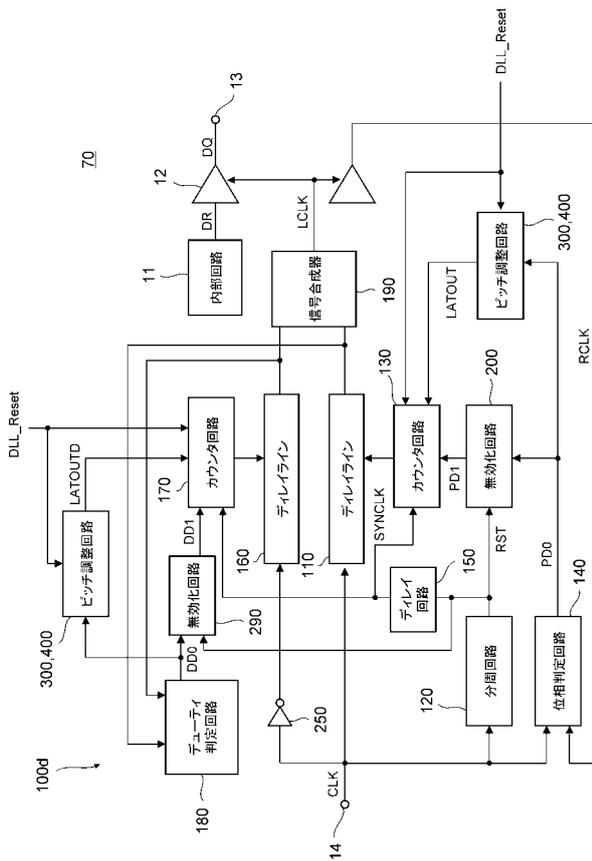
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(72)発明者 門馬 敦子

東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

Fターム(参考) 5J001 AA11 BB14 CC05 DD09

5J106 AA03 BB03 CC21 CC52 CC58 DD08 DD17 DD46 GG10 HH02

KK22