



(12)发明专利申请

(10)申请公布号 CN 108983069 A

(43)申请公布日 2018.12.11

(21)申请号 201810520995.2

(22)申请日 2018.05.28

(71)申请人 北京比特大陆科技有限公司  
地址 100192 北京市海淀区奥北科技园25  
号楼2层

(72)发明人 张渠 杨存永 詹克团

(51)Int.Cl.  
G01R 31/28(2006.01)

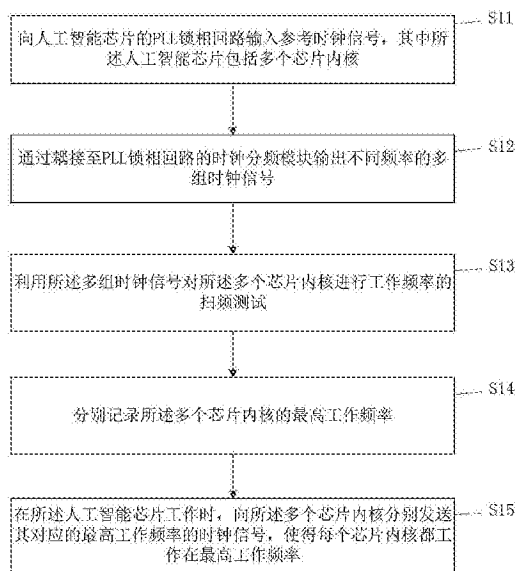
权利要求书3页 说明书7页 附图5页

(54)发明名称

芯片扫频系统和方法

(57)摘要

本发明实施例提出一种芯片扫频系统和方法,通过时钟分频模块输出不同频率的多组时钟信号对芯片中的多个芯片内核进行工作频率的扫频测试,确定每个芯片内核的最高工作频率,当芯片工作时向每个芯片内核输入其对应的最高工作频率的时钟信号,从而保证了每个芯片内核都工作在最高工作频率。本发明实施例使得芯片的算力最大化,提高了芯片的资源利用率。



1. 一种芯片扫频系统,其特征在于,包括:

芯片,其包括PLL锁相回路、时钟分频模块和多个芯片内核;

控制模块,耦接至所述芯片,用于向所述芯片的PLL锁相回路输入参考时钟信号,控制对所述多个芯片内核进行工作频率的扫频测试;

其中,所述时钟分频模块耦接至所述PLL锁相回路,用于输出不同频率的多组时钟信号,对所述多个芯片内核进行工作频率的扫频测试;

所述控制模块还用于检测对所述多个芯片内核的扫频测试结果,分别记录所述多个芯片内核的最高工作频率,并在所述芯片工作时,控制向所述多个芯片内核分别发送其对应的最高工作频率的时钟信号,使得所述多个芯片内核工作在最高工作频率。

2. 根据权利要求1所述的芯片扫频系统,其特征在于,控制模块对所述多个芯片内核进行工作频率的扫频测试包括控制模块并行控制所述多个芯片内核对所述多组时钟信号按照工作频率从最低档到最高档的递增顺序进行扫频测试;或者从最高档到最低档的递减顺序进行扫频测试。

3. 根据权利要求1所述的芯片扫频系统,其特征在于,所述芯片还包括频率排序模块,所述频率排序模块耦接至所述时钟分频模块,用于对所述多组时钟信号按照工作频率从最低档到最高档的递增顺序进行排序处理;或者从最高档到最低档的递减顺序进行排序处理。

4. 根据权利要求2或3所述的芯片扫频系统,其特征在于,所述对所述多个芯片内核进行工作频率的扫频测试包括将所述多组时钟信号按照工作频率从最低档到最高档的递增顺序并行输入给每个芯片内核,并提供时钟选择控制给每个芯片内核。

5. 根据权利要求2或3所述的芯片扫频系统,其特征在于,所述对所述多个芯片内核进行工作频率的扫频测试包括将所述多组时钟信号按照工作频率从最高档到最低档的递减顺序并行输入给每个芯片内核,并提供时钟选择控制给每个芯片内核。

6. 根据权利要求4所述的芯片扫频系统,其特征在于,所述对所述多个芯片内核进行工作频率的扫频测试包括:如果检测到当前测试的芯片内核工作正常,则将输入给当前测试的芯片内核的时钟信号的工作频率提升一档,继续对其进行扫频测试。

7. 根据权利要求6所述的芯片扫频系统,其特征在于,所述对所述多个芯片内核进行工作频率的扫频测试包括:如果检测到当前测试的芯片内核工作不正常,且判断当前输入的时钟信号的工作频率是否处于最低档,如是则将当前测试的芯片内核的工作状态置为异常,如否则将当前输入的时钟信号的工作频率降低一档作为当前测试的芯片内核的最高工作频率。

8. 根据权利要求5所述的芯片扫频系统,其特征在于,所述对所述多个芯片内核进行工作频率的扫频测试包括:如果检测到当前测试的芯片内核工作正常,则将当前输入的时钟信号的工作频率作为当前测试的芯片内核的最高工作频率。

9. 根据权利要求8所述的芯片扫频系统,其特征在于,所述对所述多个芯片内核进行工作频率的扫频测试包括:如果检测到当前测试的芯片内核工作不正常,且判断当前输入的时钟信号的工作频率是否处于最低档,如是则将当前测试的芯片内核的工作状态置为异常,如否则将当前输入的时钟信号的工作频率降低一档,继续对其进行扫频测试。

10. 根据权利要求6或8所述的芯片扫频系统,其特征在于,当所述控制模块检测到当前

测试的芯片内核的向量工作正常,并且返回了正确的随机数值,则认为该芯片内核工作正常。

11. 根据权利要求7或9所述的芯片扫频系统,其特征在于,当所述控制模块检测到当前测试的芯片内核没有返回随机数值或者返回了错误的随机数值,则认为该芯片内核工作不正常。

12. 根据权利要求1所述的芯片扫频系统,其特征在于,所述系统还包括存储模块,用于保存所述多个芯片内核的最高工作频率。

13. 根据权利要求12所述的芯片扫频系统,其特征在于,所述存储模块包括非易失性存储介质。

14. 一种芯片扫频方法,其特征在于,包括:

步骤S11,向芯片的PLL锁相回路输入参考时钟信号,其中所述芯片包括多个芯片内核;

步骤S12,通过耦接至PLL锁相回路的时钟分频模块输出不同频率的多组时钟信号;

步骤S13,利用所述多组时钟信号对所述多个芯片内核进行工作频率的扫频测试;

步骤S14,分别记录所述多个芯片内核的最高工作频率;

步骤S15,在所述芯片工作时,向所述多个芯片内核分别发送其对应的最高工作频率的时钟信号,使得每个芯片内核都工作在最高工作频率。

15. 根据权利要求14所述的芯片扫频方法,其特征在于,所述方法在步骤S13包括并行控制所述多个芯片内核对所述多组时钟信号按照工作频率从最低档到最高档的递增顺序进行扫频测试;或者从最高档到最低档的递减顺序进行扫频测试。

16. 根据权利要求14所述的芯片扫频方法,其特征在于,所述方法在步骤S13之前包括对所述多组时钟信号按照工作频率从最低档到最高档的递增顺序进行排序处理;或者从最高档到最低档的递减顺序进行排序处理。

17. 根据权利要求15或16所述的芯片扫频方法,其特征在于,所述步骤S13包括将所述多组时钟信号按照工作频率从最低档到最高档的递增顺序并行输入给每个芯片内核,并提供时钟选择控制给每个芯片内核。

18. 根据权利要求15或16所述的芯片扫频方法,其特征在于,所述步骤S13包括将所述多组时钟信号按照工作频率从最高档到最低档的递减顺序并行输入给每个芯片内核,并提供时钟选择控制给每个芯片内核。

19. 根据权利要求17所述的芯片扫频方法,其特征在于,所述步骤S13包括:如果检测到当前测试的芯片内核工作正常,则将输入给当前测试的芯片内核的时钟信号的工作频率提升一档,继续对其进行扫频测试。

20. 根据权利要求19所述的芯片扫频方法,其特征在于,所述步骤S13包括:如果检测到当前测试的芯片内核工作不正常,且判断当前输入的时钟信号的工作频率是否处于最低档,如是则将当前测试的芯片内核的工作状态置为异常,如否则将当前输入的时钟信号的工作频率降低一档作为当前测试的芯片内核的最高工作频率。

21. 根据权利要求18所述的芯片扫频方法,其特征在于,所述步骤S13包括:如果检测到当前测试的芯片内核工作正常,则将当前输入的时钟信号的工作频率作为当前测试的芯片内核的最高工作频率。

22. 根据权利要求21所述的芯片扫频方法,其特征在于,所述步骤S13包括:如果检测到

当前测试的芯片内核工作不正常,且判断当前输入的时钟信号的工作频率是否处于最低档,如是则将当前测试的芯片内核的工作状态置为异常,如否则将当前输入的时钟信号的工作频率降低一档,继续对其进行扫频测试。

23. 根据权利要求19或21所述的芯片扫频方法,其特征在于,当检测到当前测试的芯片内核的向量工作正常,并且返回了正确的随机数值,则认为该芯片内核工作正常。

24. 根据权利要求20或22所述的芯片扫频方法,其特征在于,当检测到当前测试的芯片内核没有返回随机数值或者返回了错误的随机数值,则认为该芯片内核工作不正常。

25. 根据权利要求14所述的芯片扫频方法,其特征在于,所述步骤S14包括将所述多个芯片内核的最高工作频率保存在非易失性存储介质中。

## 芯片扫频系统和方法

### 技术领域

[0001] 本发明涉及芯片技术领域,特别是涉及一种芯片扫频系统和方法。

### 背景技术

[0002] 随着大数据处理、人工智能(简称AI)技术的快速发展,传统的中央处理器的处理能力已经无法满足大数据运算的处理需求,于是业内出现了专用芯片以执行大数据运算处理。

[0003] 现有的主流的运算芯片中通常存在多个芯片内核(CORE),每个芯片内核由于制造工艺的偏差,导致其每个芯片内核的最高工作频率存在差异,而芯片内核的工作频率决定了其算力的大小,为了使得芯片能够发挥其最大算力,就需要保证每个芯片内核都工作在最高工作频率下。然而,现有技术中运算芯片中多个芯片内核通常被提供同一工作频率,这样就导致了芯片的最大算力的浪费。

### 发明内容

[0004] 为了解决上述问题,根据本发明的一方面,提出一种芯片扫频系统,包括:

[0005] 芯片,其包括PLL锁相回路、时钟分频模块和多个芯片内核;

[0006] 控制模块,耦接至所述芯片,用于向所述芯片的PLL锁相回路输入参考时钟信号,控制对所述多个芯片内核进行工作频率的扫频测试;

[0007] 其中,所述时钟分频模块耦接至所述PLL锁相回路,用于输出不同频率的多组时钟信号,对所述多个芯片内核进行工作频率的扫频测试;

[0008] 所述控制模块还用于检测对所述多个芯片内核的扫频测试结果,分别记录所述多个芯片内核的最高工作频率,并在所述芯片工作时,控制向所述多个芯片内核分别发送其对应的最高工作频率的时钟信号,使得所述多个芯片内核工作在最高工作频率。

[0009] 在一些实施方式中,控制模块对所述多个芯片内核进行工作频率的扫频测试包括控制模块并行控制所述多个芯片内核对所述多组时钟信号按照工作频率从最低档到最高档的递增顺序进行扫频测试;或者从最高档到最低档的递减顺序进行扫频测试。

[0010] 在一些实施方式中,所述芯片还包括频率排序模块,所述频率排序模块耦接至所述时钟分频模块,用于对所述多组时钟信号按照工作频率从最低档到最高档的递增顺序或者从最高档到最低档的递减顺序进行排序处理;或者从最高档到最低档的递减顺序进行排序处理。

[0011] 在一些实施方式中,所述对所述多个芯片内核进行工作频率的扫频测试包括将所述多组时钟信号按照工作频率从最低档到最高档的递增顺序并行输入给每个芯片内核,并提供时钟选择控制给每个芯片内核。

[0012] 在一些实施方式中,所述对所述多个芯片内核进行工作频率的扫频测试包括将所述多组时钟信号按照工作频率从最高档到最低档的递减顺序并行输入给每个芯片内核,并提供时钟选择控制给每个芯片内核。

[0013] 在一些实施方式中,所述对所述多个芯片内核进行工作频率的扫频测试包括:如果检测到当前测试的芯片内核工作正常,则将输入给当前测试的芯片内核的时钟信号的工作频率提升一档,继续对其进行扫频测试。

[0014] 在一些实施方式中,所述对所述多个芯片内核进行工作频率的扫频测试包括:如果检测到当前测试的芯片内核工作不正常,且判断当前输入的时钟信号的工作频率是否处于最低档,如是则将当前测试的芯片内核的工作状态置为异常,如否则将当前输入的时钟信号的工作频率降低一档作为当前测试的芯片内核的最高工作频率。

[0015] 在一些实施方式中,所述对所述多个芯片内核进行工作频率的扫频测试包括:如果检测到当前测试的芯片内核工作正常,则将当前输入的时钟信号的工作频率作为当前测试的芯片内核的最高工作频率。

[0016] 在一些实施方式中,所述对所述多个芯片内核进行工作频率的扫频测试包括:如果检测到当前测试的芯片内核工作不正常,且判断当前输入的时钟信号的工作频率是否处于最低档,如是则将当前测试的芯片内核的工作状态置为异常,如否则将当前输入的时钟信号的工作频率降低一档,继续对其进行扫频测试。

[0017] 在一些实施方式中,当所述控制模块检测到当前测试的芯片内核的向量工作正常,并且返回了正确的随机数值,则认为该芯片内核工作正常。

[0018] 在一些实施方式中,当所述控制模块检测到当前测试的芯片内核没有返回随机数值或者返回了错误的随机数值,则认为该芯片内核工作不正常。

[0019] 在一些实施方式中,所述系统还包括存储模块,用于保存所述多个芯片内核的最高工作频率。

[0020] 在一些实施方式中,所述存储模块包括非易失性存储介质。

[0021] 根据本发明的另一方面,提出一种芯片扫频方法,包括:

[0022] 步骤S11,向芯片的PLL锁相回路输入参考时钟信号,其中所述芯片包括多个芯片内核;

[0023] 步骤S12,通过耦接至PLL锁相回路的时钟分频模块输出不同频率的多组时钟信号;

[0024] 步骤S13,利用所述多组时钟信号对所述多个芯片内核进行工作频率的扫频测试;

[0025] 步骤S14,分别记录所述多个芯片内核的最高工作频率;

[0026] 步骤S15,在所述芯片工作时,向所述多个芯片内核分别发送其对应的最高工作频率的时钟信号,使得每个芯片内核都工作在最高工作频率。

[0027] 在一些实施方式中,所述方法在步骤S13包括并行控制所述多个芯片内核对所述多组时钟信号按照工作频率从最低档到最高档的递增顺序进行扫频测试;或者从最高档到最低档的递减顺序进行扫频测试。

[0028] 在一些实施方式中,所述方法在步骤S13之前包括对所述多组时钟信号按照工作频率从最低档到最高档的递增顺序进行排序处理或者从最高档到最低档的递减顺序进行排序处理。

[0029] 在一些实施方式中,所述步骤S13包括将所述多组时钟信号按照工作频率从最低档到最高档的递增顺序并行输入给每个芯片内核,并提供时钟选择控制给每个芯片内核。

[0030] 在一些实施方式中,所述步骤S13包括将所述多组时钟信号按照工作频率从最高

档到最低档的递减顺序并行输入给每个芯片内核,并提供时钟选择控制给每个芯片内核。

[0031] 在一些实施方式中,所述步骤S13包括:如果检测到当前测试的芯片内核工作正常,则将输入给当前测试的芯片内核的时钟信号的工作频率提升一档,继续对其进行扫频测试。

[0032] 在一些实施方式中,所述步骤S13包括:如果检测到当前测试的芯片内核工作不正常,且判断当前输入的时钟信号的工作频率是否处于最低档,如是则将当前测试的芯片内核的工作状态置为异常,如否则将当前输入的时钟信号的工作频率降低一档作为当前测试的芯片内核的最高工作频率。

[0033] 在一些实施方式中,所述步骤S13包括:如果检测到当前测试的芯片内核工作正常,则将当前输入的时钟信号的工作频率作为当前测试的芯片内核的最高工作频率。

[0034] 在一些实施方式中,所述步骤S13包括:如果检测到当前测试的芯片内核工作不正常,且判断当前输入的时钟信号的工作频率是否处于最低档,如是则将当前测试的芯片内核的工作状态置为异常,如否则将当前输入的时钟信号的工作频率降低一档,继续对其进行扫频测试。

[0035] 在一些实施方式中,当检测到当前测试的芯片内核的向量工作正常,并且返回了正确的随机数值,则认为该芯片内核工作正常。

[0036] 在一些实施方式中,当检测到当前测试的芯片内核没有返回随机数值或者返回了错误的随机数值,则认为该芯片内核工作不正常。

[0037] 在一些实施方式中,所述步骤S14包括将所述多个芯片内核的最高工作频率保存在非易失性存储介质中。

[0038] 本发明实施例通过对芯片中的多个芯片内核进行工作频率的扫频测试,确定每个芯片内核的最高工作频率,当芯片工作时向每个芯片内核输入其对应的最高工作频率的时钟信号,从而保证了每个芯片内核都工作在最高工作频率,使得芯片的算力最大化,提高了芯片的资源利用率。

## 附图说明

[0039] 图1是根据本发明一实施例的芯片扫频系统的结构示意图;

[0040] 图2是根据本发明另一实施例的芯片扫频系统的结构示意图;

[0041] 图3是根据本发明一实施例的芯片扫频方法的流程示意图;

[0042] 图4是根据本发明另一实施例的芯片扫频方法的流程示意图;

[0043] 图5是根据本发明另一实施例的芯片扫频方法的流程示意图;

[0044] 图6是根据本发明另一实施例的芯片扫频方法的流程示意图。

## 具体实施方式

[0045] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

[0046] 图1是根据本发明一实施例的芯片扫频系统的结构示意图。如图1所示,本发明实施例的芯片扫频系统包括芯片10和控制模块20。

[0047] 所述芯片10包括N个芯片内核11,N为大于1的整数。每个芯片内核11用于执行运

算,由于其制造工艺的不同,每个芯片内核具有的最高工作频率相应地也不同。本发明实施例中,在全部芯片内核的工作频率范围内,将所述芯片内核的工作频率设置为M档,即从第1档依次递增至第M档,其中M为大于1的整数。在一个实施方式中,所述M可以取值为16,即设置16档工作频率。

[0048] 所述芯片10还包括PLL锁相回路12和时钟分频模块13。PLL锁相回路12分别耦接至控制模块20和时钟分频模块13,接收控制模块20输入的参考时钟信号CLOCK\_REF,并通过时钟分频模块13分频出不同频率的多组时钟信号,所述多组时钟信号的工作频率分别对应于上述芯片内核的工作频率的M个档位。

[0049] 本发明实施例中,控制模块20控制时钟分频模块将所述1-M档的多组时钟信号按照工作频率从最低档到最高档的递增顺序并行输入给每个芯片内核11,并提供时钟选择控制给每个芯片内核11,对每个芯片内核进行扫频测试。

[0050] 每个芯片内核的测试结果返回给控制模块20,如果测试结果表明当前测试的芯片内核工作正常,则将输入给当前测试的芯片内核的时钟信号的工作频率提升一档,继续对其进行扫频测试。在一些实施方式中,当控制模块20检测到当前测试的芯片内核的向量(Pattern)工作正常,并且返回了正确的随机数值(NONCE),则认为该芯片内核工作正常。

[0051] 如果测试结果表明当前测试的芯片内核工作不正常,则进一步判断输入给当前测试的芯片内核的时钟信号的工作频率是否处于最低档,如果是,则将所述当前测试的芯片内核的工作状态置为异常;如果否,则表明当前测试的芯片内核的最高工作频率不能达到当前输入的时钟信号的档位,也就是说,当前输入的时钟信号的工作频率降低一档即可确定为当前测试的芯片内核的最高工作频率。

[0052] 在一些实施方式中,当控制模块20检测到当前测试的芯片内核没有返回随机数值(NONCE)或者返回了错误的随机数值(NONCE),则认为该芯片内核工作不正常。

[0053] 在一些实施方式中,多组时钟信号也可以按照工作频率从最高档到最低档的递减顺序依次输入给每个芯片内核11,对每个芯片内核进行扫频测试;也可以从中间向两边进行测试。如果测试结果表明当前测试的芯片内核工作正常,则将当前输入的时钟信号的工作频率确定为当前测试的芯片内核的最高工作频率。如果测试结果表明当前测试的芯片内核工作不正常,则进一步判断输入给当前测试的芯片内核的时钟信号的工作频率是否处于最低档,如果是,则将所述当前测试的芯片内核的工作状态置为异常;如果否,则将当前输入的时钟信号的工作频率降低一档,继续对其进行扫频测试。

[0054] 在一些实施方式中,所述系统还包括存储模块30。当控制模块20对所述N个芯片内核11逐一进行扫频测试,并确定了每个芯片内核的最高工作频率之后,其将每个芯片内核的最高工作频率分别记录在存储模块30之中。在一些实施方式中,所述存储模块30可以为非易失性存储介质。

[0055] 当芯片10工作时,控制模块20从存储模块30中获得每个芯片内核的最高工作频率,控制时钟分频模块输入最高工作频率的时钟信号给相应的芯片内核,从而保证了每个芯片内核都工作在最高工作频率,使得芯片10发挥最大算力。

[0056] 本发明实施例的芯片扫频系统通过对芯片中的多个芯片内核进行工作频率的扫频测试,确定每个芯片内核的最高工作频率,当芯片工作时向每个芯片内核输入其对应的最高工作频率的时钟信号,从而保证了每个芯片内核都工作在最高工作频率,使得芯片的



算力最大化,提高了芯片的资源利用率。

[0057] 图2是根据本发明另一实施例的芯片扫频系统的结构示意图。如图2所示,本发明实施例的芯片扫频系统在图1所示实施例的基础上,所述芯片10中还包括频率排序模块14。所述频率排序模块14耦接至时钟分频模块13,用于对时钟分频模块13分频输出的多组时钟信号按照工作频率从最低档到最高档的递增顺序进行排序处理,依次输出工作频率从最低档到最高档的多组时钟信号。

[0058] 图3是根据本发明一实施例的芯片扫频方法的流程示意图。如图3所示,本发明实施例的芯片扫频方法包括以下步骤:

[0059] 步骤S11,向芯片的PLL锁相回路输入参考时钟信号,其中所述芯片包括多个芯片内核;

[0060] 步骤S12,通过耦接至PLL锁相回路的时钟分频模块输出不同频率的多组时钟信号;

[0061] 步骤S13,利用所述多组时钟信号对所述多个芯片内核进行工作频率的扫频测试;

[0062] 步骤S14,分别记录所述多个芯片内核的最高工作频率;

[0063] 步骤S15,在所述芯片工作时,向所述多个芯片内核分别发送其对应的最高工作频率的时钟信号,使得每个芯片内核都工作在最高工作频率。

[0064] 本发明实施例中,所述芯片包括N个芯片内核,N为大于1的整数。每个芯片内核用于执行运算,由于其制造工艺的不同,每个芯片内核具有的最高工作频率相应地也不同。本发明实施例中,在全部芯片内核的工作频率范围内,将所述芯片内核的工作频率设置为M档,即从第1档依次递增至第M档,其中M为大于1的整数。在一个实施方式中,所述M可以取值为16,即设置16档工作频率。

[0065] PLL锁相回路接收控制模块输入的参考时钟信号CLOCK\_REF,并通过时钟分频模块分频出不同频率的多组时钟信号,所述多组时钟信号的工作频率分别对应于上述芯片内核的工作频率的M个档位。随后,将所述1-M档的多组时钟信号按照工作频率从最低档到最高档的递增顺序或者从最高档到最低档的递减顺序并行输入给每个芯片内核,并提供时钟选择控制给每个芯片内核,对每个芯片内核进行扫频测试,从而确定每个芯片内核的最高工作频率。当对所述N个芯片内核逐一进行扫频测试,并确定了每个芯片内核的最高工作频率之后,其将每个芯片内核的最高工作频率分别记录在存储模块之中。当芯片工作时,控制模块从存储模块中获得每个芯片内核的最高工作频率,控制向所述多个芯片内核分别发送其对应的最高工作频率的时钟信号,从而保证了每个芯片内核都工作在最高工作频率,使得芯片发挥最大算力。

[0066] 图4是根据本发明另一实施例的芯片扫频方法的流程示意图。如图4所示,本发明实施例的芯片扫频方法在图3所述方法步骤S12和S13之间,进一步包括以下步骤:

[0067] S12',对所述多组时钟信号按照工作频率从最低档到最高档的顺序或者从最高档到最低档的顺序进行排序。

[0068] 具体而言,该步骤通过对时钟分频模块分频输出的多组时钟信号按照工作频率从最低档到最高档的递增顺序或者从最高档到最低档的递减顺序进行排序处理,依次输出工作频率从最低档到最高档的多组时钟信号,从而实现每个芯片内核的工作频率从低到高的扫频测试。

[0069] 图5是根据本发明另一实施例的芯片扫频方法的流程示意图。本发明实施例在图3和图4所述实施例的基础上,步骤S13中所述对多个芯片内核进行工作频率的扫频测试具体包括以下子步骤:

[0070] 步骤S131,将最低档的时钟信号输入所述多个芯片内核中的每个,对所述多个芯片内核中的每个分别进行扫频测试;

[0071] 步骤S132,判断当前测试的芯片内核是否工作正常;

[0072] 步骤S133,如果当前测试的芯片内核工作正常,则将当前输入的时钟信号的工作频率提升一档,对当前测试的芯片内核继续进行扫频测试,而后返回步骤S132;

[0073] 步骤S134,如果当前测试的芯片内核工作不正常,则判断当前输入的时钟信号是否为最低档;

[0074] 步骤S135,如果当前输入的时钟信号为最低档,则将当前测试的芯片内核的工作状态置为异常;

[0075] 步骤S136,如果当前输入的时钟信号不为最低档,则将当前输入的时钟信号的工作频率降低一档作为当前测试的芯片内核的最高工作频率。

[0076] 在一些实施方式中,当检测到当前测试的芯片内核的向量(Pattern)工作正常,并且返回了正确的随机数值(NONCE),则认为该芯片内核工作正常。当检测到当前测试的芯片内核没有返回随机数值(NONCE)或者返回了错误的随机数值(NONCE),则认为该芯片内核工作不正常。

[0077] 图6是根据本发明另一实施例的芯片扫频方法的流程示意图。本发明实施例在图3和图4所述实施例的基础上,步骤S13中所述对多个芯片内核进行工作频率的扫频测试具体包括以下子步骤:

[0078] 步骤S231,将最高档的时钟信号输入所述多个芯片内核中的每个,对所述多个芯片内核中的每个分别进行扫频测试;

[0079] 步骤S232,判断当前测试的芯片内核是否工作正常;

[0080] 步骤S233,如果当前测试的芯片内核工作正常,则将当前输入的时钟信号的工作频率作为当前测试的芯片内核的最高工作频率;

[0081] 步骤S234,如果当前测试的芯片内核工作不正常,则判断当前输入的时钟信号是否为最低档;

[0082] 步骤S235,如果当前输入的时钟信号为最低档,则将当前测试的芯片内核的工作状态置为异常;

[0083] 步骤S236,如果当前输入的时钟信号不为最低档,则将当前输入的时钟信号的工作频率降低一档,对当前测试的芯片内核继续进行扫频测试,而后返回步骤S232。

[0084] 本发明实施例的芯片扫频方法通过对芯片中的多个芯片内核进行工作频率的扫频测试,确定每个芯片内核的最高工作频率,当芯片工作时向每个芯片内核输入其对应的最高工作频率的时钟信号,从而保证了每个芯片内核都工作在最高工作频率,使得芯片的算力最大化,提高了芯片的资源利用率。

[0085] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保

护范围之内。

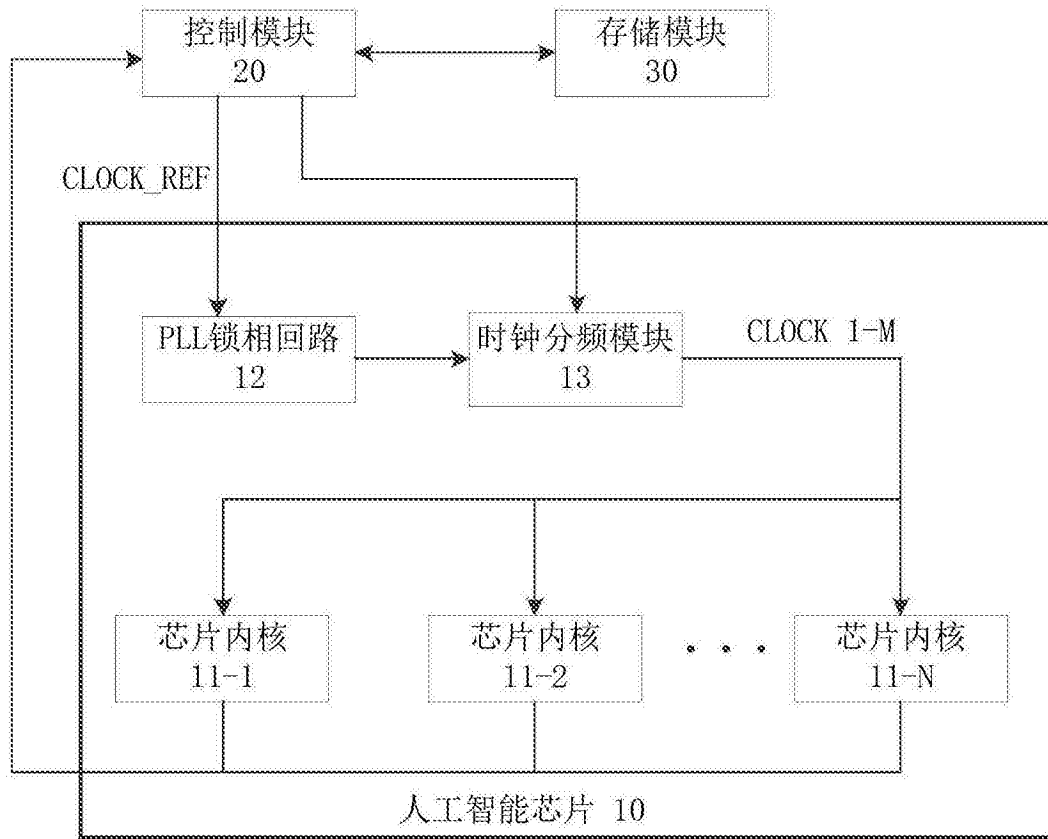


图1

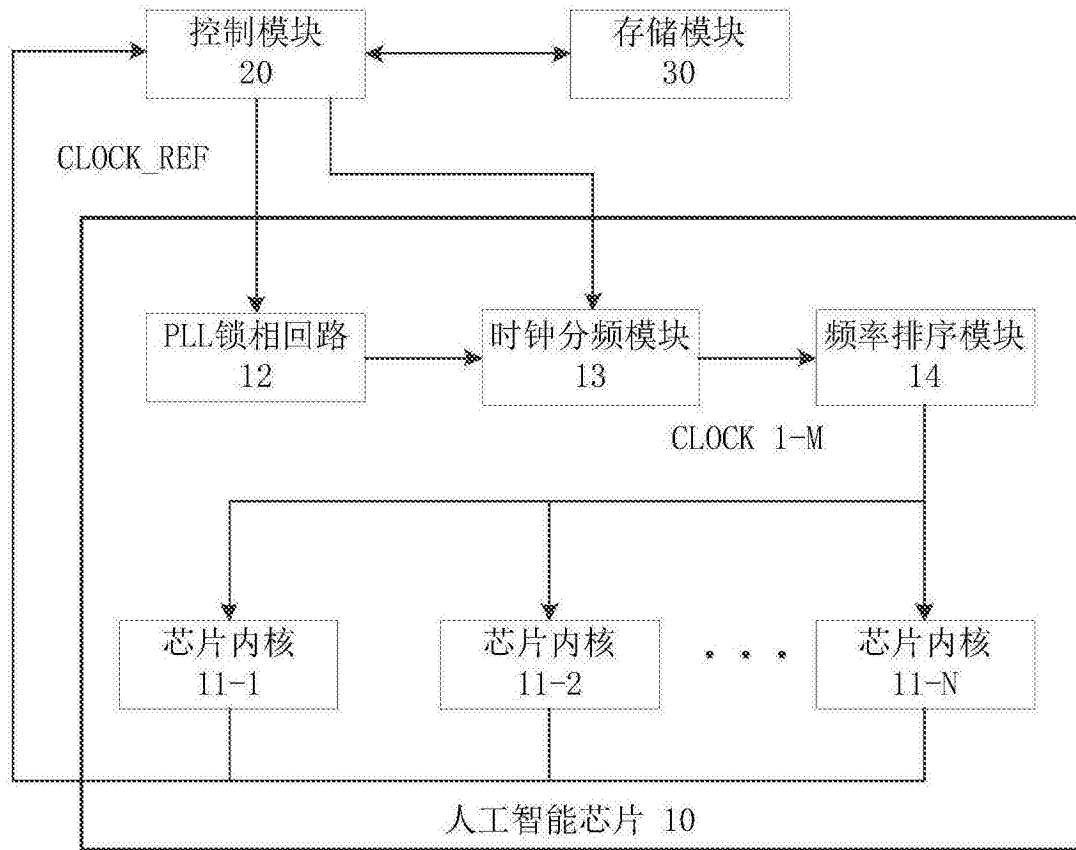


图2

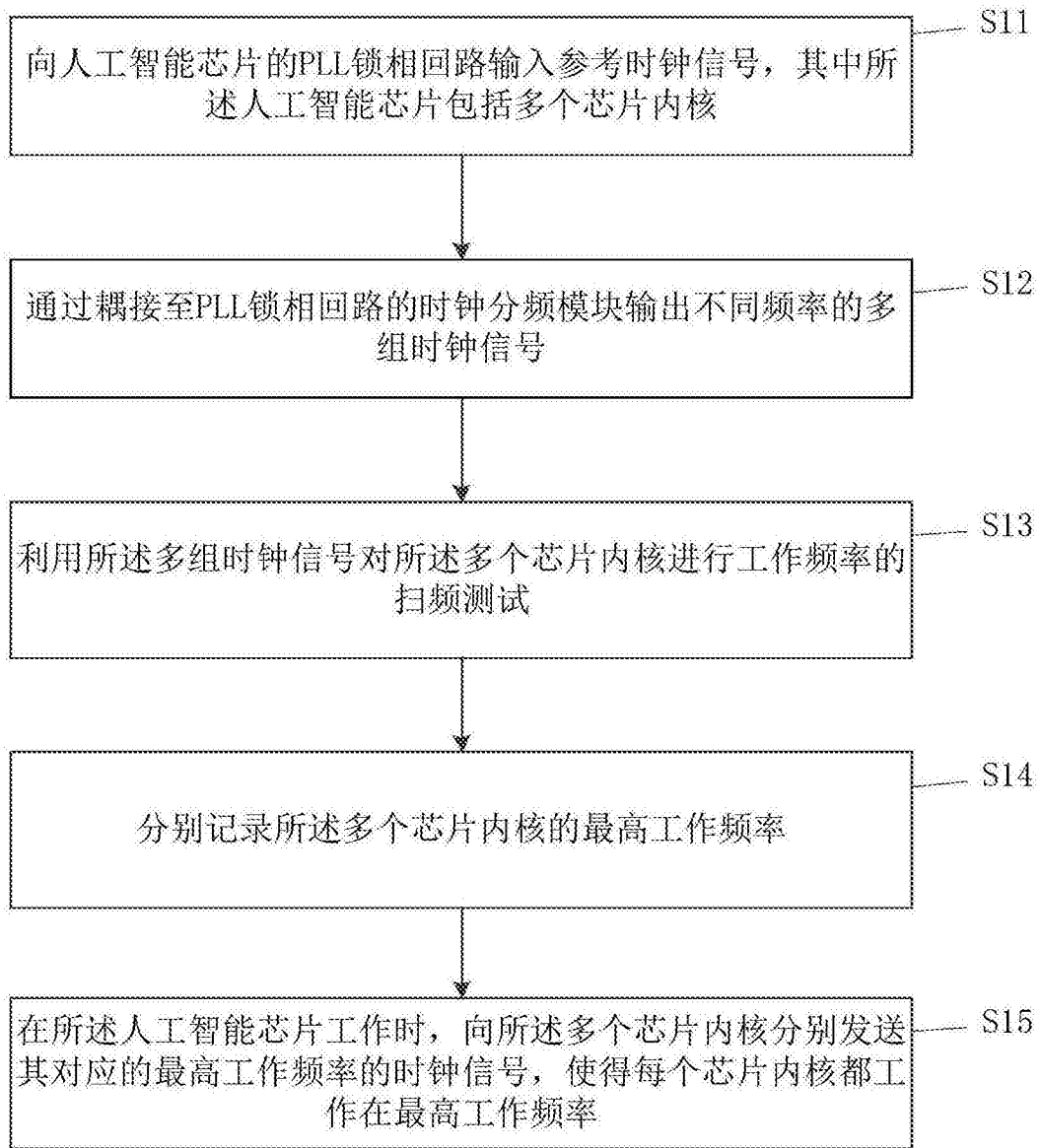


图3

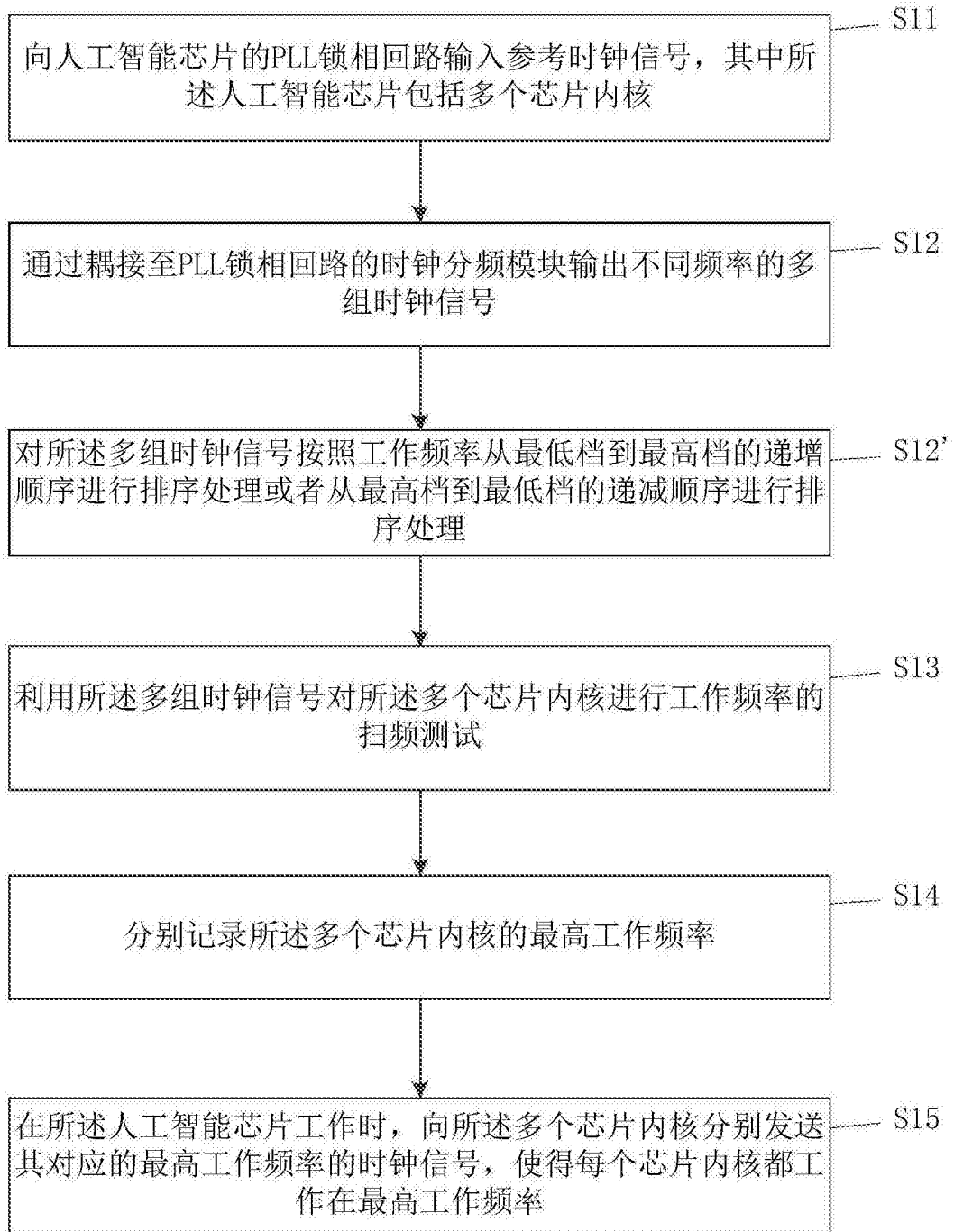


图4

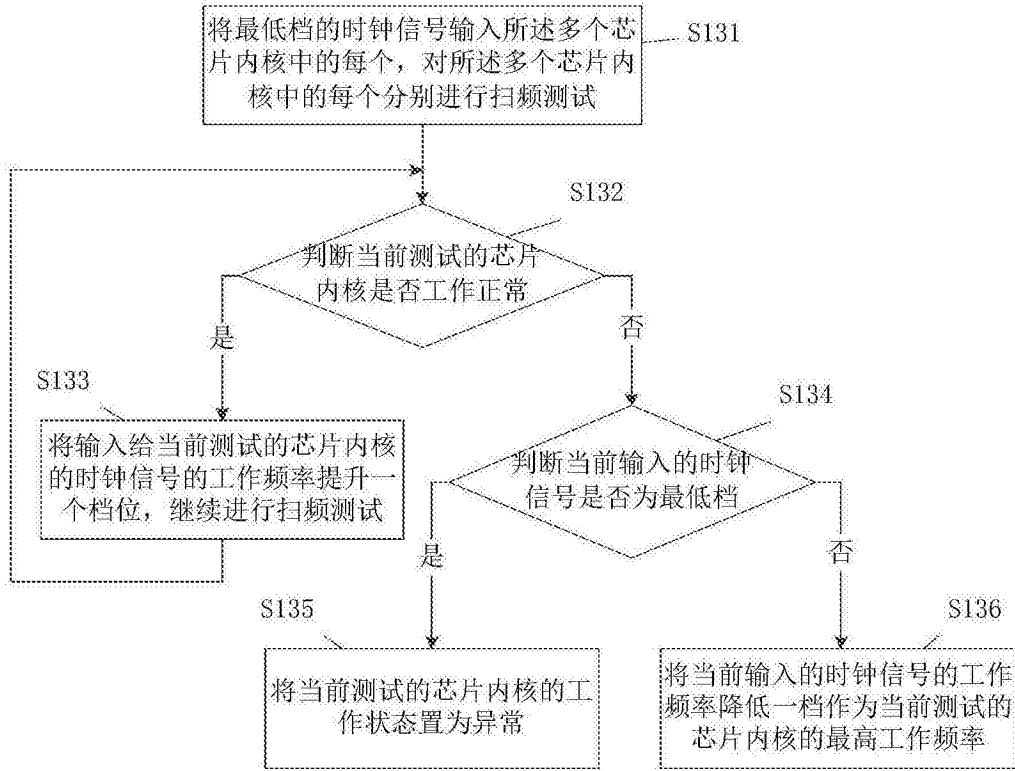


图5

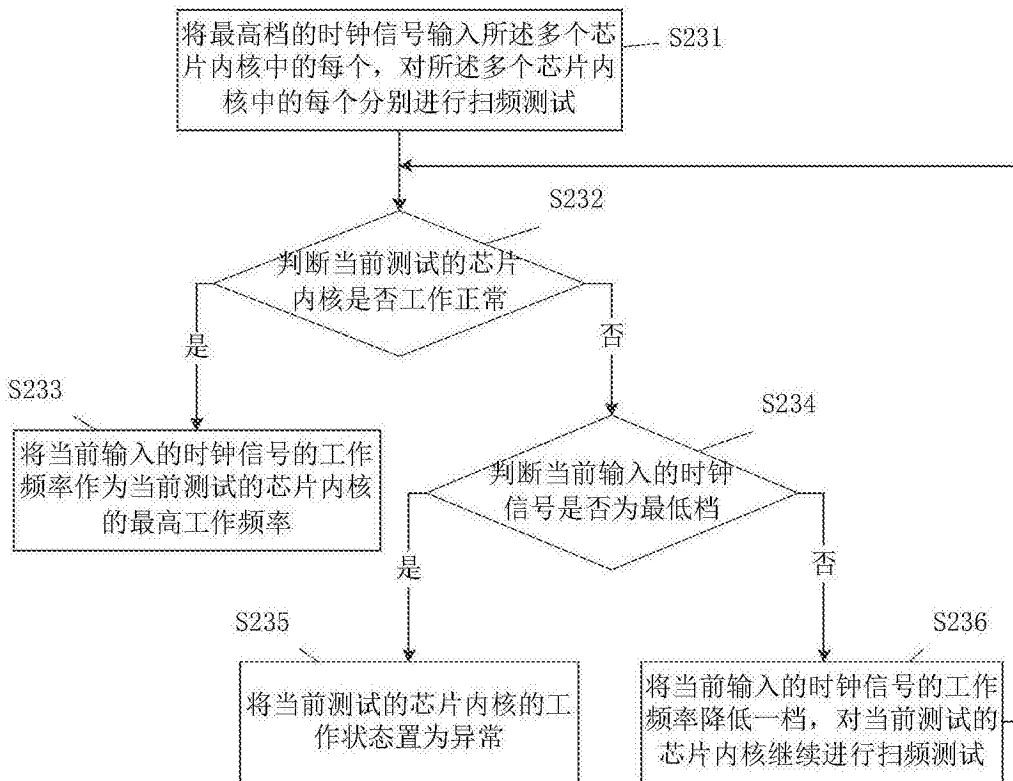


图6