



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년09월17일  
 (11) 등록번호 10-1442353  
 (24) 등록일자 2014년09월12일

(51) 국제특허분류(Int. Cl.)  
 H01L 27/11 (2006.01) H01L 21/8244 (2006.01)  
 (21) 출원번호 10-2012-0143344  
 (22) 출원일자 2012년12월11일  
 심사청구일자 2012년12월11일  
 (65) 공개번호 10-2013-0102450  
 (43) 공개일자 2013년09월17일  
 (30) 우선권주장  
 13/414,323 2012년03월07일 미국(US)  
 (56) 선행기술조사문헌  
 JP2004014663 A  
 JP2011187136 A  
 JP2009302530 A  
 US20110317477 A1

(73) 특허권자  
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
 중화민국, 타이완 300-77, 신쑤, 사이언스-베이스  
 드 인더스트리얼 파크, 리신 로드. 6, 8호  
 (72) 발명자  
 리아 존지  
 중화민국 타이완 신쑤 카운티 310 주어동 타운쉽  
 슈에푸 이스트 로드 라인 447 넘버 15  
 (74) 대리인  
 김태홍

전체 청구항 수 : 총 7 항

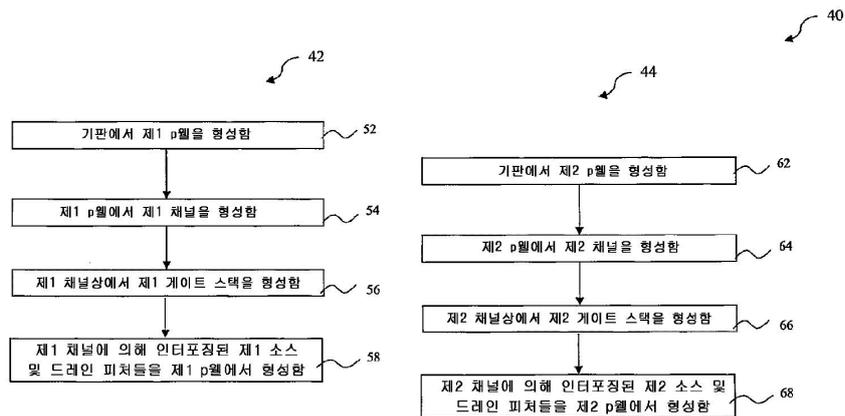
심사관 : 방기인

(54) 발명의 명칭 **SRAM 회로를 위한 구조물 및 방법**

**(57) 요약**

본 발명개시는 반도체 기판에서 형성된 집적 회로를 제공한다. 집적 회로는 제1 셀 크기를 갖는 제1 정적 랜덤 액세스 메모리(SRAM) 셀; 및 제1 셀 크기보다 큰 제2 셀 크기를 갖는 제2 SRAM 셀을 포함한다. 제1 SRAM 셀은 제1 게이트 스택을 각각 갖는 제1 n형 전계 효과 트랜지스터(nFET)들을 포함한다. 제2 SRAM 셀은 제1 게이트 스택과는 상이한 제2 게이트 스택을 각각 갖는 제2 nFET들을 포함한다.

**대표도**



**특허청구의 범위**

**청구항 1**

반도체 기판에 형성된 집적 회로에 있어서,

제1 셀 크기를 갖는 제1 정적 랜덤 액세스 메모리(static random access memory; SRAM) 셀; 및

상기 제1 셀 크기보다 큰 제2 셀 크기를 갖는 제2 SRAM 셀을 포함하고,

상기 제1 SRAM 셀은 제1 게이트 스택을 각각 갖는 제1 n형 전계 효과 트랜지스터(n-type field effect transistor; nFET)들을 포함하고,

상기 제2 SRAM 셀은 제2 게이트 스택을 각각 갖는 제2 nFET들을 포함하고, 상기 제2 게이트 스택은 게이트 전극 물질, 게이트 유전체 물질 및 게이트 유전체 두께 중 적어도 하나에서 상기 제1 게이트 스택과 상이한 것인, 집적 회로.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서,

상기 제1 SRAM 셀은 제1 갯수(N1)의 상기 제1 nFET들을 포함하고;

상기 제2 SRAM 셀은 제2 갯수(N2)의 상기 제2 nFET들을 포함하며;

상기 제2 갯수(N2)는 상기 제1 갯수(N1)보다 큰 것인, 집적 회로.

**청구항 4**

제1항에 있어서,

상기 제1 SRAM 셀은,

제1의 두 개의 풀 업 디바이스들,

데이터 저장소를 위한 제1의 두 개의 교차결합형 인버터들을 형성하기 위해 상기 제1의 두 개의 풀 업 디바이스들과 함께 구성된 제1의 두 개의 풀 다운 디바이스들, 및

데이터 액세스를 위한 제1 포트들을 형성하기 위해 상기 제1의 두 개의 교차결합형 인버터들과 함께 구성된 제1의 두 개의 패스 게이트 디바이스들

을 포함하고,

상기 제2 SRAM 셀은,

제2의 두 개의 풀 업 디바이스들,

데이터 저장소를 위한 제2의 두 개의 교차결합형 인버터들을 형성하기 위해 상기 제2의 두 개의 풀 업 디바이스들과 함께 구성된 제2의 두 개의 풀 다운 디바이스들, 및

데이터 액세스를 위한 제2 포트들을 형성하기 위해 상기 제2의 두 개의 교차결합형 인버터들과 함께 구성된 제2의 두 개의 패스 게이트 디바이스들

을 포함하며,

상기 제1 및 제2 SRAM 셀들 각각은 복수의 핀형 전계 효과 트랜지스터(fin-like field-effect transistor; FinFET)들을 포함하는 것인, 집적 회로.

**청구항 5**

제4항에 있어서,

상기 제1의 두 개의 풀 업 디바이스들과 상기 제2의 두 개의 풀 업 디바이스들 각각은 단일의 p형 핀형 전계 효과 트랜지스터(pFinFET)를 포함하고;

상기 제1의 두 개의 풀 다운 디바이스들과 상기 제1의 두 개의 패스 게이트 디바이스들 각각은 단일의 n형 FinFET(nFinFET)를 포함하며;

상기 제2의 두 개의 풀 다운 디바이스들과 상기 제2의 두 개의 패스 게이트 디바이스들 각각은 복수의 n형 FinFET(nFinFET)를 포함하는 것인, 집적 회로.

#### 청구항 6

제1항에 있어서,

상기 제1 nFET들 각각은 제1 p형 웰(p웰)과 제1 채널 영역을 포함하고;

상기 제2 nFET들 각각은 제2 p형 웰(p웰)과 제2 채널 영역을 포함하며;

상기 제1 p웰과 상기 제1 채널 영역 중 적어도 하나는 p웰 도핑 농도, p웰 치수 및 채널 도핑 농도 중 적어도 하나에서 상기 제2 p웰과 상기 제2 채널 영역 중 각각의 대응하는 것과 상이한 것인, 집적 회로.

#### 청구항 7

집적 회로에 있어서,

기관 상에서 제1 셀 크기를 갖는 제1 정적 랜덤 액세스 메모리(static random access memory; SRAM) 셀; 및

상기 제1 셀 크기보다 큰 제2 셀 크기를 갖는, 상기 기관 상의 제2 SRAM 셀

을 포함하고,

상기 제1 SRAM 셀은,

제1 p형 전계 효과 트랜지스터(pFET)들 중 단 하나의 pFET를 각각 갖는 제1 및 제2 풀 업 디바이스들,

데이터 저장소를 위한 제1의 두 개의 교차결합형 인버터들을 형성하기 위해 상기 제1 및 제2 풀 업 디바이스들과 함께 구성된 제1 및 제2 풀 다운 디바이스들, 및

데이터 액세스를 위해 상기 제1의 두 개의 교차결합형 인버터들과 함께 구성된 제1 및 제2 패스 게이트 디바이스들

을 포함하고, 상기 제1 및 제2 풀 다운 디바이스들과 상기 제1 및 제2 패스 게이트 디바이스들 각각은 제1 n형 전계 효과 트랜지스터(nFET)들 중 단 하나의 nFET를 포함하며,

상기 제2 SRAM 셀은,

제2 pFET들 중 단 하나의 제2 nFET를 각각 갖는 제3 및 제4 풀 업 디바이스들,

데이터 저장소를 위한 제2의 두 개의 교차결합형 인버터들을 형성하기 위해 상기 제3 및 제4 풀 업 디바이스들과 함께 구성된 제3 및 제4 풀 다운 디바이스들, 및

데이터 액세스를 위해 상기 제2의 두 개의 교차결합형 인버터들과 함께 구성된 제3 및 제4 패스 게이트 디바이스들

을 포함하고, 상기 제3 및 제4 풀 다운 디바이스들과 상기 제3 및 제4 패스 게이트 디바이스들 각각은 제2 nFET들 중 적어도 두 개의 nFET들을 포함하며, 상기 제1 nFET들은 제1 문턱 전압을 가지고, 상기 제2 nFET들은 상기 제1 문턱 전압과는 상이한 제2 문턱 전압을 갖는 것인, 집적 회로.

#### 청구항 8

삭제

#### 청구항 9

방법에 있어서,

기판 상에서 제1 셀 크기의 제1 정적 랜덤 액세스 메모리(static random access memory; SRAM) 셀을 형성하는 단계로서, 상기 제1 SRAM 셀의 형성은 제1 n형 핀 전계 효과 트랜지스터(nFinFET) 형성 공정을 이용하여 제1 nFinFET들을 형성하는 단계를 포함하는 것인, 상기 제1 SRAM 셀 형성 단계; 및

상기 기판 상에서 제2 셀 크기의 제2 SRAM 셀을 형성하는 단계로서, 상기 제2 SRAM 셀의 형성은 제2 nFinFET 형성 공정을 이용하여 제2 nFinFET들을 형성하는 단계를 포함하는 것인, 상기 제2 SRAM 셀 형성 단계를 포함하고,

상기 제2 셀 크기는 상기 제1 셀 크기보다 크고,

상기 제1 nFinFET 형성 공정은,

제1 p웰 도핑량을 이용하여 제1 p웰 치수를 갖는 제1 p웰을 형성하는 단계,

제1 채널 도핑량을 이용하여 상기 제1 p웰에서 제1 채널 영역을 형성하는 단계,

제1 n형 경도핑 드레인(NLDD) 도핑량을 이용하여, 상기 제1 p웰에서 상기 제1 채널 영역에 의해 인터포징된(interposed) 제1 NLDD 피처를 형성하는 단계,

제1 포켓 도핑량을 이용하여 상기 제1 NLDD 피처에 인접해 있는 제1 포켓 도핑 피처를 형성하는 단계,

제1 게이트 유전체 물질과 제1 게이트 유전체 두께를 갖는 제1 게이트 유전체층을 상기 제1 채널 영역 상에서 형성하는 단계, 및

제1 게이트 전극 물질을 이용하여 상기 제1 게이트 유전체층 상에서 제1 게이트 전극을 형성하는 단계를 포함하며,

상기 제2 nFinFET 형성 공정은,

제2 p웰 도핑량을 이용하여 제2 p웰 치수를 갖는 제2 p웰을 형성하는 단계,

제2 채널 도핑량을 이용하여 상기 제2 p웰에서 제2 채널 영역을 형성하는 단계,

제2 n형 경도핑 드레인(NLDD) 도핑량을 이용하여, 상기 제2 p웰에서 상기 제2 채널 영역에 의해 인터포징된 제2 NLDD 피처를 형성하는 단계,

제2 포켓 도핑량을 이용하여 상기 제2 NLDD 피처에 인접해 있는 제2 포켓 도핑 피처를 형성하는 단계,

제2 게이트 유전체 물질과 제2 게이트 유전체 두께를 갖는 제2 게이트 유전체층을 상기 제2 채널 영역 상에서 형성하는 단계, 및

제2 게이트 전극 물질을 이용하여 상기 제2 게이트 유전체층 상에서 제2 게이트 전극을 형성하는 단계를 포함하고,

상기 제1 p웰 도핑량, 상기 제1 p웰 치수, 상기 제1 채널 도핑량, 상기 제1 NLDD 도핑량, 상기 제1 포켓 도핑량, 상기 제1 게이트 유전체 물질, 상기 제1 게이트 유전체 두께 및 상기 제1 게이트 전극 물질 중 적어도 하나는 상기 제2 p웰 도핑량, 상기 제2 p웰 치수, 상기 제2 채널 도핑량, 상기 제2 NLDD 도핑량, 상기 제2 포켓 도핑량, 상기 제2 게이트 유전체 물질, 상기 제2 게이트 유전체 두께 및 상기 제2 게이트 전극 물질 중 각각의 대응하는 것과는 상이한 것인, 방법.

## 청구항 10

삭제

## 명세서

### 기술분야

[0001] 본 발명개시는 아래의 공동 양도된 미국 특허 출원들과 관련이 있으며, 이러한 출원들의 전체 내용은 참조에 의해 본 명세서에 병합된다: “FULLY BALANCED DUAL-PORT MEMORY CELL”이라는 명칭으로 동일 발명자 Jhon Jhy Liaw에 의해 2010년 3월 10일에 출원된 미국 특허 출원번호 12/721,476(관리번호 TSMC2009-0686); “CELL STRUCTURE FOR DUAL-PORT SRAM”이라는 명칭으로 Jhon Jhy Liaw에 의해 2010년 6월 25일에 출원된 미국 특허

출원번호 12/823,907(관리번호 TSMC2010-0190); “ROM CELL CIRCUIT FOR FINFET DEVICES” 이라는 명칭으로 Jhon Jhy Liaw에 의해 2010년 6월 30일에 출원된 미국 특허 출원번호 12/827,406(관리번호 TSMC2010-0191); “STRUCTURE AND METHOD ROM SRAM CELL CIRCUIT” 이라는 명칭으로 Jhon Jhy Liaw에 의해 2010년 6월 25일에 출원된 미국 특허 출원번호 12/823,860(관리번호 TSMC2010-0192); 및 “LAYOUT FOR MULTIPLE-FIN SRAM CELL” 이라는 명칭으로 Jhon Jhy Liaw에 의해 2010년 6월 30일에 출원된 미국 특허 출원번호 12/827,690(관리번호 TSMC2010-0193).

### 배경 기술

[0002] 딥 서브마이크론 집적 회로 기술에서, 임베딩된 정적 랜덤 액세스 메모리(static random access memory; SRAM) 디바이스는 고속 통신, 이미지 처리 및 시스템 온 칩(system-on-chip; SOC) 제품들의 인기있는 저장 유닛이 되어 왔다. 예를 들어, 핀 전계 효과 트랜지스터(fin field-effect transistor; FinFET)와 같은, 핀 트랜지스터는 평면형 트랜지스터를 대체하기 위해 도입되었으며 SRAM 디바이스를 형성하는데 이용된다. 핀 트랜지스터는 윗면과 대향 측벽들과 관련된 채널(이것을 핀 채널이라고 부른다)을 갖는다. 핀 채널은 윗면과 대향 측벽들에 의해 정의된 전체 채널 폭을 갖는다. 32nm 이하와 같은 진보된 기술 노드들에서는, FinFET은 낮은 누설현상으로 인해 평면형 트랜지스터에 비해 유리하다.

### 발명의 내용

#### 해결하려는 과제

[0003] 6개 트랜지스터들을 갖춘 SRAM 셀(6T-SRAM)과 같은 SRAM 셀에서, 1에 근접한 베타비를 갖는 레이아웃은 감소된 셀 크기를 제공한다. 이러한 상황에서, 풀 다운 디바이스들 및 패스 게이트 디바이스들은 동일한 디바이스 치수를 갖는다. FinFET을 이용한 SRAM 셀에서, 모든 트랜지스터들을 위한 단일 핀 크기는 최소화된 셀 크기를 제공할 수 있다. 고속 응용에 관하여, 동일한 갯수의 풀 다운 디바이스들과 패스 게이트 디바이스들은 셀 속도와 셀 크기의 적절한 트레이드오프를 제공한다. 이러한 상황에서, 베타비는 1 이하이다. 하지만, 이것은 전류 크라우딩(current crowding)과 같은 다양한 베타비 관련 문제들을 야기시킬 것이다.

[0004] 알파비가 보다 높은 경우, 기록(write) 마진은 저하된다. 알파비가 보다 낮은 경우, 판독(read) 안정성 마진은 저하된다. 기존의 접근법들은 최적화된 판독 안정성과 기록 마진에 대한 알파비를 조정할 수가 없다. 기존의 방법들 및 구조들과 연관된 다른 문제들은 SRAM 셀 안정성과 디바이스 밀도를 포함한다. 다양한 배리어들이 FinFET SRAM 설계에서 존재할 수 있다. 예를 들어, 셀 크기, 셀 전류 및 Vcc의 공동 최적화는 자유롭지 못하다. 또다른 예시에서, 셀 크기는 디지털화되는데 이것은 Vcc 최적화에 영향을 미친다. 추가적인 예시에서, 과잉의 공정 단계들은 추가적인 제조 비용을 도입시킨다. 그러므로, 위 문제들을 해결하기 위한 새로운 구조물과 방법을 갖는 것이 요망된다.

#### 과제의 해결 수단

[0005] 따라서, 본 발명개시는 반도체 기관에서 형성된 집적 회로의 일 실시예를 제공한다. 집적 회로는 제1 셀 크기를 갖는 제1 정적 랜덤 액세스 메모리(SRAM) 셀; 및 제1 셀 크기보다 큰 제2 셀 크기를 갖는 제2 SRAM 셀을 포함한다. 제1 SRAM 셀은 제1 게이트 스택을 각각 갖는 제1 n형 전계 효과 트랜지스터(nFET)들을 포함하고, 제2 SRAM 셀은 제1 게이트 스택과는 상이한 제2 게이트 스택을 각각 갖는 제2 nFET들을 포함한다.

[0006] 일 실시예에서, 제2 게이트 스택은 게이트 전극 물질, 게이트 유전체 물질 및 게이트 유전체 두께 중 적어도 하나에서 제1 게이트 스택과 상이하다.

[0007] 또다른 실시예에서, 제1 SRAM 셀은 제1 갯수(N1)의 제1 nFET들을 포함하고; 제2 SRAM 셀은 제2 갯수(N2)의 제2 nFET들을 포함하며; 제2 갯수(N2)는 제1 갯수(N1)보다 크다.

[0008] 또다른 실시예에서, 제1 SRAM 셀은 제1의 두 개의 풀 업 디바이스들; 데이터 저장소를 위한 제1의 두 개의 교차결합형 인버터들을 형성하기 위해 상기 제1의 두 개의 풀 업 디바이스들과 함께 구성된 제1의 두 개의 풀 다운 디바이스들; 및 데이터 액세스를 위한 제1 포트들을 형성하기 위해 상기 제1의 두 개의 교차결합형 인버터들과 함께 구성된 제1의 두 개의 패스 게이트 디바이스들을 포함한다. 실시예에서, 제2 SRAM 셀은 제2의 두 개의 풀 업 디바이스들; 데이터 저장소를 위한 제2의 두 개의 교차결합형 인버터들을 형성하기 위해 상기 제2의 두 개의 풀 업 디바이스들과 함께 구성된 제2의 두 개의 풀 다운 디바이스들; 및 데이터 액세스를 위한 제2 포트들을 형성하기 위해 상기 제2의 두 개의 교차결합형 인버터들과 함께 구성된 제2의 두 개의 패스 게이트 디바이스들을

포함한다. 제1 및 제2 SRAM 셀들은 각각 복수의 핀형 전계 효과 트랜지스터(FinFET)들을 포함한다.

- [0009] 위 실시예의 증진을 위해, 제1의 두 개의 풀 업 디바이스들과 제2의 두 개의 풀 업 디바이스들 각각은 단일의 p형 핀형 전계 효과 트랜지스터(pFinFET)를 포함하고; 제1의 두 개의 풀 다운 디바이스들과 제1의 두 개의 패스 게이트 디바이스들 각각은 단일의 n형 FinFET(nFinFET)를 포함하며; 제2의 두 개의 풀 다운 디바이스들과 제2의 두 개의 패스 게이트 디바이스들 각각은 복수의 n형 FinFET(nFinFET)를 포함한다. 또다른 실시예에서, 집적 회로는 제1의 두 개의 풀 업 디바이스들에 연결된 기록 보조 회로를 더 포함한다.
- [0010] 또다른 실시예에서, 제1 SRAM 셀은 0.8과 1.3 사이의 범위 내의 제1 알파비를 가지며; 제2 SRAM 셀은 0.2와 0.6 사이의 범위 내의 제2 알파비를 갖는다. 또다른 실시예에서, 제1 nFET들 각각은 제1 p형 웰(p웰)과 제1 채널 영역을 포함하고; 제2 nFET들 각각은 제2 p형 웰(p웰)과 제2 채널 영역을 포함하며; 제1 p웰과 제1 채널 중의 적어도 하나는 제2 p웰과 제2 채널 중에서 각각의 대응하는 것과는 상이하다.
- [0011] 본 발명개시는 또한 집적 회로의 또다른 실시예를 제공한다. 집적 회로는 기관상에서 제1 셀 크기를 갖는 제1 정적 랜덤 액세스 메모리(SRAM) 셀을 포함한다. 제1 SRAM 셀은 제1 p형 전계 효과 트랜지스터(pFET)들 중의 단 하나의 pFET를 각각 갖는 제1 및 제2 풀 업 디바이스들; 데이터 저장소를 위한 제1의 두 개의 교차결합형 인버터들을 형성하기 위해 상기 제1 및 제2 풀 업 디바이스들과 함께 구성된 제1 및 제2 풀 다운 디바이스들; 및 데이터 액세스를 위해 상기 제1의 두 개의 교차결합형 인버터들과 함께 구성된 제1 및 제2 패스 게이트 디바이스들을 포함하며, 상기 제1 및 제2 풀 다운 디바이스와 상기 제1 및 제2 패스 게이트 디바이스들 각각은 제1 n형 전계 효과 트랜지스터(nFET)들 중의 단 하나의 nFET를 각각 포함한다. 집적 회로는 또한 제1 셀 크기보다 큰 제2 셀 크기를 갖는, 기관상의 제2 SRAM 셀을 포함한다. 제2 SRAM 셀은 제2 pFET들 중의 단 하나의 제2 nFET를 각각 갖는 제3 및 제4 풀 업 디바이스들; 데이터 저장소를 위한 제2의 두 개의 교차결합형 인버터들을 형성하기 위해 상기 제3 및 제4 풀 업 디바이스들과 함께 구성된 제3 및 제4 풀 다운 디바이스들; 및 데이터 액세스를 위해 상기 제2의 두 개의 교차결합형 인버터들과 함께 구성된 제3 및 제4 패스 게이트 디바이스들을 포함하며, 상기 제3 및 제4 풀 다운 디바이스와 상기 제3 및 제4 패스 게이트 디바이스들 각각은 제2 nFET들 중의 적어도 두 개의 nFET들을 포함한다. 제2 nFET들은 제1 nFET들과 상이하다.
- [0012] 집적 회로의 일 실시예에서, 제1 nFET들은 제1 문턱 전압을 갖고, 제2 nFET들은 제1 문턱 전압과는 상이한 제2 문턱 전압을 갖는다.
- [0013] 또다른 실시예에서, 제1 nFET들 각각은 제1 게이트 스택을 포함하고, 제2 nFET들 각각은 게이트 전극 물질, 게이트 유전체 물질 및 게이트 유전체 두께 중 적어도 하나에서 제1 게이트 스택과 상이한 제2 게이트 스택을 포함한다.
- [0014] 또다른 실시예에서, 제2 nFET들은 채널 도핑 농도, p웰 치수 및 p웰 도핑 농도 중 적어도 하나에서 제1 nFET들과 상이하다.
- [0015] 또다른 실시예에서, 제1 nFET들 각각은 제1 n형 경도핑 드레인(NLDD) 피처와 상기 제1 NLDD 피처에 인접해 있는 제1 포켓 도핑 피처를 포함하고, 제2 nFET들 각각은 제2 NLDD 피처와 상기 제2 NLDD 피처에 인접해 있는 제2 포켓 도핑 피처를 포함하며, 제1 NLDD 피처와 제1 포켓 도핑 피처 중의 적어도 하나는 제2 NLDD 피처와 제2 포켓 도핑 피처 중의 각각의 대응하는 것과는 상이하다.
- [0016] 또다른 실시예에서, 제1 pFET들 각각은 제1 게이트 스택을 포함하고, 제2 pFET들 각각은 게이트 전극 물질, 게이트 유전체 물질 및 게이트 유전체 두께 중 적어도 하나에서 제1 게이트 스택과 상이한 제2 게이트 스택을 포함한다.
- [0017] 또다른 실시예에서, 제2 셀 크기는 제1 셀 크기보다 적어도 10% 크다. 또다른 실시예에서, 집적 회로는 제1 및 제2 풀 업 디바이스들에 연결된 기록 보조 회로를 더 포함한다. 또다른 실시예에서, 제1 SRAM 셀은 0.8과 1.3 사이의 범위 내의 제1 알파비를 가지며; 제2 SRAM 셀은 0.2와 0.6 사이의 범위 내의 제2 알파비를 갖는다.
- [0018] 본 발명개시는 또한 방법의 일 실시예를 제공한다. 방법은 기관상에서 제1 셀 크기의 제1 정적 랜덤 액세스 메모리(SRAM) 셀을 형성하는 단계로서, 상기 제1 SRAM 셀의 형성은 제1 n형 핀 전계 효과 트랜지스터 형성 공정을 이용하여 제1 nFinFET들을 형성하는 단계를 포함한 것인, 상기 제1 SRAM 셀 형성 단계; 및 기관상에서 제2 셀 크기의 제2 SRAM 셀을 형성하는 단계로서, 상기 제2 SRAM 셀의 형성은 제1 nFinFET 형성 공정과는 상이한 제2 nFinFET 형성 공정을 이용하여 제2 nFinFET들을 형성하는 단계를 포함한 것인, 상기 제2 SRAM 셀 형성 단계를 포함한다 제2 셀 크기는 제1 셀 크기보다 크다.

[0019] 방법의 일 실시예에서, 제1 nFinFET 형성 공정은, 제1 p웰 도핑량을 이용하여 제1 p웰 치수를 갖는 제1 p웰을 형성하는 단계; 제1 채널 도핑량을 이용하여 제1 p웰에서 제1 채널 영역을 형성하는 단계; 제1 n형 경도핑 드레인(NLDD) 도핑량을 이용하여, 제1 p웰에서 제1 채널 영역에 의해 인터포징된 제1 NLDD 피처를 형성하는 단계; 제1 포켓 도핑량을 이용하여 제1 NLDD 피처에 인접해 있는 제1 포켓 도핑 피처를 형성하는 단계; 제1 게이트 유전체 물질과 제1 게이트 유전체 두께를 갖는 제1 게이트 유전체층을 제1 채널 영역상에서 형성하는 단계; 및 제1 게이트 전극 물질을 이용하여 제1 게이트 유전체층상에서 제1 게이트 전극을 형성하는 단계를 포함한다. 제2 nFinFET 형성 공정은, 제2 p웰 도핑량을 이용하여 제2 p웰 치수를 갖는 제2 p웰을 형성하는 단계; 제2 채널 도핑량을 이용하여 제2 p웰에서 제2 채널 영역을 형성하는 단계; 제2 n형 경도핑 드레인(NLDD) 도핑량을 이용하여, 제2 p웰에서 제2 채널 영역에 의해 인터포징된 제2 NLDD 피처를 형성하는 단계; 제2 포켓 도핑량을 이용하여 제2 NLDD 피처에 인접해 있는 제2 포켓 도핑 피처를 형성하는 단계; 제2 게이트 유전체 물질과 제2 게이트 유전체 두께를 갖는 제2 게이트 유전체층을 제2 채널 영역상에서 형성하는 단계; 및 제2 게이트 전극 물질을 이용하여 제2 게이트 유전체층상에서 제2 게이트 전극을 형성하는 단계를 포함한다. 제1 p웰 도핑량, 제1 p웰 치수, 제1 채널 도핑량, 제1 NLDD 도핑량, 제1 포켓 도핑량, 게이트 유전체 물질, 제1 게이트 유전체 두께 및 제1 게이트 전극 물질 중의 적어도 하나는 제2 p웰 도핑량, 제2 p웰 치수, 제2 채널 도핑량, 제2 NLDD 도핑량, 제2 포켓 도핑량, 게이트 유전체 물질, 제2 게이트 유전체 두께 및 제2 게이트 전극 물질 중의 각각의 대응하는 것과는 상이하다.

[0020] 또다른 실시예에서, 방법은 기록 보조 회로를 형성하는 단계를 더 포함한다. 제1 SRAM 셀의 형성은 제1 p형 핀전계 효과 트랜지스터(pFinFET)들을 형성하는 단계를 포함하고; 제2 SRAM 셀의 형성은 제2 pFinFET들을 형성하는 단계를 포함하며; 기록 보조 회로의 형성은 제1 pFinFET들에 연결된 기록 보조 회로를 형성하는 단계를 포함한다.

**발명의 효과**

[0021] 일 실시예에서, 패스 게이트와 풀 다운 디바이스들을 포함한, SRAM 셀을 형성하기 위한 처리 흐름은, 다음의 단계들, 즉 핀 활성화 영역들의 형성, 웰 형성, 채널 도펀트 형성, 패스 게이트 디바이스들만에 대한 추가적인 채널 도핑 공정, 게이트 형성, 경도핑된 드레인(LDD) 형성, 포켓 주입(포켓 접합) 형성, 게이트 스페이서 형성, 소스/드레인(S/D) 도펀트 형성, 실리사이드 형성, 및 상호연결부 형성을 포함한다. 추가적인 채널 도핑 공정에서, 추가적인 채널 도펀트는 패스 게이트 디바이스들의 채널들에 도입되어, SRAM 셀의 베타비를 증가시킨다.

[0022] 또다른 실시예에서, SRAM 셀을 형성하기 위한 처리 흐름은, 다음의 단계들, 즉 핀 활성화 영역들의 형성, 웰 형성, 채널 도펀트 형성, 게이트 형성, 경도핑된 드레인(LDD) 형성, 포켓 주입(포켓 접합) 형성, 패스 게이트 디바이스들만에 대한 추가적인 포켓 도핑 공정, 게이트 스페이서 형성, 소스/드레인(S/D) 도펀트 형성, 실리사이드 형성, 및 상호연결부 형성을 포함한다. 추가적인 포켓 도핑 공정에서, 추가적인 포켓 도펀트는 패스 게이트 디바이스들의 채널 가장자리들에 도입되어, SRAM 셀의 베타비를 증가시킨다. SRAM 셀 및 대응 방법의 다른 실시예들이 본 발명개시의 다양한 양태들에 따라 아래에서 제공되고 설명된다.

[0023] 다양한 실시예들에서, 개시된 SRAM 디바이스는 배경기술에서 언급한 문제들을 해결한다. 하나의 예시에서, 상이한 문턱 전압 조정 공정들을 상이한 SRAM 셀들에 대해 수행함으로써, 높은 패킹 밀도 SRAM 셀들과 고전류 SRAM 셀들이 동일한 기판상에서 형성된다. 또다른 예시에서, 높은 패킹 밀도 SRAM 셀의 풀 업 디바이스들에 전압 제어 회로를 결합시킴으로써, 본 회로는 증대된 SRAM 성능을 갖고 판독 안정성과 기록 마진을 모두 유지할 수 있다. 또다른 예시에서, 개시된 방법과 SRAM 구조물은 웨이퍼 제조를 단순화시키고 제조 비용을 감소시킨다.

**도면의 간단한 설명**

[0024] 본 발명개시의 양태들은 첨부 도면들과 함께 아래의 상세한 설명을 읽음으로써 최상으로 이해된다. 본 산업계에서의 표준적인 관행에 따라, 다양한 피처들은 실척도로 작도되지 않았음을 강조해둔다. 실제로, 다양한 피처들의 치수는 설명의 명료함을 위해 임의적으로 증가되거나 또는 감소될 수 있다.

도 1은 일 실시예에서의 본 발명개시의 다양한 양태들에 따라 구축된 다양한 SRAM 셀들을 갖는 집적 회로의 개략도이다.

도 2는 일 실시예에서의 본 발명개시의 다양한 양태들에 따라 구축된 정적 랜덤 액세스 메모리(SRAM) 셀의 개략도이다.

도 3은 또다른 실시예에서의 본 발명개시의 다양한 양태들에 따라 구축된 SRAM 셀의 개략도이다.

도 4는 일 실시예에 따른 도 2의 집적 회로를 제조하는 방법의 흐름도이다.

도 5는 다양한 실시예들에서의 본 발명개시의 다양한 양태들에 따라 구축된 도 4의 방법에 의해 제조된 집적 회로의 일부분의 단면도이다.

도 6은 또다른 실시예에서의 본 발명개시의 다양한 양태들에 따라 구축된 다양한 SRAM 셀들을 갖는 집적 회로의 개략도이다.

도 7은 또다른 실시예에서의 본 발명개시의 다양한 양태들에 따라 구축된 SRAM 셀의 개략도이다.

도 8과 도 9는 일 실시예에서의 본 발명개시의 다양한 양태들에 따라 구축된 SRAM 디바이스의 평면도들이다.

도 10과 도 11은 다양한 실시예들에서의 본 발명개시의 다양한 양태들에 따라 구축된 상호연결 구조물의 개략도들이다.

도 12와 도 13은 또다른 실시예에서의 본 발명개시의 다양한 양태들에 따라 구축된 SRAM 디바이스의 평면도들이다.

도 14와 도 15는 다양한 실시예들에서의 본 발명개시의 다양한 양태들에 따라 구축된 상호연결 구조물의 개략도들이다.

도 16은 또다른 실시예에서의 본 발명개시의 다양한 양태들에 따라 구축된 상호연결 구조물의 개략도이다.

도 17은 다양한 실시예들에서의 본 발명개시의 다양한 양태들에 따라 구축된 반도체 구조물의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0025] 아래의 발명개시는 다양한 실시예들의 여러 특징들을 구현하기 위한 많은 여러 실시예들 또는 예시들을 제공하는 것으로 이해되어야 한다. 본 발명개시를 단순화하기 위해 컴포넌트 및 장치의 특정예들이 아래에서 설명된다. 물론, 이것들은 단지 예시들에 불과하며, 한정적인 것으로 의도된 것은 아니다. 또한, 본 발명개시는 다양한 예시들에서 참조 부호들 및/또는 문자들을 반복할 수 있다. 이러한 반복은 간략화 및 명료화를 위한 것이지, 그러한 반복 그 자체가 개시된 다양한 실시예들 및/또는 구성 사이의 관계를 설명하는 것은 아니다.

[0026]도 1은 기판(12) 상에 형성된 집적 회로(10)를 나타내는 블록도이다. 본 실시예에서 기판(12)은 반도체 기판이다. 반도체 기판(12)은 실리콘을 포함한다. 대안적으로, 기판은 게르마늄, 실리콘 게르마늄, 또는 다른 적절한 반도체 물질들을 포함한다. 반도체 기판(12)은 또한 기판에서 형성된, 개별적인 다양한 디바이스들에 대한 얇은 트렌치 격리(shallow trench isolation; STI)와 같은 다양한 격리 피처들을 포함한다. 반도체 기판은 또한 n웰 및 p웰과 같은 다양한 도핑 영역들을 포함한다.

[0027]집적 회로(10)는 적절한 데이터 액세스를 위해 어레이로 구성된 복수의 SRAM 셀들을 포함한다. 일 실시예에서, 집적 회로(10)는 제1 셀 크기를 갖는 제1 SRAM 셀(14) 및 제1 셀 크기보다 큰 제2 셀 크기를 갖는 제2 SRAM 셀(16)을 포함한다. 또다른 실시예에서, 집적 회로(10)는 제1 셀 크기를 가지며 제1 어레이에서 구성된 복수의 제1 SRAM 셀들 및 제2 셀 크기를 가지며 제2 어레이에서 구성된 복수의 제2 SRAM 셀들을 포함한다. 일례에서, 제2 셀 크기는 제1 셀 크기보다 적어도 10% 크다.

[0028]제1 SRAM 셀(14)과 제2 SRAM 셀(16)은 각각 데이터 저장소를 위해 두 개의 교차결합형 인버터들로서 구성된 두 개의 풀 업 디바이스들과 두 개의 풀 다운 디바이스들을 포함하고 데이터 액세스를 위해 이러한 인버터들과 결합된 두 개의 패스 게이트 디바이스들을 더 포함하기 때문에 이 SRAM 셀들은 서로 유사하다. 본 실시예에서, 풀 업 디바이스들은 p형 전계 효과 트랜지스터(pFET)로 형성되고; 풀 다운 디바이스들과 패스 게이트 디바이스들은 n형 전계 효과 트랜지스터(nFET)로 형성된다.

[0029]하지만, 제1 SRAM 셀(14)과 제2 SRAM 셀(16)은 상이한 갯수의 트랜지스터들을 이용함으로써 서로 상이하다. 본 실시예에서, 제1 SRAM 셀(14)은 풀 다운 디바이스들과 패스 게이트 디바이스들을 위한 제1 갯수(N1)의 nFET들을 포함하며; 제2 SRAM 셀(16)은 풀 다운 디바이스들과 패스 게이트 디바이스들을 위한 제2 갯수(N2)의 nFET들을 포함한다. 제2 갯수(N2)는 제1 갯수(N1)보다 크다. 일 실시예에서, 제1 SRAM 셀(14)에 대한 알파비는 0.8과 1.4 사이의 범위안에 있으며 제2 SRAM 셀(16)에 대한 알파비는 0.2과 0.6 사이의 범위안에 있다. 알파비는 각각의 패스 게이트 디바이스 대비 풀 업 디바이스간의 구동 세기비로서 정의된다. 구체적으로, 알파비는 각각의 패스 게이트 디바이스의 구동 전류 대 풀 업 디바이스의 구동 전류간의 비로서 정의되며, Ion(PU)/Ion(PG)로서 공

식화된다.

- [0030] 도 2는 일 실시예에서의 본 발명개시의 다양한 양태들에 따라 구축된 제1 SRAM 셀(14)의 개략도이다. 제1 SRAM 셀(14)은 금속 산화물 반도체 전계 효과 트랜지스터(metal-oxide-semiconductor field effect transistor; MOSFET)와 같은, 전계 효과 트랜지스터(FET)들을 포함한다. 본 실시예에서, 제1 SRAM 셀(14)은 핀형 전계 효과 트랜지스터(FinFET)들을 포함한다. 제1 SRAM 셀(14)은 데이터 저장소로서 교차결합된 제1 및 제2 인버터들을 포함한다. 제1 인버터는 p형 핀형 전계 효과 트랜지스터(pFinFET)로 형성된 제1 풀 업 디바이스(이것을 PU-1이라고 칭한다)를 포함한다. 제1 인버터는 n형 핀형 전계 효과 트랜지스터(nFinFET)로 형성된 제1 풀 다운 디바이스(이것을 PD-1이라고 칭한다)를 포함한다. PU-1와 PD-1의 드레인들은 함께 전기적으로 연결되어 제1 데이터 노드("노드 1")를 형성한다. PU-1와 PD-1의 게이트들은 함께 전기적으로 연결된다. PU-1의 소스는 전력 라인(Vcc)에 전기적으로 연결된다. PD-1의 소스는 상보적 전력 라인(Vss)에 전기적으로 연결된다. 제2 인버터는 pFinFET으로 형성된 제2 풀 업 디바이스(이것을 PU-2이라고 칭한다)를 포함한다. 제2 인버터는 또한 nFinFET으로 형성된 제2 풀 다운 디바이스(이것을 PD-2이라고 칭한다)를 포함한다. PU-2와 PD-2의 드레인들은 함께 전기적으로 연결되어 제2 데이터 노드("노드 2")를 형성한다. PU-2와 PD-2의 게이트들은 함께 전기적으로 연결된다. PU-2의 소스는 전력 라인(Vcc)에 전기적으로 연결된다. PD-2의 소스는 상보적 전력 라인(Vss)에 전기적으로 연결된다. 더 나아가, 제1 데이터 노드는 PU-2와 PD-2의 게이트들에 전기적으로 연결되며, 제2 데이터 노드는 PU-1과 PD-1의 게이트들에 전기적으로 연결된다. 그러므로, 제1 및 제2 인버터들은 도 2에서 나타난 바와 같이 교차결합된다.
- [0031] SRAM 셀(14)은 nFinFET으로 형성된 제1 패스 게이트 디바이스(이것을 PG-1이라고 부른다)와, 또다른 nFinFET으로 형성된 제2 패스 게이트 디바이스(이것을 PG-2이라고 부른다)를 더 포함한다. 제1 패스 게이트(PG-1)의 소스는 제1 데이터 노드에 전기적으로 연결되고 제2 패스 게이트(PG-2)의 소스는 제2 데이터 노드에 전기적으로 연결되어, 데이터 액세스를 위한 포트들을 형성한다. 더 나아가, PG-1의 드레인은 비트 라인("BL")에 전기적으로 연결되며, PG-1의 게이트는 워드 라인("WL")에 전기적으로 연결된다. 마찬가지로, PG-2의 드레인은 상보적 비트 라인 또는 비트 라인(BL)에 전기적으로 연결되며, PG-2의 게이트는 워드 라인(WL)에 전기적으로 연결된다.
- [0032] 일 실시예에서, 다양한 nFinFET들 및 pFinFET들이 하이k 금속 게이트 기술을 이용하여 형성됨으로써 게이트 스택들은 게이트 유전체를 위한 하이k 유전체 물질층과 게이트 전극을 위한 하나 이상의 금속들을 포함한다. 게이트 스택들이 핀형 활성 영역들의 다양한 표면을 위에서 각각의 채널 영역들과 결합되도록 하는 삼차원 활성 영역들을 갖기 위해 finFET들이 이용된다.
- [0033] 도 1을 다시 참조하면, 제2 SRAM 셀(16)은 보다 많은 갯수의 트랜지스터들을 이용함으로써 제1 SRAM 셀(14)과는 상이하다. 구체적으로, 제2 SRAM 셀(16)은, 데이터 저장소를 위한 두 개의 교차결합형 인버터들을 형성하도록 구성된 두 개의 풀 업 디바이스들과 두 개의 풀 다운 디바이스들을 포함하며, 데이터 액세스를 위한 두 개의 풀 업 디바이스들 및 두 개의 풀 다운 디바이스들과 결합된 두 개의 패스 게이트 디바이스들을 더 포함한다. 제2 SRAM 셀(16)에서의 풀 업 디바이스들 각각은 단하나의 pFinFET를 포함한다. 제2 SRAM 셀(16)에서의 풀 다운 디바이스들 및 패스 게이트 디바이스들 각각은 두 개 이상의 n형 핀 전계 효과 트랜지스터(nFinFET)들을 포함한다.
- [0034] 이에 따라, 제1 SRAM 셀(14)은 높은 패킹(packaging) 밀도를 달성하기 위해 작은 셀 크기를 가지며, 제2 SRAM 셀(16)은 기록 마진을 위한 하이 기록 전류와 같은, 하이 동작 전류를 달성하도록 큰 셀 크기를 갖는다.
- [0035] 도 3은 일 실시예에서의 본 발명개시의 양태들에 따라 구축된 제2 SRAM 셀(16)의 개략도이다. 본 실시예에서 SRAM 셀(16)은 FinFET들을 포함한다. SRAM 셀(16)은 데이터 저장소로서 교차결합된 제1 및 제2 인버터들을 포함한다. 제1 인버터는 단하나의 pFinFET으로 형성된 제1 풀 업 디바이스(이것을 PU-1이라고 칭한다)를 포함한다. 제1 인버터는 두 개 이상의 nFinFET들로 형성된 제1 풀 다운 디바이스를 포함한다. 이 풀 다운 디바이스는 여전히 PD-1이라고 부른다. PU-1와 PD-1의 드레인들은 함께 전기적으로 연결되어 제1 데이터 노드("노드 1")를 형성한다. PU-1와 PD-1의 게이트들은 함께 전기적으로 연결된다. PU-1의 소스는 전력 라인(Vcc)에 전기적으로 연결된다. PD-1의 소스는 상보적 전력 라인(Vss)에 전기적으로 연결된다. 제2 인버터는 하나의 pFinFET으로 형성된 제2 풀 업 디바이스(이것을 PU-2이라고 칭한다)를 포함한다. 제2 인버터는 또한 두 개 이상의 nFinFET들로 형성된 제2 풀 다운 디바이스(이것을 PD-2이라고 칭한다)를 포함한다. PU-2와 PD-2의 드레인들은 함께 전기적으로 연결되어 제2 데이터 노드("노드 2")를 형성한다. PU-2와 PD-2의 게이트들은 함께 전기적으로 연결된다. PU-2의 소스는 전력 라인(Vcc)에 전기적으로 연결된다. PD-2의 소스는 상보적 전력 라인(Vss)에 전기적으로 연결된다. 더 나아가, 제1 데이터 노드는 PU-2와 PD-2의 게이트들에 전기적으로 연결되며, 제2 데이터 노드는

PU-1과 PD-1의 게이트들에 전기적으로 연결된다. 그러므로, 제1 및 제2 인버터들은 교차결합된다.

- [0036] SRAM 셀(16)은 두 개 이상의 nFinFET들로 형성된 제1 패스 게이트 디바이스(이것을 PG-1이라고 부른다)와, 두 개 이상의 nFinFET들로 형성된 제2 패스 게이트 디바이스(이것을 PG-2이라고 부른다)를 더 포함한다. 제1 패스 게이트(PG-1)의 소스는 제1 데이터 노드에 전기적으로 연결되고 제2 패스 게이트(PG-2)의 소스는 제2 데이터 노드에 전기적으로 연결되어, 데이터 액세스를 위한 포트들을 형성한다. 더 나아가, PG-1의 드레인은 비트 라인("BL")에 전기적으로 연결되며, PG-1의 게이트는 워드 라인("WL")에 전기적으로 연결된다. 마찬가지로, PG-2의 드레인은 상보적 비트 라인 또는 비트 라인(BL)에 전기적으로 연결되며, PG-2의 게이트는 워드 라인(WL)에 전기적으로 연결된다.
- [0037] 도 1을 다시 참조하면, 집적 회로(10)는 일 실시예에서 제1 SRAM 셀(14)과 결합된 기록 보조 회로(18)를 더 포함한다. 기록 보조 회로(18)는 제1 SRAM 셀(14)에서의 대응하는 풀 업 디바이스들의 소스들에 듀얼 레벨 전압(고레벨 전압과 저레벨 전압)을 동적으로 제공하도록 동작가능하게 설계된다. 기록 보조 회로(18)는 제1 SRAM 셀(14)의 동작 상태에 따라 고전압과 저전압 중 하나를 풀 업 디바이스들의 소스에 제공하도록 설계된다. 구체적으로, SRAM 판독 동작 동안에, 고레벨 전압이 풀 업 디바이스들(14)의 소스들에 인가된다. SRAM 기록 동작 동안에는, 저레벨 전압이 풀 업 디바이스들(14)의 소스들에 인가된다. 기록 보조 회로(18)를 전압 제어 회로라고도 부른다. 위의 기능성을 갖는 것으로 본 업계에서 알려진 회로라면 어느 것이나 이용이 가능할 수 있고 집적 회로(10)에 포함될 수 있다.
- [0038] 하나의 예시에서, 기록 보조 회로(18)는 각각의 전압 레벨들의 두 개의 전력 라인들에 연결된다. 기록 보조 회로(18)는 판독 또는 기록과 같은, 동작 모드들에 따라 전압 레벨들 중 하나의 레벨을 선택하도록 동작가능하다. 제1 SRAM 셀(14)에 결합된 기록 보조 회로(18)는 제1 SRAM 셀에 대한 동작들 동안에 판독 안정성과 기록 마진을 제공한다.
- [0039] 또다른 실시예에서, 제1 SRAM 셀(14)과 제2 SRAM 셀(16)은 상이한 갯수의 트랜지스터들을 갖기 때문에, 각각의 트랜지스터들은 한층 더 상이하게 설계되고 및/또는 제조된다. 제1 SRAM 셀(14)에서의 nFinFET들은 제1 문턱 전압(V1)을 갖고, 제2 SRAM 셀(16)에서의 nFinFET들은 제2 문턱 전압(V2)을 갖는다. 하나의 예시에서, V1이 V2와 상이해지도록 제1 SRAM 셀(14)에서의 nFinFET들과 제2 SRAM 셀(16)에서의 nFinFET들은 상이하게 제조된다. 하나의 특정한 예시에서, 제1 문턱 전압(V1)은 제2 문턱 전압(V2)보다 작다.
- [0040] 실시예의 증진을 위해, 제1 SRAM 셀(14)에서의 nFinFET들은 제1 디바이스 형성 공정에 의해 제조되고, 제2 SRAM 셀(16)에서의 nFinFET들은 제1 디바이스 형성 공정과는 상이한 제2 디바이스 형성 공정에 의해 형성된다. 따라서, 제1 SRAM 셀(14)에서의 nFinFET들과 제2 SRAM 셀(16)에서의 nFinFET들은 조성, 형성 및 치수 중 적어도 하나에서 상이하다.
- [0041] 제1 SRAM 셀(14)에서의 nFinFET들은 제1 게이트 스택들을 포함하고, 제2 SRAM 셀(16)에서의 nFinFET들은 제2 게이트 스택들을 포함한다. 하나의 실시예에서, 제1 게이트 스택들은 제2 게이트 스택들과는 상이하다. 다양한 예시들에서, 제1 게이트 스택들과 제2 게이트 스택들은 게이트 유전체 물질, 게이트 유전체 두께 및 게이트 전극 물질 중 적어도 하나에서 상이하다.
- [0042] 다른 예시들에서, 제1 SRAM 셀(14)에서의 nFinFET들과 제2 SRAM 셀(16)에서의 nFinFET들은 p웰 도핑 농도, p웰 치수, 및 채널 도핑 농도 중 적어도 하나에서 상이하다. 또다른 예시들에서, 제1 SRAM 셀(14)에서의 nFinFET들과 제2 SRAM 셀(16)에서의 nFinFET들은 포켓 도핑 피쳐들 및 n형 경도핑 드레인(n-type light-doped drain; NLDD) 피쳐들 중 적어도 하나에서 상이하다.
- [0043] 도 4는 상이한 셀 크기들을 갖는 두 개의 SRAM 셀들을 구비한 집적 회로를 형성하는 방법(40)의 흐름도이다. 도 5는 방법(40)에 의해 형성된 집적 회로(80)의 개략적인 단면도이다. 본 실시예에서, 집적 회로(80)는 도 1의 집적 회로(10)이며, 이것은 제1 SRAM 셀(14)과 제2 SRAM 셀(16)을 포함한다. 방법(40)과 집적 회로(80)는 도 4와 도 5를 참조하여 아래에서 설명된다.
- [0044] 도 5를 참조하면, 집적 회로(80)는 기판(12)에서 형성된 제1 SRAM 셀(14)과 제2 SRAM 셀(16)을 포함한다. 본 실시예에서, 제1 SRAM 셀(14)에서의 풀 다운 디바이스와 패스 게이트 디바이스들 각각은 단하나의 제1 nFinFET(82)만을 포함하는 반면에 제2 SRAM 셀(16)에서의 풀 다운 디바이스와 패스 게이트 디바이스들 각각은 적어도 두 개의 제2 nFinFET들(84)을 포함한다. 도 5는 하나의 제1 nFinFET(82)과 하나의 제2 nFinFET(84)만을 나타낸다. 제1 nFinFET(82)과 제2 nFinFET(84)은 서로 상이하게 형성되며, 일 실시예에 따른 각각의 공정들에 의해 형성된다.

- [0045] 제1 nFinFET(82)은 기판(12)에서 형성된 제1 p웰(86)을 포함하며, 얇은 트렌치 격리(shallow trench isolation; STI) 피처들(88)과 같은, 격리 피처들에 의해 다른 디바이스들로부터 격리될 수 있다. 제1 nFinFET(82)을 위한 제1 채널(89)이 제1 p웰에서 형성된다. 제1 채널(89)은 p형 도펀트들을 포함하지만 제1 p웰(86)의 도핑 농도와는 상이한 도핑 농도를 가질 수 있다.
- [0046] 제1 nFinFET(82)은 제1 채널(89)상에 배치된 제1 게이트 스택(90)을 포함한다. 제1 게이트 스택(90)은 제1 게이트 유전체 피처(92) 및 제1 게이트 유전체 피처(92) 상에 배치된 제1 게이트 전극(94)을 포함한다. 제1 게이트 스택(90)은 제1 게이트 유전체 피처(92)와 제1 게이트 전극(94)의 측벽들상에 배치된 제1 게이트 스페이서들(96)을 더 포함할 수 있다. 제1 게이트 유전체 피처(92)는 고유전상수를 갖는 적절한 유전체 물질(하이k 유전체 물질) 또는 실리콘 산화물과 같은, 제1 게이트 유전체 물질을 포함한다. 일 실시예에서, 제1 게이트 유전체 피처(92)는 하나보다 많은 유전체 물질층들을 포함한다. 예를 들어, 제1 게이트 유전체 피처(92)는 실리콘 산화물과 같은, 계면 유전체층, 및 계면 유전체층상의 하이k 유전체 물질층을 포함한다. 제1 게이트 전극(94)은 도핑된 폴리실리콘, 금속, 금속 합금, 및/또는 금속 실리사이드와 같은 도전성 물질층을 포함한다. 일 실시예에서, 제1 게이트 전극(94)은 하나보다 많은 도전성 물질층들을 포함한다. 예를 들어, 제1 게이트 전극(94)은 제1 게이트 유전체 피처(92)상의 적절한 일함수를 갖는 제1 도전층과 제1 도전층상의 제2 도전층을 포함한다. 하나의 예시에서, 제1 도전층은 탄탈륨 또는 티타늄 알루미늄을 포함한다. 또다른 예시에서, 제2 도전층은 알루미늄, 텅스텐, 구리, 도핑된 폴리실리콘 또는 이들의 조합을 포함한다. 게이트 스페이서들(96)은 실리콘 산화물, 실리콘 질화물, 실리콘 카바이드, 또는 실리콘 산화질화물을 포함한다.
- [0047] 제1 nFinFET(82)은 n형 도펀트들의 제1 소스 및 드레인 피처들을 더 포함한다. 제1 소스 및 드레인 피처들은 제1 n웰(86)에서 형성되고 제1 채널(89)에 의해 인터포징(interposed)된다. 일 실시예에서, 제1 소스 및 드레인 피처들은 n형 경도핑 드레인(NLDD) 피처들(100)과 중도핑 소스 및 드레인(S/D) 피처들(102)을 포함한다.
- [0048] 또다른 실시예에서, 제1 nFinFET(82)은 제1 n웰(86)에서 형성되며 제1 채널(89)과 (S/D 피처들(102)과 같은) 제1 소스 및 드레인 피처들 사이에 인터포징된 제1 포켓 주입 피처(104)를 더 포함한다. 실시예의 증진을 위해, 제1 포켓 주입 피처(104)는 p형 도펀트들을 포함하지만 제1 채널(89)의 도핑 농도보다 큰 도핑 농도를 갖는다.
- [0049] 기판(12)상에 층간 유전체(interlayer dielectric; ILD) 물질과 같은, 유전체 물질층(106)이 배치된다. 다양한 실시예들에서, 유전체 물질층(106)은 실리콘 산화물, 플루오르화 실리콘 산화물, 또는 저유전상수를 갖는 적절한 유전체 물질(로우k 유전체 물질)을 포함한다.
- [0050] 제2 nFinFET(84)은 기판(12)에서 형성된 제2 p웰(108)을 포함하며, STI 피처들(110)과 같은, 격리 피처들에 의해 다른 디바이스들로부터 격리될 수 있다. 제2 nFinFET(84)을 위한 제2 채널(112)이 제2 p웰(108)에서 형성된다. 제2 채널(112)은 p형 도펀트들을 포함하지만 제2 p웰(108)의 도핑 농도와는 상이한 도핑 농도를 가질 수 있다.
- [0051] 제2 nFinFET(84)은 제2 채널(112)상에 배치된 제2 게이트 스택(114)을 포함한다. 제2 게이트 스택(114)은 제2 게이트 유전체 피처(116) 및 제2 게이트 유전체 피처(116) 상에 배치된 제2 게이트 전극(118)을 포함한다. 제2 게이트 스택(114)은 제2 게이트 유전체 피처(116)와 제2 게이트 전극(118)의 측벽들상에 배치된 제2 게이트 스페이서들(120)을 더 포함할 수 있다. 제2 게이트 유전체 피처(116)는 실리콘 산화물 또는 하이k 유전체 물질과 같은, 제2 게이트 유전체 물질을 포함한다. 일 실시예에서, 제2 게이트 유전체 피처(116)는 하나보다 많은 유전체 물질층들을 포함한다. 예를 들어, 제2 게이트 유전체 피처(116)는 계면 유전체층, 및 계면 유전체층상에서 형성된 하이k 유전체 물질층을 포함한다. 제2 게이트 전극(118)은 도핑된 폴리실리콘, 금속, 금속 합금, 및/또는 금속 실리사이드와 같은 도전성 물질층을 포함한다. 일 실시예에서, 제2 게이트 전극(118)은 하나보다 많은 도전성 물질층들을 포함한다. 예를 들어, 제2 게이트 전극(118)은 제2 게이트 유전체 피처(116)상의 적절한 일함수를 갖는 제1 도전층과 제2 게이트 스택(114)의 각각의 제1 도전층상의 제2 도전층을 포함한다. 하나의 예시에서, 제1 도전층은 탄탈륨 또는 티타늄 알루미늄을 포함한다. 또다른 예시에서, 제2 도전층은 알루미늄, 텅스텐, 구리, 도핑된 폴리실리콘 또는 이들의 조합을 포함한다. 제2 게이트 스페이서들(120)은 실리콘 산화물, 실리콘 질화물, 실리콘 카바이드, 또는 실리콘 산화질화물과 같은, 유전체 물질을 포함한다.
- [0052] 제2 nFinFET(84)은 n형 도펀트들의 제2 소스 및 드레인 피처들을 더 포함한다. 제2 소스 및 드레인 피처들은 제2 n웰(108)에서 형성되고 제2 채널(112)에 의해 인터포징된다. 일 실시예에서, 제2 소스 및 드레인 피처들은 NLDD 피처들(122)과 중도핑 소스 및 드레인(S/D) 피처들(124)을 포함한다.

- [0053] 또다른 실시예에서, 제2 nFinFET(84)은 제2 n웰(108)에서 형성되어 있으며 제2 채널(112)과 (S/D 피처들(124)과 같은) 제2 소스 및 드레인 피처들 사이에 인터포징된 제2 포켓 주입 피처(126)를 더 포함한다. 실시예의 증진을 위해, 제2 포켓 주입 피처(126)는 p형 도펀트들을 포함하지만 제2 채널(112)의 도핑 농도보다 큰 도핑 농도를 갖는다.
- [0054] 유전체 물질층(106)은 또한 제2 nFinFET(84)의 영역에서 기판(12)상에 배치된다.
- [0055] 하지만, 본 실시예에 따르면, 제1 nFinFET(82)과 제2 nFinFET(84)은 서로 상이하다. 하나의 예시에서, 제1 nFinFET(82)과 제2 nFinFET(84)은 상이한 문턱 전압들을 갖도록 설계되고 형성된다.
- [0056] 본 실시예에서, 제1 nFinFET(82)과 제2 nFinFET(84)은 조성, 형성 및 치수 중 적어도 하나에서 상이하게 형성된다.
- [0057] 도 4를 참조하면, 방법(40)은 제1 SRAM 셀(14)을 형성하기 위한 제1 디바이스 형성 공정(42)과 제2 SRAM 셀(16)을 형성하기 위한 제2 디바이스 형성 공정(44)을 포함한다. 실시예의 증진을 위해, 제1 nFinFET(82)은 제1 디바이스 형성 공정(42)에 의해 제조되고, 제2 FinFET(84)은 제1 디바이스 형성 공정(42)과는 상이한 제2 디바이스 형성 공정(44)에 의해 제조된다. 하나의 예시에서, 제1 디바이스 형성 공정 중에서의 적어도 하나의 단계는 제2 디바이스 형성 공정 중에서의 각각의 대응하는 단계와 상이하다.
- [0058] 제1 디바이스 형성 공정(42)은 제1 p웰 리소그래피 공정과 제1 p웰 이온 주입을 이용하여 기판(12)에서 제1 p웰(86)을 형성하는 단계(52)를 포함한다. 하나의 예시에서, 제1 p웰 리소그래피 공정은 제1 p웰 치수를 갖는 제1 p웰(86)을 정의한다. 또다른 예시에서, 제1 p웰 이온 주입은 제1 p웰 농도를 갖는 제1 p웰을 형성하기 위한 제1 p웰 도핑량을 포함한다.
- [0059] 제1 디바이스 형성 공정(42)은 제1 채널 주입을 이용하여 제1 p웰(86)에서 제1 채널(89)을 형성하는 단계(54)를 더 포함하며, 그 결과로 제1 채널 도핑 프로파일과 제1 채널 도핑 농도를 갖는 제1 채널(89)이 형성된다. 하나의 실시예에서, 제1 채널 주입은 제1 채널(89)의 문턱 전압을 조정하도록 설계된 제1 채널 도핑량을 포함한다. 또다른 실시예에서, 제1 채널 주입은 제1 채널 도핑 프로파일을 형성하도록 설계된 다양한 주입들을 포함한다.
- [0060] 또다른 실시예에서, 디바이스 형성 공정(42)은 제1 채널(89)상에서 제1 게이트 스택(90)을 형성하는 단계(56)를 더 포함한다. 일 실시예에서, 제1 게이트 스택(90)의 형성은 게이트 유전체용 하이k 유전체와 게이트 전극용 금속을 갖는 게이트 스택을 이용할 수 있다. 또다른 실시예에서, 제1 게이트 스택(90)의 형성은 게이트 라스트(gate-last) 공정, 또는 하이k 라스트(high k-last) 공정, 게이트 퍼스트(gate-first) 공정, 또는 이들의 조합을 포함할 수 있다. 하나의 예시에 따르면, 게이트 라스트 공정에서, 더미 게이트 스택은 증착, 리소그래피 패터닝 및 에칭에 의해 기판상에서 형성되고; ILD 물질층은 증착과 폴리싱에 의해 기판상에서 형성되고; 더미 게이트 스택은 부분적으로 제거되며; 그런 후 금속 게이트 전극이 증착과 폴리싱에 의해 형성된다. 또다른 예시에 따르면, 하이k 라스트 공정에서, 더미 게이트 스택은 증착, 리소그래피 패터닝 및 에칭에 의해 기판상에서 형성되고; ILD 물질층은 증착과 폴리싱에 의해 기판상에서 형성되고; 더미 게이트 스택은 제거되며; 그런 후 하이k 유전체 물질과 금속 게이트 전극이 증착과 폴리싱에 의해 형성된다. 게이트 퍼스트 공정에서, 하이k 유전체 물질과 금속 전극의 게이트 스택이 증착, 리소그래피 패터닝 및 에칭에 의해 기판상에서 형성되고; 소스 및 드레인 피처들이 다양한 이온 주입들에 의해 형성되며; ILD 물질층이 증착과, 화학적 기계적 폴리싱(chemical mechanical polishing; CMP)과 같은, 폴리싱에 의해 기판상에서 형성된다.
- [0061] 제1 디바이스 형성 공정(42)은 또한 각각의 제1 소스 및 드레인 도핑량을 이용하여, NLDD 피처들(100)과 S/D 피처들(102)과 같은, 다양한 소스 및 드레인 피처들을 형성하는 단계(58)를 포함한다. 또다른 실시예에서, 제1 디바이스 형성 공정(42)은 제1 채널(89)의 가장자리들에서 포켓 주입 피처들(104)을 형성하기 위한 제1 포켓 주입을 더 포함한다. 제1 포켓 주입은 제1 포켓 주입량을 이행한다.
- [0062] 마찬가지로, 제2 디바이스 형성 공정(44)은 제2 p웰 리소그래피 공정과 제2 p웰 이온 주입을 이용하여 기판(12)에서 제2 p웰(108)을 형성하는 단계(62)를 포함한다. 하나의 예시에서, 제2 p웰 리소그래피 공정은 제2 p웰 치수를 갖는 제2 p웰(108)을 정의한다. 또다른 예시에서, 제2 p웰 이온 주입은 제2 p웰 농도를 갖는 제2 p웰을 형성하기 위해 제2 p웰 도핑량을 포함한다.
- [0063] 제2 디바이스 형성 공정(44)은 제2 채널 주입을 이용하여 제2 p웰(108)에서 제2 채널(112)을 형성하는 단계(64)를 더 포함하며, 이로써 제2 채널 도핑 프로파일과 제2 채널 도핑 농도를 갖는 제2 채널(112)이 형성된다. 하나의 실시예에서, 제2 채널 주입은 제2 채널(112)의 문턱 전압을 조정하도록 설계된 제2 채널 도핑량을 포함한다.

다. 또다른 실시예에서, 제2 채널 주입은 제2 채널 도핑 프로파일을 형성하도록 설계된 다양한 주입들을 포함한다.

- [0064] 또다른 실시예에서, 디바이스 형성 공정(44)은 제2 채널(112)상에서 제2 게이트 스택(114)을 형성하는 단계(66)를 더 포함한다. 일 실시예에서, 제2 게이트 스택(114)의 형성은 게이트 유전체용 하이k 유전체와 게이트 전극용 금속을 갖는 게이트 스택을 이용할 수 있다. 또다른 실시예에서, 제2 게이트 스택(114)의 형성은 게이트 라스트(gate-last) 공정, 또는 하이k 라스트(high k-last) 공정, 게이트 퍼스트(gate-first) 공정, 또는 이들의 조합을 포함할 수 있다.
- [0065] 제2 디바이스 형성 공정(44)은 또한 각각의 제2 소스 및 드레인 도핑량을 이용하여, NLDD 피처들(122)과 S/D 피처들(124)과 같은, 다양한 소스 및 드레인 피처들을 형성하는 단계(68)를 포함한다. 또다른 실시예에서, 제2 디바이스 형성 공정(44)은 제2 채널(112)의 가장자리들에서 포켓 주입 피처들(126)을 형성하기 위한 제2 포켓 주입을 더 포함한다. 제2 포켓 주입은 제2 포켓 주입량을 이행한다.
- [0066] 본 실시예에서, 제1 디바이스 형성 공정(42)과 제2 디바이스 형성 공정(44)은 조성과 형성의 관점에서 적어도 하나의 단계에서 서로 상이하다. 예를 들어, 금속 게이트 전극 물질들이 상이한 것과 같이, 각각의 물질들은 상이할 수 있다. 또다른 예시에서, 각각의 주입량이 상이한 것과 같이, 형성이 상이할 수 있다. 제1 및 제2 디바이스 형성 공정들의 다른 단계들이 동일한 경우, 제1 nFinFET(82)과 제2 nFinFET(84)을 위한 이러한 각각의 단계들은 동시에 이행된다. 예를 들어, 제1 nFinFET(82)와 제2 nFinFET(84) 모두를 위한 ILD 층(106)은 동시에 형성될 수 있다.
- [0067] 또다른 실시예에서, 제1 SRAM 셀(14)은, 도 2의 집적 회로(10)에서의 이러한 pFinFET들과 같은, 제1 pFinFET을 포함하며, 제2 SRAM 셀(16)은 제2 pFinFET을 포함한다. 이에 따라, 제1 디바이스 형성 공정(42)은 제1 pFinFET을 형성하기 위한 다양한 단계들을 포함하며, 제2 디바이스 형성 공정(44)은 제2 pFinFET을 형성하기 위한 다양한 단계들을 포함한다. 구체적으로, 제1 디바이스 형성 공정(42)은 각각의 문턱 전압을 조정하기 위해 제1 pFinFET에 인가되는 제1 p<sub>Vt</sub> 공정을 포함하며, 제2 디바이스 형성 공정(44)은 각각의 문턱 전압을 조정하기 위해 제2 pFinFET에 인가되는 제2 p<sub>Vt</sub> 공정을 포함한다. 제1 p<sub>Vt</sub> 공정과 제2 p<sub>Vt</sub> 공정은 서로 상이하다.
- [0068] 도 6은 일 실시예에서의 본 발명개시의 양태들에 따라 구축된 SRAM 구조물(130)의 개략도이다. SRAM 구조물(130)은 기판(12)상에서 형성된 다양한 SRAM 셀들을 포함한다. 본 실시예에서, SRAM 구조물(130)은 기판(12)상에서 형성된 제1 SRAM 셀(132)과 제2 SRAM 셀(134)을 포함한다. SRAM 구조물(130)에서의 SRAM 셀들은 단일 포트 SRAM들이다. 도 6에서의 라벨들은 도 2와 도 3에서의 라벨들과 유사하다. 상보적 비트 라인은 비트 라인 바 또는 "BLB"로서 라벨표기된다.
- [0069] SRAM 구조물(130)은 도 1에서의 집적 회로(10)의 일 실시예이다. 실시예의 증진을 위해, 제1 SRAM 셀(132)은 집적 회로(10)의 제1 SRAM 셀(14)이며 제2 SRAM 셀(134)은 집적 회로(10)의 제2 SRAM 셀(16)이다.
- [0070] 제1 SRAM 셀(132)은 pFinFET들(136)의 다양한 풀 업 디바이스들을 포함한다. 제1 SRAM 셀(132)은 nFinFET들(138)의 다양한 패스 게이트 디바이스들 및 풀 다운 디바이스들을 더 포함한다. 마찬가지로, 제2 SRAM 셀(134)은 pFinFET들(142)의 다양한 풀 업 디바이스들을 포함한다. 제2 SRAM 셀(134)은 nFinFET들(144)의 다양한 패스 게이트 디바이스들 및 풀 다운 디바이스들을 더 포함한다.
- [0071] 하나의 예시에서, SRAM 구조물(130)은 도 2의 집적 회로(10)이다. 또다른 예시에서, 제1 SRAM 셀(132)의 패스 게이트 디바이스들 및 풀 다운 디바이스들 각각은 단일 nFinFET을 포함한다. 이 예시의 증진을 위해, 제2 SRAM 셀(134)의 패스 게이트 디바이스들 및 풀 다운 디바이스들 각각은 적어도 두 개의 nFinFET들을 포함한다.
- [0072] pFinFET들(136)은 각각의 pFinFET들(136)의 문턱 전압을 조정하도록 설계된 제1 p<sub>Vt</sub> 공정에 의해 형성되고, nFinFET들(138)은 각각의 nFinFET들(138)의 문턱 전압을 조정하도록 설계된 제1 n<sub>Vt</sub> 공정에 의해 형성된다. pFinFET들(142)은 각각의 pFinFET들(142)의 문턱 전압을 조정하도록 설계된 제2 p<sub>Vt</sub> 공정에 의해 형성되고, nFinFET들(144)은 각각의 nFinFET들(144)의 문턱 전압을 조정하도록 설계된 제2 n<sub>Vt</sub> 공정에 의해 형성된다.
- [0073] 본 실시예에서, 제1 p<sub>Vt</sub> 공정과 제1 n<sub>Vt</sub> 공정 중의 적어도 하나는, 도핑량의 측면에서, 제2 p<sub>Vt</sub> 공정과 제2 n<sub>Vt</sub> 공정 중의 각각의 대응하는 공정과는 상이하다.
- [0074] 도 7은 일 실시예에서의 본 발명개시의 양태들에 따라 구축된 SRAM 셀(150)의 개략도이다. SRAM 셀(150)은 도 1에서의 집적 회로(10)의 제2 SRAM 셀(16)의 일 실시예이다. 실시예의 증진을 위해, 도 6에서의 SRAM 셀(132)은 집적 회로(10)의 제1 SRAM 셀(14)이다. 도 7에 더하여, 다음의 설명은 또한 도 6 및 대응 설명을 참조한다.

- [0075] SRAM 셀(150)은 2 포트 SRAM 셀이다. SRAM 셀(150)은 기록 포트(152)와 판독 포트(154)를 포함한다. 구체적으로, SRAM 셀(150)은 pFinFET들(156)의 다양한 풀 업 디바이스들을 포함한다. SRAM 셀(150)은 nFinFET들(158)의 다양한 패스 게이트 디바이스들 및 풀 다운 디바이스들을 더 포함한다. nFinFET들(158)의 패스 게이트 디바이스들은 기록 포트(152)를 형성하도록 구성된다. 더 나아가, SRAM 셀(150)은 판독 포트(154)를 형성하도록 구성된 nFinFET들(160)의 하나 이상의 풀 다운 디바이스들(R\_PD로 라벨표시됨)과 패스 게이트 디바이스들(R\_PG로 라벨표시됨)을 포함한다. 일 실시예에서, nFinFET들(160)은 또한 판독용 워드 라인("RWL"로서 라벨표시됨)에 연결된다.
- [0076] 도 6과 도 7을 참조하면, pFinFET들(156)은 각각의 pFinFET들(156)의 문턱 전압을 조정하도록 설계된 제2 p\_Vt 공정에 의해 형성된다. nFinFET들(158)은 각각의 nFinFET들(158)의 문턱 전압을 조정하도록 설계된 제2 n\_Vt 공정에 의해 형성된다. nFinFET들(160)은 각각의 nFinFET들(160)의 문턱 전압을 조정하도록 설계된 제3 n\_Vt 공정에 의해 형성된다.
- [0077] 하나의 실시예에서, 제1 p\_Vt 공정은 제2 p\_Vt 공정과는 상이하다. 또다른 실시예에서, 제1 n\_Vt 공정, 제2 n\_Vt 공정 및 제3 n\_Vt 공정은 제1 n\_Vt 공정, 제2 n\_Vt 공정 및 제3 n\_Vt 공정 중의 나머지 공정과는 상이하다.
- [0078] 도 8과 도 9는 하나 이상의 실시예들에서의 본 발명개시의 다양한 양태들에 따라 구축된 SRAM 셀(200)의 평면도들이다. SRAM 셀(200) 및 그 제조 방법을 도 8과 도 9를 참조하여 총괄하여 설명한다. 일 실시예에서, SRAM 셀(200)은 도 1의 SRAM 셀(14) 또는 도 2의 SRAM 셀(14)이다. SRAM 셀(200)은 반도체 기판 상에서 형성되며 다양한 FinFET들을 포함한다.
- [0079] SRAM 셀(200)은 반도체 기판의 단위 셀 영역(212)에서 형성된다. 단위 셀 영역(212)은 단위 셀 경계(214)에 의해 정의된다. 일 실시예에서, 단위 셀 영역(212)은 제1 방향으로 제1 치수(216)만큼 내뻗어 있고 제1 방향에 대해 수직한 제2 방향으로 제2 치수(218)만큼 내뻗어 있는 직사각형 형상으로 정의된다. 제1 치수(216)는 제2 치수(218)보다 길다. 따라서 제1 및 제2 치수들(216, 218)을 각각 기다란 피치와 짧은 피치라고 부른다. 뿐만 아니라, 서로 직각을 이루는 두 개의 방향들이 이에 따라 정의되고, 이것들을 제1 방향(216)과 제2 방향(218)이라고 부른다. SRAM 셀(200)은 셀의 중앙부에 배치된 N웰(영역)(220)을 포함한다. SRAM 셀(200)은 N웰(220)의 양측면들상에 배치된 P웰(영역)(222)을 더 포함한다. 일 실시예에서, N웰(220)과 P웰(222)은 단위 셀 경계를 넘어 다중 셀들로 확장된다.
- [0080] 다양한 편 활성 영역들이 기판에서 격리 피처들에 의해 정의되고, 격리 피처들에 의해 서로가 격리된다. 격리 피처들은 적절한 기술로 기판에서 형성된다. 예를 들어, 격리 피처들은 STI에 의해 이용된다. 일 실시예에서, SRAM 셀(200)은 P웰(222)에서 형성된 제1 활성 영역(226)과 제2 활성 영역(230)을 포함한다. SRAM 셀(200)은 N웰(220)에서 형성된 제3 활성 영역(232)과 제4 활성 영역(234)을 더 포함한다. 제1 내지 제4 활성 영역들은 제2 치수를 따라 배치되며 다중 셀들로 확장될 수 있다. 일 실시예에서, 제1 및 제2 활성 영역들은 제2 방향(218)으로 4개 이상의 셀들까지 확장된다. 본 실시예에서, P웰(222)에서의 각각의 활성 영역은 풀 다운 디바이스와 패스 게이트 디바이스를 포함한다.
- [0081] 일 실시예에서, 제1 활성 영역(226)은 서로 캐스케이딩(cascaded)되어 있는 제1 풀 다운 디바이스(PD-1)와 제1 패스 게이트 디바이스(PG-1)를 포함한다. PG-1의 소스는 PD-1의 드레인에 전기적으로 연결된다. 구체적으로, PD-1은 제1 활성 영역(226)의 제1 부분에 배치되는 반면에 PG-1은 제1 활성 영역(226)의 제2 부분에 배치된다. 마찬가지로, 제2 활성 영역(230)은 서로 캐스케이딩되어 있는 제2 풀 다운 디바이스(PD-2)와 제2 패스 게이트 디바이스(PG-2)를 포함한다. PG-2의 소스는 PD-2의 드레인에 전기적으로 연결된다. 구체적으로, PG-2는 제2 활성 영역(230)의 제1 부분에 배치되는 반면에 PD-2는 제2 활성 영역(230)의 제2 부분에 배치된다. 제3 활성 영역(232)은 제1 풀 업 디바이스(PU-1)를 포함하며 제4 활성 영역(234)은 제2 풀 업 디바이스(PU-2)를 포함한다.
- [0082] 다양한 nFinFET들 및 pFinFET들을 위한 SRAM 셀(200) 내에서 다양한 게이트 피처들이 형성된다. 일 실시예에서, SRAM 셀(200)은 셀 영역(212)에 배치되고 제1 활성 영역(226)과 제3 활성 영역(232) 위에서 제1 방향으로 연장하여 PD-1 및 PU-1을 위한 게이트들을 형성하는 제1 게이트 피처(236)를 포함한다. SRAM 셀(200)은 셀 영역(212)에 배치되고 제2 활성 영역(230)과 제4 활성 영역(234) 위에서 제1 방향으로 연장하여 PD-2 및 PU-2를 위한 게이트들을 형성하는 제2 게이트 피처(238)를 포함한다. SRAM 셀(200)은 패스 게이트 디바이스들을 위한 다른 게이트 피처들을 포함한다. 일 실시예에서, SRAM 셀(200)은 제1 활성 영역(226) 위에 배치되어 PG-1을 위한 게이트를 형성하는 게이트 피처(240)를 포함한다. SRAM 셀(200)은 또한 제2 활성 영역(230) 위에

배치되어 PG-2를 위한 게이트를 형성하는 게이트 피쳐(244)를 포함한다.

- [0083] 도 8에서 도시된 구성의 일 실시예에서, P웰(222)에 있는 제1 및 제2 활성 영역들 및 관련된 풀 다운 디바이스들과 패스 게이트 디바이스들은 N웰(220)의 양측면들상에서 대칭적으로 배치된다. 풀 다운 디바이스들과 패스 게이트 디바이스들은 배경기술에서 논의된 전류 크라우딩 문제와 같은, 문제들을 해결하기 위해 상이한 문턱 전압들을 갖도록 조정된다. 풀 다운 디바이스들(PD-1 및 PD-2)은 제1 문턱 전압(Vt1)을 갖도록 설계된다. 패스 게이트 디바이스들(PG-1 및 PG-2)은 이 예시에서 제1 문턱 전압(Vt1)도 갖도록 설계된다.
- [0084] 도 9를 더 참조하면, 도 9는 상호연결 라우팅들을 포함한 SRAM 셀(200)의 평면도를 도시한다. 기능적 SRAM 셀을 형성하도록 nFinFET들과 pFinFET들을 결합시키기 위해 다양한 상호연결 구조물들이 이용될 수 있다. 일 실시예에서, PD-1의 드레인은 공통 도핑 영역, 즉 제1 활성 영역(226)에서 정의되고 PD-1 및 PG-1 사이에 위치한 영역을 공유함으로써 PG-1의 소스에 전기적으로 연결된다.
- [0085] 또다른 실시예에서, PD-1의 드레인은 제1 활성 영역(226) 내의 공통 도핑 영역상에서 형성된 실리사이드 피쳐(미도시됨)에 의해 PG-1의 소스에 전기적으로 연결된다. 실리사이드 피쳐는 자가정렬 실리사이드(살리사이드)와 같은 본 업계에서 알려진 공정에 의해 형성되고, 동일한 처리 프로시저에서 다른 콘택트 실리사이드와 함께 형성될 수 있다. 또다른 실시예에서, 콘택트가 PD-1의 드레인과 PG-1의 소스 모두에 랜딩하도록 설계된다. 또다른 실시예에서, PD-1의 드레인과 PG-1의 소스는 공통 영역을 공유한다. 마찬가지로, PD-2의 드레인과 PG-2의 소스는 PD-1의 드레인과 PG-1의 소스 사이의 연결과 마찬가지로 방식으로, 실리사이드 피쳐와 같은 것에 의해, 서로 전기적으로 연결된다.
- [0086] PD-1 및 PU-1의 드레인들(드레인 노드)은 제1 상호연결 피쳐를 이용하여 전기적으로 연결되어 제1 데이터 노드(노드 1 또는 데이터 노드)를 정의한다. 마찬가지로, PD-2 및 PU-2의 드레인들(드레인 노드)은 제2 상호연결 피쳐를 이용하여 전기적으로 연결되어 제2 데이터 노드(노드 2 또는 데이터 노드 바)를 정의한다. 제1 상호연결 피쳐와 제2 상호연결 피쳐는 동일한 처리 프로시저에 의해 동일한 상호연결층(제1 상호연결층이라고 부른다)에서 형성된다. 제1 및 제2 상호연결 피쳐들은 실리사이드 피쳐일 수 있다.
- [0087] 다양한 콘택트들(248)("X"표시된 직사각형으로서 도시됨)은 게이트들, 드레인 노드들, 및 다양한 랜딩 패드들상에서 형성된다. 다양한 콘택트들은 평면도에서 바라봤을 때 정사각형 또는 직사각형으로서 설계된다. 예를 들어, 콘택트가 PU-2의 드레인 및 제1 게이트 피쳐(236) 모두의 위에서 랜딩하도록 콘택트는 제2 방향(218)으로 배향된 직사각형으로서 설계된다. 마찬가지로, 콘택트가 PU-1의 드레인 및 제2 게이트 피쳐(238) 모두의 위에서 랜딩하도록 또다른 콘택트는 제2 방향(218)으로 배향된 직사각형으로서 설계된다.
- [0088] 도 10과 도 11은 SRAM 셀(200)상에서 형성되고 이 SRAM 셀(200)과 결합된 다양한 상호연결 피쳐들을 도시한다. 일 실시예에서, SRAM 셀(200)과 연관된 다양한 상호연결 피쳐들은 제2 방향(218)으로 배향되고 도 10에서 도시된 바와 같이 동일한 금속층에서 형성된 다양한 금속 라인들을 포함한다. 도 10으로 라벨표시된 하나의 예시에서, 하나의 금속 라인은 풀 업 디바이스들의 소스에 결합된 Vdd용 전력 라인이고, 하나의 금속 라인은 PU-2의 드레인에 결합된 비트 라인이며, 또다른 금속 라인은 PU-1의 드레인에 결합된 비트 라인이다. 하나의 금속 라인은 제1 Vss용 전력 라인(또는 상보적 전력 라인)에 연결되고, 또다른 금속 라인은 제2 Vss용 전력 라인에 연결된다. 이 금속층에서의 금속 라인들은 대응하는 콘택트들(248)을 통해 대응하는 랜딩 피쳐들에 결합된다.
- [0089] 도 11에서 도시된 또다른 실시예에서, SRAM 셀(200)은 풀 업 디바이스들에 연결된 전압 제어 회로를 포함한다. 구체적으로, 도 11에서 도시된 바와 같이, 전압 제어 회로는 주변 전력 라인에 의해 공급받고 금속 라인들 중 하나의 금속 라인을 통해 풀 업 디바이스들에 연결된다.
- [0090] 도 12와 도 13은 하나 이상의 실시예들에서의 본 발명개시의 다양한 양태들에 따라 구축된 SRAM 셀(300)의 평면도들이다. SRAM 셀(300) 및 그 제조 방법을 도 12와 도 13을 참조하여 총괄하여 설명한다. 일 실시예에서, SRAM 셀(300)은 도 1의 제2 SRAM 셀(16) 또는 도 3의 SRAM 셀(16)이다. SRAM 셀(300)은 반도체 기판 상에서 형성되며 다양한 FinFET들을 포함한다.
- [0091] SRAM 셀(300)은 반도체 기판의 단위 셀 영역(312)에서 형성된다. 단위 셀 영역(312)은 단위 셀 경계(314)에 의해 정의된다. 일 실시예에서, 단위 셀 영역(312)은 제1 방향으로 제1 치수(316)만큼 내뻗어 있고 제1 방향에 대해 수직한 제2 방향으로 제2 치수(318)만큼 내뻗어 있는 직사각형 형상으로 정의된다. 제1 치수(316)는 제2 치수(318)보다 길다. 따라서 제1 및 제2 치수들(316, 318)을 각각 기다란 피쳐와 짧은 피쳐라고 부른다. 뿐만 아니라, 서로 직각을 이루는 두 개의 방향들이 이에 따라 정의되고, 이것들을 제1 방향(316)과 제2 방향(318)이라고 부른다. SRAM 셀(300)은 셀의 중앙부에 배치된 N웰(영역)(320)을 포함한다. SRAM 셀(300)은 N웰

(320)의 양측면들상에 배치된 P웰(영역)(322)을 더 포함한다. 일 실시예에서, N웰(320)과 P웰(322)은 단위 셀 경계를 넘어 다중 셀들로 확장된다.

[0092] 다양한 핀 활성 영역들이 기판에서 격리 피처들에 의해 정의되고, 격리 피처들에 의해 서로가 격리된다. 격리 피처들은 STI와 같은, 적절한 기술로 기판에서 형성된다. 일 실시예에서, SRAM 셀(300)은 P웰(322)에서 형성된 제1 활성 영역(326)과 제2 활성 영역(330)을 포함한다. 구체적으로, nFinFET들을 위한 제1 활성 영역(326)은 두 개 이상의 핀형 활성 피처들을 포함한다. 마찬가지로, nFinFET들을 위한 제2 활성 영역(330)은 두 개 이상의 핀형 활성 피처들을 포함한다. SRAM 셀(300)은 N웰(220)에서 형성된 제3 활성 영역(332)과 제4 활성 영역(334)을 더 포함한다. 제3 활성 영역(332)과 제4 활성 영역(334) 각각은 단하나의 핀형 활성 피처를 포함한다. 제1 내지 제4 활성 영역들은 제2 치수를 따라 배치되며 다중 셀들로 확장될 수 있다. 일 실시예에서, 제1 및 제2 활성 영역들은 제2 방향(318)으로 4개 이상의 셀들까지 확장된다. 본 실시예에서, P웰(322)에서의 각각의 활성 영역은 풀 다운 디바이스와 패스 게이트 디바이스를 포함한다.

[0093] 일 실시예에서, 제1 활성 영역(326)은 서로 캐스케이딩(cascaded)되어 있는 제1 풀 다운 디바이스(PD-1)와 제1 패스 게이트 디바이스(PG-1)를 포함한다. PG-1의 소스는 PD-1의 드레인에 전기적으로 연결된다. 구체적으로, PD-1은 제1 활성 영역(326)의 제1 부분에 배치되는 반면에 PG-1은 제1 활성 영역(326)의 제2 부분에 배치된다. 마찬가지로, 제2 활성 영역(330)은 서로 캐스케이딩되어 있는 제2 풀 다운 디바이스(PD-2)와 제2 패스 게이트 디바이스(PG-2)를 포함한다. PG-2의 소스는 PD-2의 드레인에 전기적으로 연결된다. 구체적으로, PG-2는 제2 활성 영역(330)의 제1 부분에 배치되는 반면에 PD-2는 제2 활성 영역(330)의 제2 부분에 배치된다. 제3 활성 영역(332)은 제1 풀 업 디바이스(PU-1)를 포함하며 제4 활성 영역(334)은 제2 풀 업 디바이스(PU-2)를 포함한다.

[0094] 본 실시예에서, 패스 게이트 디바이스들 및 풀 다운 디바이스들 각각은 두 개 이상의 nFinFET들을 포함하며, 풀 업 디바이스들 각각은 단일의 pFinFET만을 포함한다.

[0095] 다양한 nFinFET들 및 pFinFET들을 위한 SRAM 셀(300) 내에서 다양한 게이트 피처들이 형성된다. 일 실시예에서, SRAM 셀(300)은 셀 영역(312)에 배치되고 제1 활성 영역(326)과 제3 활성 영역(332) 위에서 제1 방향으로 연장하여 PD-1 및 PU-1을 위한 게이트들을 형성하는 제1 게이트 피처(336)를 포함한다. SRAM 셀(300)은 셀 영역(312)에 배치되고 제2 활성 영역(330)과 제4 활성 영역(334) 위에서 제1 방향으로 연장하여 PD-2 및 PU-2를 위한 게이트들을 형성하는 제2 게이트 피처(338)를 포함한다. SRAM 셀(300)은 패스 게이트 디바이스들을 위한 다른 게이트 피처들을 포함한다. 일 실시예에서, SRAM 셀(300)은 제1 활성 영역(326) 위에 배치되어 PG-1을 위한 게이트를 형성하는 게이트 피처(340)를 포함한다. SRAM 셀(300)은 또한 제2 활성 영역(330) 위에 배치되어 PG-2를 위한 게이트를 형성하는 게이트 피처(344)를 포함한다.

[0096] 도 12에서 도시된 구성의 일 실시예에서, P웰(322)에 있는 제1 및 제2 활성 영역들 및 관련된 풀 다운 디바이스들과 패스 게이트 디바이스들은 N웰(320)의 양측면들상에서 대칭적으로 배치된다. 풀 다운 디바이스들과 패스 게이트 디바이스들은 배경기술에서 논의된 전류 크라우딩 문제와 같은, 문제들을 해결하기 위해 상이한 문턱 전압들을 갖도록 조정된다. 풀 다운 디바이스들(PD-1 및 PD-2)은 제2 문턱 전압(Vt2)을 갖도록 설계된다. 패스 게이트 디바이스들(PG-1 및 PG-2)은 이 예시에서 제2 문턱 전압(Vt2)도 갖도록 설계된다. 본 실시예에서, (SRAM 셀(200)을 위한) 문턱 전압(Vt1)과 (SRAM 셀(300)을 위한) 문턱 전압(Vt2)은 상이한 문턱 전압 관련 주입들을 풀 다운 디바이스들과 패스 게이트 디바이스들에 각각 인가함으로써 조정된다.

[0097] 도 13을 더 참조하면, 도 13은 상호연결 라우팅들을 포함한 SRAM 셀(300)의 평면도를 도시한다. 기능적 SRAM 셀을 형성하도록 nFinFET들과 pFinFET들을 결합시키기 위해 다양한 상호연결 구조물들이 이용될 수 있다. 일 실시예에서, PD-1의 드레인은 공통 도핑 영역, 즉 제1 활성 영역(326)에서 정의되고 PD-1 및 PG-1 사이에 위치한 영역을 공유함으로써 PG-1의 소스에 전기적으로 연결된다.

[0098] 또다른 실시예에서, PD-1의 드레인은 제1 활성 영역(326) 내의 공통 도핑 영역상에서 형성된 실리사이드 피처(미도시됨)에 의해 PG-1의 소스에 전기적으로 연결된다. 실리사이드 피처는 자가정렬 실리사이드(살리사이드)와 같은 본 업계에서 알려진 공정에 의해 형성되고, 동일한 처리 프로시저에서 다른 콘택트 실리사이드와 함께 형성될 수 있다. 또다른 실시예에서, 콘택트가 PD-1의 드레인과 PG-1의 소스 모두에 랜딩하도록 설계된다. 또다른 실시예에서, PD-1의 드레인과 PG-1의 소스는 공통 영역을 공유한다. 마찬가지로, PD-2의 드레인과 PG-2의 소스는 PD-1의 드레인과 PG-1의 소스 사이의 연결과 마찬가지로 방식으로, 실리사이드 피처와 같은 것에 의해, 서로 전기적으로 연결된다.

- [0099] PD-1 및 PU-1의 드레인들(드레인 노드)은 제1 상호연결 피처를 이용하여 전기적으로 연결되어 제1 데이터 노드(노드 1 또는 데이터 노드)를 정의한다. 마찬가지로, PD-2 및 PU-2의 드레인들(드레인 노드)은 제2 상호연결 피처를 이용하여 전기적으로 연결되어 제2 데이터 노드(노드 2 또는 데이터 노드 바)를 정의한다. 제1 상호연결 피처와 제2 상호연결 피처는 동일한 처리 프로시저에 의해 동일한 상호연결층(제1 상호연결층이라고 부른다)에서 형성된다. 제1 및 제2 상호연결 피처들은 실리사이드 피처일 수 있다.
- [0100] 다양한 콘택트들(348)("X"표시된 직사각형으로서 도시됨)은 게이트들, 드레인 노드들, 및 다양한 랜딩 패드들상에서 형성된다. 다양한 콘택트들은 평면도에서 바라봤을 때 정사각형 또는 직사각형으로서 설계된다. 예를 들어, 콘택트가 PU-2의 드레인 및 제1 게이트 피처(336) 모두의 위에서 랜딩하도록 콘택트는 제2 방향(318)으로 배향된 직사각형으로서 설계된다. 마찬가지로, 콘택트가 PU-1의 드레인 및 제2 게이트 피처(338) 모두의 위에서 랜딩하도록 또다른 콘택트는 제2 방향(318)으로 배향된 직사각형으로서 설계된다.
- [0101] 도 14와 도 15는 SRAM 셀(300)상에서 형성되고 이 SRAM 셀(300)과 결합된 다양한 상호연결 피처들을 도시한다. SRAM 셀(200)의 일 실시예와는 대조적으로, SRAM 셀(300)은 전압 제어 회로에 연결되지 않는다.
- [0102] 도 14에서 도시된 일 실시예에서, SRAM 셀(300)과 연관된 다양한 상호연결 피처들은 제2 방향(318)으로 배향되고 동일한 금속층에서 형성된 다양한 금속 라인들을 포함한다. 도 14로 라벨표시된 하나의 예시에서, 하나의 금속 라인은 풀 업 디바이스들의 소스에 결합된 Vdd용 전력 라인이고, 하나의 금속 라인은 PU-2의 드레인에 결합된 비트 라인이며, 또다른 금속 라인은 PU-1의 드레인에 결합된 비트 라인이다. 이 금속층에서의 금속 라인들은 대응하는 콘택트들(348)을 통해 대응하는 랜딩 피처들에 결합될 수 있다.
- [0103] SRAM 셀(300)은 제1 방향(316)으로 배향되고 도 14에서 도시된 바와 같이 동일한 금속층에서 형성된 다양한 금속 라인들과 같은, 다양한 상호연결 피처들을 더 포함한다. 하나의 금속 라인은 제1 Vss용 전력 라인(또는 상보적 전력 라인)에 연결되고, 또다른 금속 라인은 제2 Vss용 전력 라인에 연결된다. 이 금속층에서의 금속 라인들은 대응하는 콘택트들(348) 또는 아래에 있는 금속층을 통해 대응하는 랜딩 피처들에 결합될 수 있다.
- [0104] 도 15에서 도시된 또다른 일 실시예에서, SRAM 셀(300)은 제2 방향(318)으로 배향되고 동일한 금속층에서 형성된 다양한 금속 라인들과 같은, 다양한 상호연결 피처들을 포함한다. 도 15로 라벨표시된 하나의 예시에서, 하나의 금속 라인은 풀 업 디바이스들의 소스에 결합된 Vdd용 전력 라인이고, 하나의 금속 라인은 PU-2의 드레인에 결합된 비트 라인이며, 또다른 금속 라인은 PU-1의 드레인에 결합된 비트 라인이다. 하나의 금속 라인은 제1 Vss용 전력 라인(또는 상보적 전력 라인)에 연결되고, 또다른 금속 라인은 제2 Vss용 전력 라인에 연결된다. 이 금속층에서의 금속 라인들은 대응하는 콘택트들(348)을 통해 대응하는 랜딩 피처들에 결합된다.
- [0105] 도 16은 또다른 실시예에 따라 SRAM 셀(200)과 SRAM 셀(300)상에서 형성된 상호연결 구조물(370)을 도시한다. 상호연결 구조물(370)은 SRAM 셀(200)상에서 형성된 상호연결 피처들(372)과 SRAM 셀(300)상에서 형성된 상호연결 피처(374)를 포함한다. 상호연결 구조물(370)은 제1 방향(376) 및 제1 방향(376)에 대해 수직한 제2 방향(378)으로 내뻗어 있다.
- [0106] 상호연결 피처들(372)은 SRAM 셀(200)과 결합되며, 제2 방향(378)으로 배향되고 동일한 금속층에서 형성된 다양한 금속 라인들을 포함한다. 하나의 예시에서, 하나의 금속 라인은 풀 업 디바이스들의 소스에 결합된 Vdd용 전력 라인이고, 하나의 금속 라인은 PU-2의 드레인에 결합된 비트 라인이며, 또다른 금속 라인은 PU-1의 드레인에 결합된 비트 라인이다. 하나의 금속 라인은 제1 Vss용 전력 라인(또는 상보적 전력 라인)에 연결되고, 또다른 금속 라인은 제2 Vss용 전력 라인에 연결된다. 이 금속층에서의 금속 라인들은 대응하는 콘택트들(248)을 통해 대응하는 랜딩 피처들에 결합된다.
- [0107] 뿐만 아니라, SRAM 셀(200)은 풀 업 디바이스들에 연결된 전압 제어 회로를 포함한다. 구체적으로, 전압 제어 회로는 도시된 바와 같이 고전압 전력 라인과 저전압 전력 라인에 연결된다. 전압 제어 회로는 관독 동작과 기록 동작 동안에 각각 고전압과 저전압 사이로 스위칭하도록 동작가능하다. 전압 제어 회로는 도 16에서 도시된 바와 같이, 금속 라인들 중 하나를 통해 풀 업 디바이스들에 추가적으로 연결된다.
- [0108] SRAM 셀(300)을 위한 상호연결 피처들(374)은 제2 방향(378)으로 배향되고 동일한 금속층에서 형성된 다양한 금속 라인들을 포함한다. 하나의 예시에서, 하나의 금속 라인은 풀 업 디바이스들의 소스에 결합된 Vdd용 전력 라인이고, 하나의 금속 라인은 PU-2의 드레인에 결합된 비트 라인이며, 또다른 금속 라인은 PU-1의 드레인에 결합된 비트 라인이다. 하나의 금속 라인은 제1 Vss용 전력 라인(또는 상보적 전력 라인)에 연결되고, 또다른 금속 라인은 제2 Vss용 전력 라인에 연결된다. 이 금속층에서의 금속 라인들은 대응하는 콘택트들(348)을 통해 대응하는 랜딩 피처들에 결합된다. 위 설명에서는 SRAM 셀(200)과 제2 SRAM 셀(300)의 다양한 디바이스들과 관련된

다양한 피쳐들을 논의하였다. 각각의 셀은 제1 풀 업 디바이스와 제2 풀 업 디바이스를 각각 포함한다. "제1" 및 "제2" 용어들이 이 디바이스들 각각을 위해 이용되며 문맥과 관련하여 명료해져야 한다. 제1 풀 다운 디바이스와 제2 풀 다운 디바이스는 유사한 방식으로 이용된다. 제1 패스 게이트 디바이스와 제2 패스 게이트 디바이스는 유사한 방식으로 이용된다.

[0109] 도 17은 또다른 실시예에 따른 반도체 구조물(380)의 단면도이다. 반도체 구조물(380)은 도 1에서의 집적 회로(10)의 일부분이다. 반도체 구조물(380)은 두 개의 예시적인 핀형 트랜지스터들의 일부분을 도시한다. 두 개의 핀형 트랜지스터들은 제1 SRAM 셀(14), 제2 SRAM 셀(16), 또는 이 모두의 일부분일 수 있다.

[0110] 반도체 구조물(380)은 반도체 기판(382)을 포함한다. 반도체 기판(382)은 실리콘을 포함한다. 대안적으로, 기판은 게르마늄, 실리콘 게르마늄, 또는 다른 적절한 반도체 물질들을 포함한다. 반도체 기판(382)은 격리를 위해 반도체 기판(382)상에서 형성된 유전체층(398)을 포함한다. 하나의 예시에서, 유전체층(398)은 실리콘 산화물을 포함한다. 반도체 구조물(380)은 유전체층(398)상에 있는, 실리콘과 같은, 또다른 반도체층(399)(이것을 반도체 온 절연체(SOI)라고 부른다)을 포함한다. SOI 구조물은 반도체 물질 내부에 유전체층을 포함시키기 위해, 주입 산소에 의한 격리(SIMOX) 또는 웨이퍼 접합과 같은, 적절한 기술에 의해 형성될 수 있다.

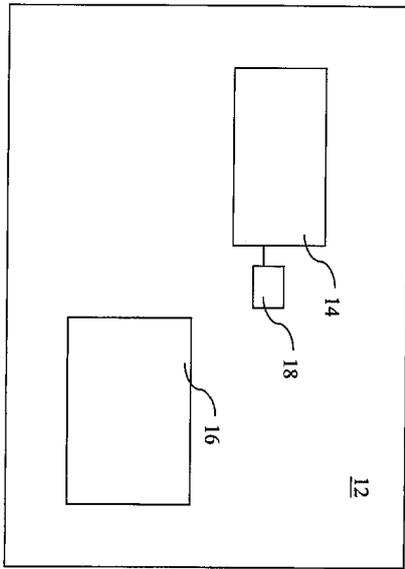
[0111] 반도체층(399)이 패터닝되어 핀 활성 영역들(386, 388)이 형성된다. 핀 활성 영역들(386, 388) 및 STI 피쳐들은 반도체층상에서 패터닝된 마스크층을 형성하는 것과 패터닝된 마스크층의 개구들을 통해 반도체층(399)을 에칭하는 것을 포함한 처리 시퀀스로 형성될 수 있다. 패터닝된 마스크층은 패터닝된 실리콘 질화물층과 같은, 패터닝된 하드마스크층 또는 패터닝된 포토레지스트층일 수 있다.

[0112] 다양한 게이트들이 또한 핀 활성 영역들상에서 형성된다. 게이트 피쳐는 (실리콘 산화물과 같은) 게이트 유전체층(390) 및 게이트 유전체층(390)상에서 배치된 (도핑된 폴리실리콘과 같은) 게이트 전극(392)을 포함한다. 일 실시예에서, 게이트 유전체층은 하이k 유전체 물질층을 포함한다. 게이트 전극은 알루미늄, 구리, 텅스텐, 또는 다른 적절한 도전물질과 같은, 금속을 포함한다. 설명을 위한 본 실시예에서, 반도체 구조물(380)은 하나 이상의 FinFET들을 위한 제1 영역(394)과 하나 이상의 FinFET들을 위한 제2 영역(396)을 포함한다. 하나의 예시에서, 활성 영역(386)은 하나 이상의 pFinFET들을 위한 n웰 내의 활성 영역이며, 활성 영역(388)은 하나 이상의 nFinFET들을 위한 p웰 내의 활성 영역이다.

[0113] 앞에서는 여러 개의 실시예들을 요약해왔다. 본 발명분야의 당업자는 여기서 소개한 실시예들의 동일한 목적들을 수행하거나 및/또는 동일한 장점들을 달성하기 위한 다른 공정들 및 구조물들을 설계하거나 또는 수정하기 위한 기초로서 본 발명개시를 자신들이 손쉽게 이용할 수 있다는 것을 알아야 한다. 본 발명분야의 당업자는 또한 이와 같은 등가적 구성들은 본 발명개시의 사상과 범위를 이탈하지 않는다는 것과, 본 발명개시의 사상과 범위를 이탈하지 않고서 당업자가 다양한 변경들, 대체들, 및 개조들을 본 발명에서 행할 수 있다는 것을 자각해야 한다.

도면

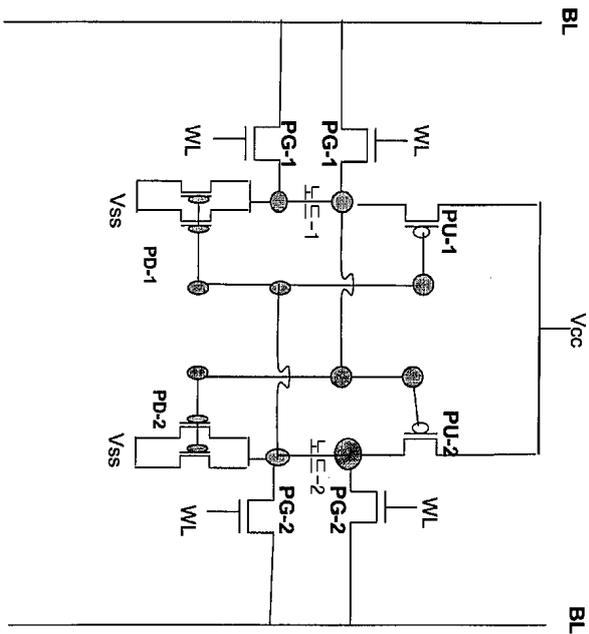
도면1



10

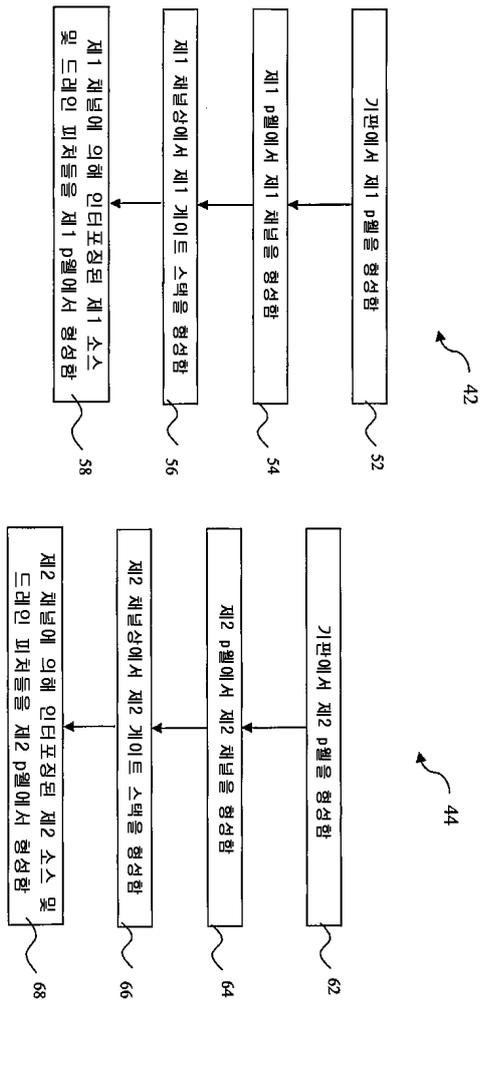


도면3

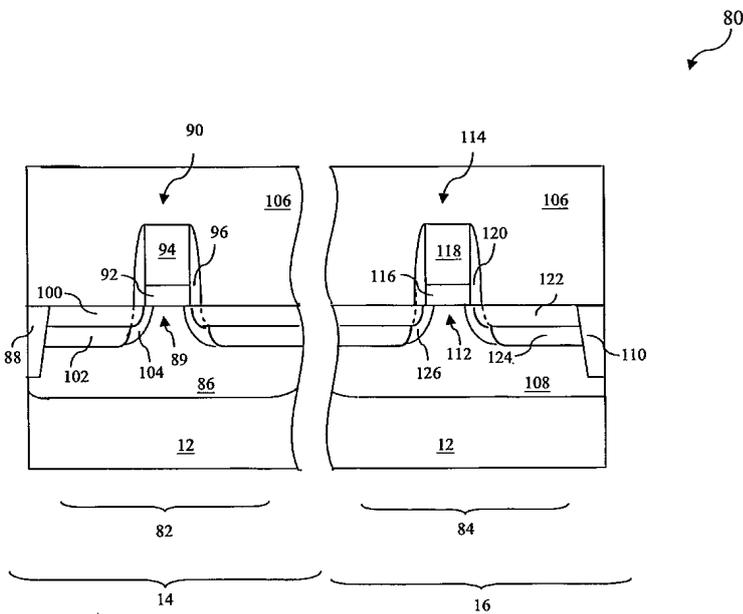


16 ↶

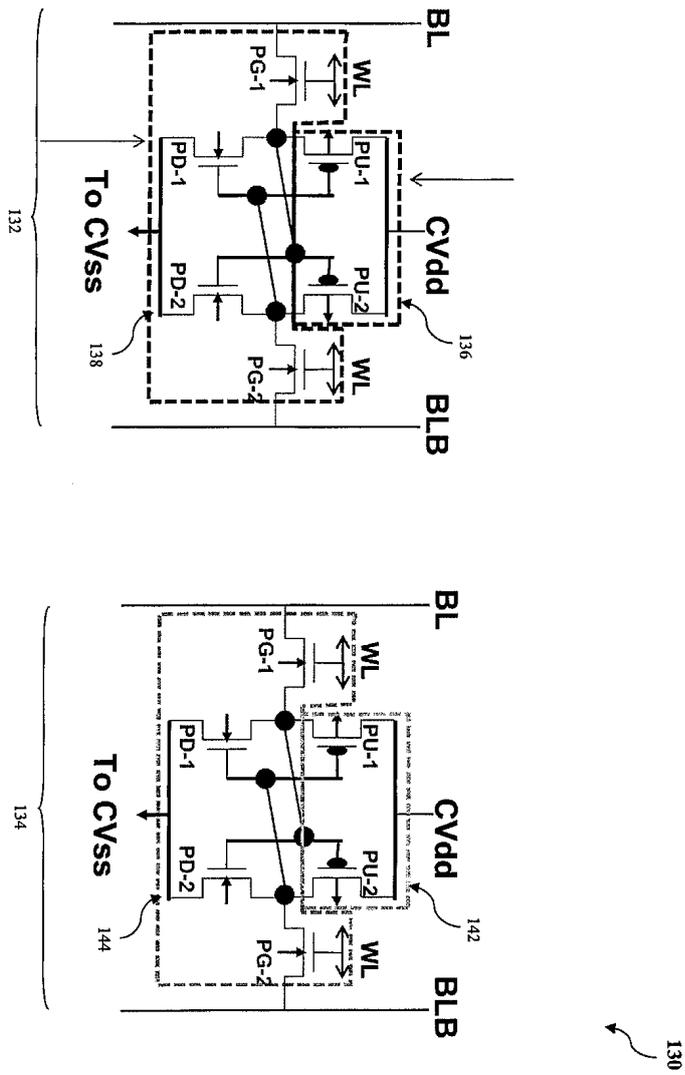
도면4



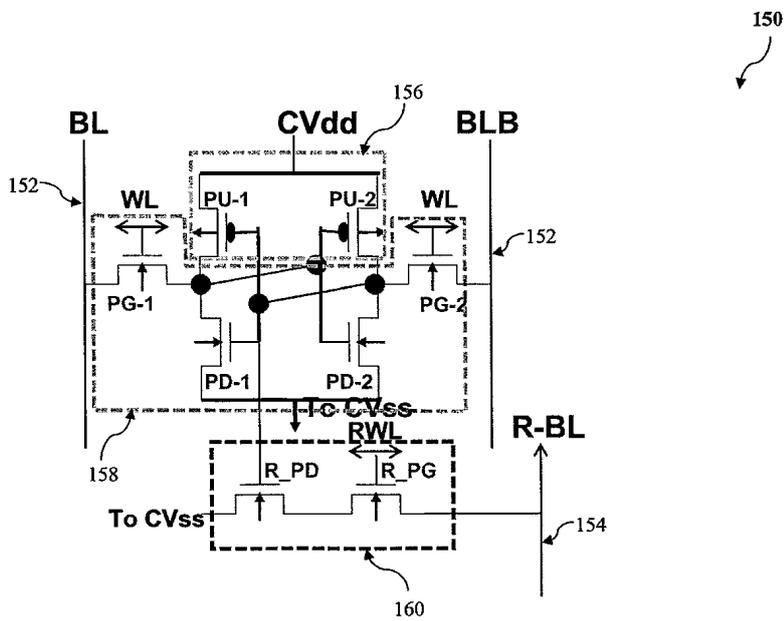
도면5



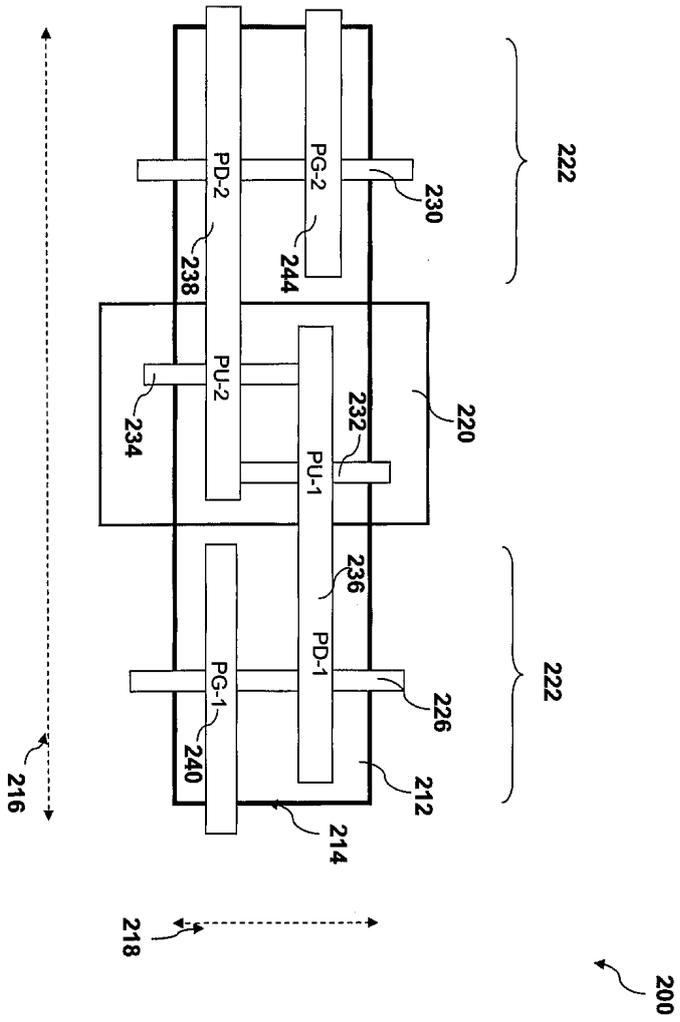
도면6



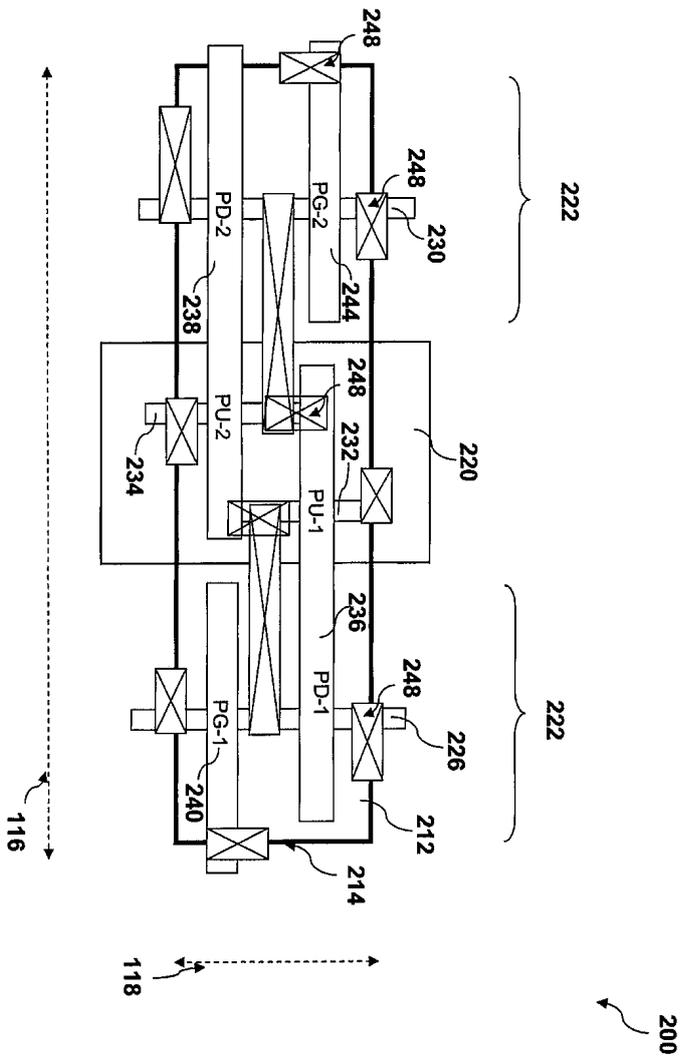
도면7



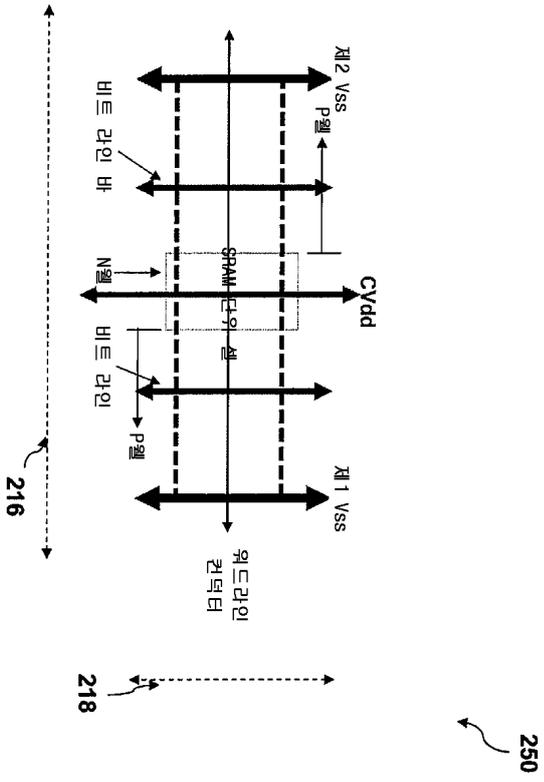
도면8



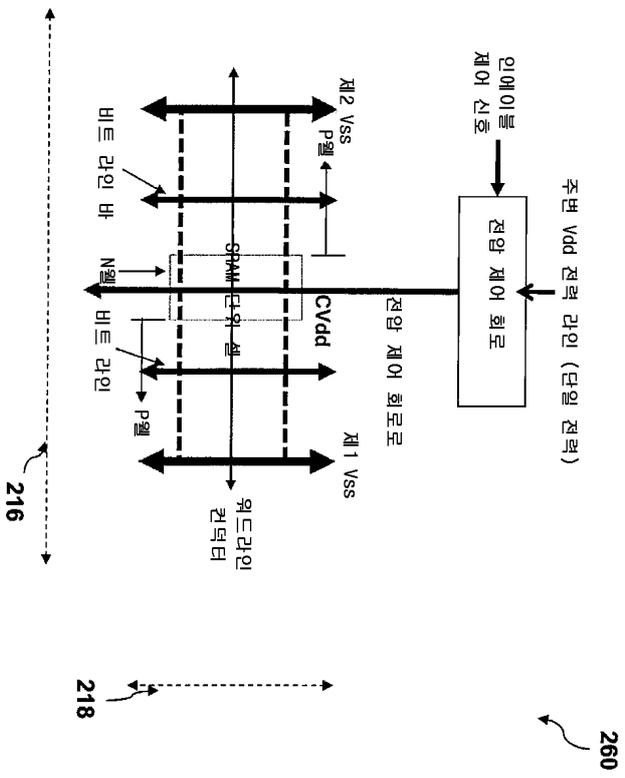
도면9



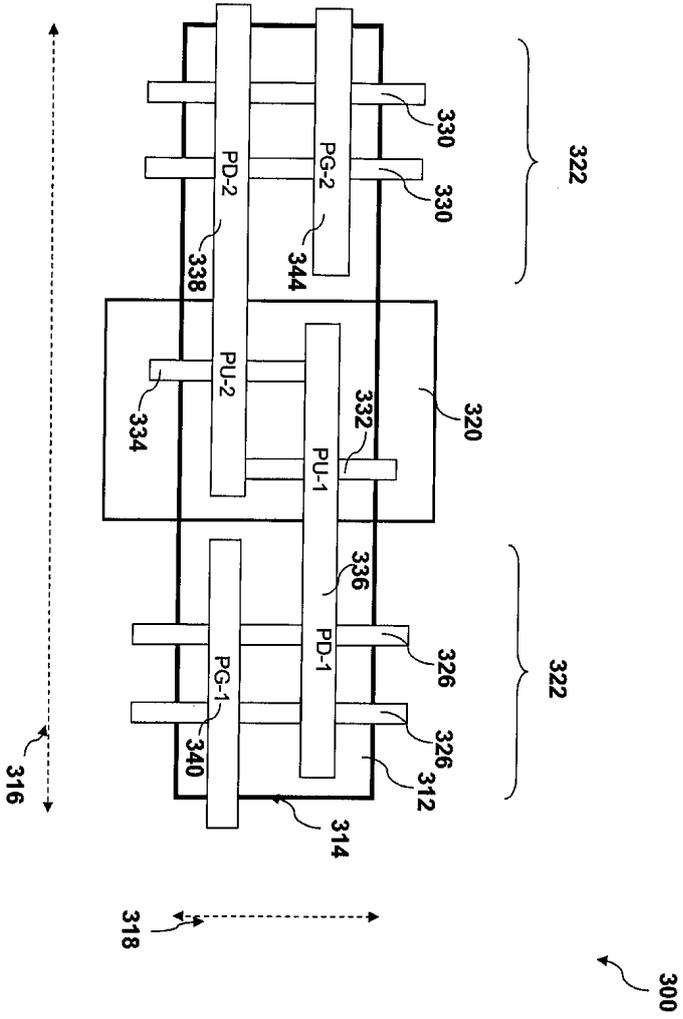
도면10



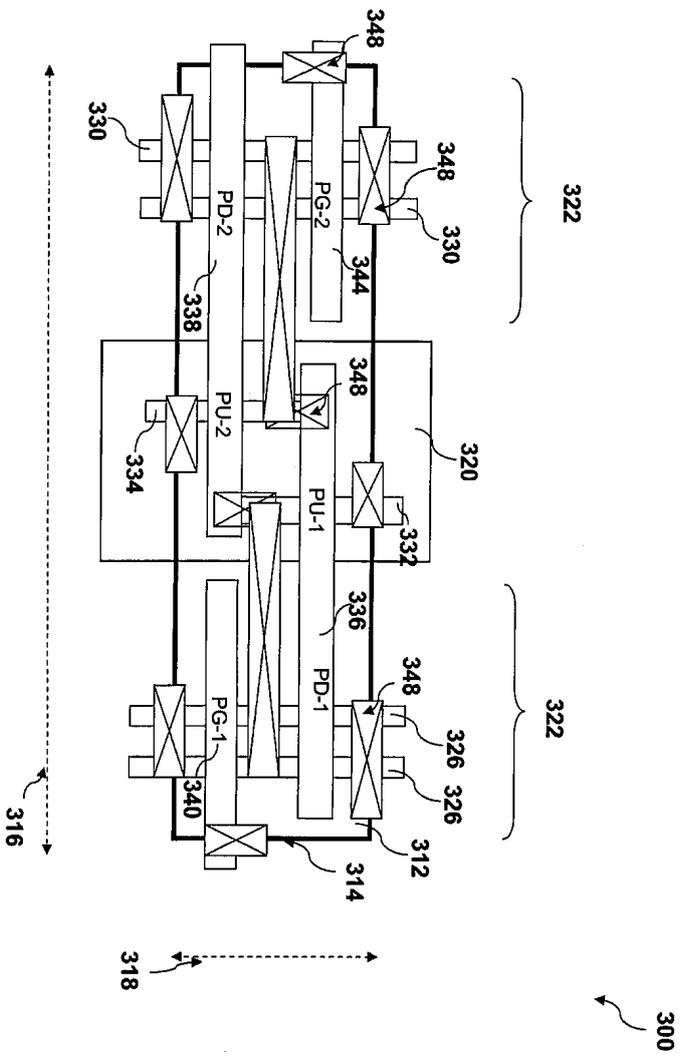
도면11



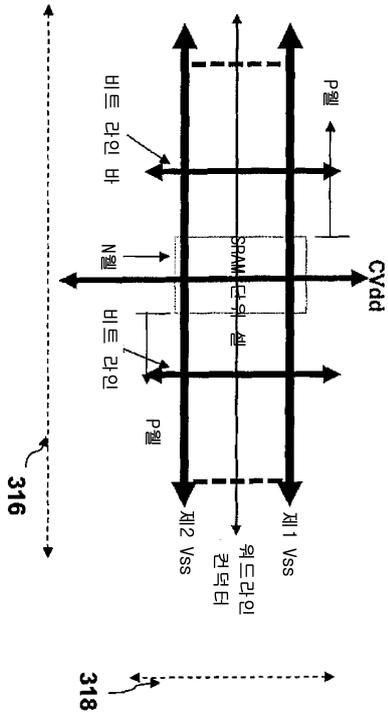
도면12



도면13

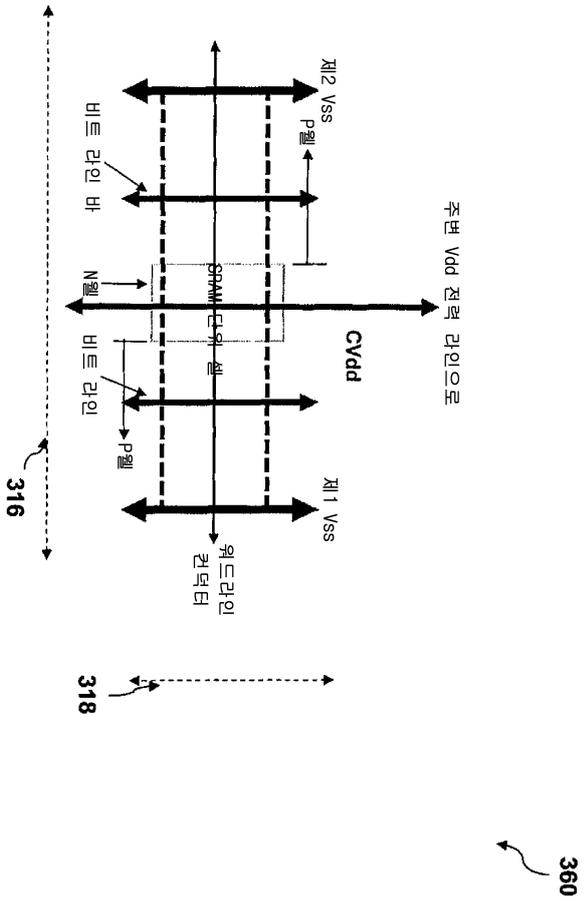


도면14



350

도면15





도면17

