

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-159908

(P2011-159908A)

(43) 公開日 平成23年8月18日(2011.8.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	2 H 0 9 2
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 M	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 7 T	5 C 0 9 4
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 6 1 7 J	5 F 1 1 0
HO 1 L 29/49 (2006.01)	HO 1 L 29/78 6 2 7 B	5 G 4 3 5

審査請求 未請求 請求項の数 17 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2010-22160 (P2010-22160)
 (22) 出願日 平成22年2月3日 (2010.2.3)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 寺井 康浩
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

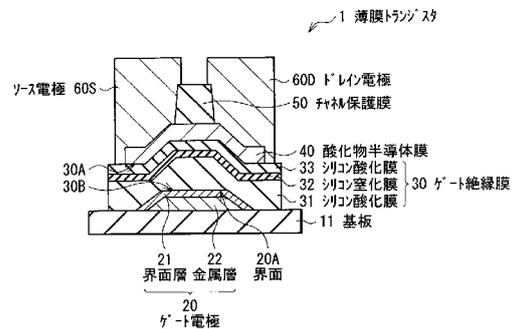
(54) 【発明の名称】 薄膜トランジスタおよびその製造方法、並びに表示装置

(57) 【要約】

【課題】 チャンネルへの不純物添加を行うことなく閾値電圧を大きくすることが可能な薄膜トランジスタおよびその製造方法、並びに表示装置を提供する。

【解決手段】 基板 11 にゲート電極 20 を形成したのち、このゲート電極 20 の表面から厚み方向における一部を、熱処理またはプラズマ処理を用いて酸化させることにより、ゲート電極 20 のゲート絶縁膜 30 との界面 20 A から厚み方向における一部を、金属酸化物よりなる界面層 21 とする。ゲート電極 20 のゲート絶縁膜 30 との界面 20 A における仕事関数が大きくなるので、ゲート電極 20 と酸化物半導体膜 40 との仕事関数差 MS が大きくなり、閾値電圧 V_{th} が大きくなる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

酸化物半導体膜と、
 対向する二つの面を有し、前記二つの面の一方が前記酸化物半導体膜に接しているゲート絶縁膜と、
 前記ゲート絶縁膜の二つの面の他方に接して設けられ、前記ゲート絶縁膜との界面から厚み方向における少なくとも一部が金属酸化物により構成されたゲート電極と、
 前記酸化物半導体膜に電氣的に接続されたソース電極およびドレイン電極とを備えた薄膜トランジスタ。

【請求項 2】

前記ゲート絶縁膜は、前記ゲート電極との界面に接して、低還元性材料よりなる膜を含む

10

請求項 1 記載の薄膜トランジスタ。

【請求項 3】

前記ゲート絶縁膜は、前記ゲート電極との界面に接して、シリコン酸化膜を含む
 請求項 2 記載の薄膜トランジスタ。

【請求項 4】

前記ゲート電極の厚み方向における少なくとも一部は、白金 (Pt)、チタン (Ti)、ルテニウム (Ru)、モリブデン (Mo)、銅 (Cu)、タングステン (W) およびニッケル (Ni) からなる群のうち少なくとも 1 種を含む金属酸化物により構成されている
 請求項 1 ないし 3 のいずれか 1 項に記載の薄膜トランジスタ。

20

【請求項 5】

基板に、前記ゲート電極、前記ゲート絶縁膜、前記酸化物半導体膜、並びに前記ソース電極および前記ドレイン電極がこの順に積層されている

請求項 4 記載の薄膜トランジスタ。

【請求項 6】

基板に、前記ソース電極および前記ドレイン電極、前記酸化物半導体膜、前記ゲート絶縁膜、並びに前記ゲート電極がこの順に積層されている

請求項 4 記載の薄膜トランジスタ。

【請求項 7】

基板にゲート電極を形成する工程と、
 前記ゲート電極の表面から厚み方向における少なくとも一部を、熱処理またはプラズマ処理を用いて酸化させることにより金属酸化物により構成する工程と、
 前記ゲート電極の上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜の上に酸化物半導体膜を形成する工程と、
 前記酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程とを含む薄膜トランジスタの製造方法。

30

【請求項 8】

前記ゲート絶縁膜を形成する工程において、前記ゲート電極との界面に接して、低還元性材料よりなる膜を形成する

請求項 7 記載の薄膜トランジスタの製造方法。

40

【請求項 9】

前記低還元性材料よりなる膜として、化学気相成長法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン窒化膜、スパッタリング法により作製した酸化アルミニウム膜、およびスパッタリング法により作製した窒化アルミニウム膜のうち少なくとも 1 種を用いる

請求項 8 記載の薄膜トランジスタの製造方法。

【請求項 10】

前記ゲート電極の表面をプラズマ処理する工程と前記ゲート絶縁膜を形成する工程とを真空中で連続して行う

50

請求項 7 記載の薄膜トランジスタの製造方法。

【請求項 1 1】

基板にゲート電極を形成すると共に、前記ゲート電極の表面から厚み方向における少なくとも一部を、酸化ガスを添加して成膜することにより金属酸化物により構成する工程と

、
前記ゲート電極の上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の上に酸化物半導体膜を形成する工程と、
前記酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程と
を含む薄膜トランジスタの製造方法。

【請求項 1 2】

前記ゲート絶縁膜を形成する工程において、前記ゲート電極との界面に接して、低還元性材料よりなる膜を形成する

請求項 1 1 記載の薄膜トランジスタの製造方法。

【請求項 1 3】

前記低還元性材料よりなる膜として、化学気相成長法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン窒化膜、スパッタリング法により作製した酸化アルミニウム膜、およびスパッタリング法により作製した窒化アルミニウム膜のうち少なくとも 1 種を用いる

請求項 1 2 記載の薄膜トランジスタの製造方法。

【請求項 1 4】

基板に、ソース電極およびドレイン電極を形成する工程と、
前記ソース電極および前記ドレイン電極の上に酸化物半導体膜を形成する工程と、
前記酸化物半導体膜の上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の上にゲート電極を形成すると共に、前記ゲート電極の前記ゲート絶縁膜との界面から厚み方向における少なくとも一部を、酸化ガスを添加して成膜することにより金属酸化物により構成する工程と
を含む薄膜トランジスタの製造方法。

【請求項 1 5】

前記ゲート絶縁膜を形成する工程において、前記ゲート電極との界面に接して、低還元性材料よりなる膜を形成する

請求項 1 4 記載の薄膜トランジスタの製造方法。

【請求項 1 6】

前記低還元性材料よりなる膜として、化学気相成長法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン窒化膜、スパッタリング法により作製した酸化アルミニウム膜、およびスパッタリング法により作製した窒化アルミニウム膜のうち少なくとも 1 種を用いる

請求項 1 5 記載の薄膜トランジスタの製造方法。

【請求項 1 7】

薄膜トランジスタおよび画素を備え、
前記薄膜トランジスタは、
酸化物半導体膜と、
対向する二つの面を有し、前記二つの面の一方が前記酸化物半導体膜に接しているゲート絶縁膜と、
前記ゲート絶縁膜の二つの面の他方に接して設けられ、前記ゲート絶縁膜との界面から厚み方向における少なくとも一部が金属酸化物により構成されたゲート電極と、
前記酸化物半導体膜に電氣的に接続されたソース電極およびドレイン電極と
を備えた表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

10

20

30

40

50

本発明は、酸化物半導体を用いた薄膜トランジスタ（TFT；Thin Film Transistor）およびその製造方法、並びにこの薄膜トランジスタを備えた表示装置に関する。

【背景技術】

【0002】

酸化亜鉛または酸化インジウムガリウム亜鉛（IGZO）等の酸化物半導体は、半導体デバイスの活性層として優れた性質を示し、近年、TFT、発光デバイス、透明導電膜などへの応用を目指して開発が進められている。

【0003】

例えば、酸化物半導体を用いたTFTは、従来液晶表示装置に用いられているアモルファスシリコン（a-Si：H）をチャンネルに用いたものと比較して、電子移動度が大きく、優れた電気特性を有している。また、室温付近の低温で成膜したチャンネルでも高い移動度が期待できるという利点もある。

10

【0004】

一方、酸化物半導体は耐熱性が充分でなく、TFT製造プロセス中の熱処理により酸素や亜鉛などが脱離して格子欠陥を形成することが知られている。この格子欠陥は、電気的には浅い不純物準位を形成し、酸化物半導体層の低抵抗化を引き起こす。そのため、酸化物半導体を活性層に用いたTFTでは、ゲート電圧を印加しなくてもドレイン電流が流れるノーマリーオン型すなわちデプレッション型の動作となり、欠陥準位の増大と共に閾値電圧が小さくなり、リーク電流が増大する。

【0005】

20

一方、上述した格子欠陥以外に酸化物半導体中に浅い不純物準位を形成する元素として、水素が報告されている（例えば、非特許文献1参照。）。従って、格子欠陥以外にもTFT製造工程で導入される水素等の元素が酸化物半導体を用いたTFTの特性に影響を与えると考えられる。このために、酸化物半導体をチャンネルに持つトランジスタはチャンネル中のキャリア濃度が増大しやすい傾向にあり、閾値電圧がマイナスになりやすいという傾向がある。

【0006】

また、酸化物半導体をチャンネルに用いたTFTはPチャンネルを形成することが困難なために、Nチャンネルトランジスタのみで回路を形成する必要がある。この際に閾値電圧がマイナスになると回路構成が複雑になってしまうという問題がある。この問題を解決するためには閾値電圧を制御する必要がある。閾値電圧は以下の数1で表される。

30

【0007】

【数1】

$$V_{Th} = \phi_{MS} - \frac{Q_f}{C_{OX}} + 2\phi_f + \frac{\sqrt{2\varepsilon_s\varepsilon_0qN_A2\phi_f}}{C_{OX}}$$

（式中、 V_{Th} は閾値電圧、 ϕ_{MS} はゲート電極と酸化物半導体膜との仕事関数差、 Q_f は固定電荷、 C_{OX} はゲート絶縁膜容量、 ϕ_f はチャンネルとしての酸化物半導体膜のフェルミ準位、 N_A はアクセプタ密度、 ε_s は酸化物半導体膜の比誘電率、 ε_0 は真空の誘電率をそれぞれ表す。）

40

【0008】

閾値電圧を変える方法として、薄膜トランジスタのチャンネルとゲート絶縁膜の界面にあるチャンネルの一部に不純物をドーブしたり、あるいは、酸化物半導体の構成元素の比率を変えることによってチャンネルとしての酸化物半導体のフェルミ準位を変えることによって閾値電圧を変える試みがなされている（例えば、特許文献1および特許文献2参照）。

【先行技術文献】

【特許文献】

【0009】

50

【特許文献1】特表2007-519256号公報

【特許文献2】特開2008-85048号公報

【非特許文献】

【0010】

【非特許文献1】Cetin Kilic、外1名、"n-type doping of oxides by hydrogen", Applied Physics Letters, 2002年7月1日, 第81巻, 第1号, p. 73-75

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、チャネルへのドーピングは薄膜トランジスタの特性劣化を引き起こす懸念があった。また、酸化物半導体の活性層は一般的に多元素系の材料により構成され、成膜方法としてはスパッタ法が用いられる。そのため、チャネルへのドーピングをスパッタ法で行う場合には、多元素系であるがゆえに、活性層の元素比率制御は非常に困難になっていた。

10

【0012】

本発明はかかる問題点に鑑みてなされたもので、その目的は、チャネルへの不純物添加を行うことなく閾値電圧を大きくすることが可能な薄膜トランジスタおよびその製造方法、並びにこの薄膜トランジスタを備えた表示装置を提供することにある。

【課題を解決するための手段】

【0013】

本発明による薄膜トランジスタは、以下の(A)~(D)の構成要素を備えたものである。

20

(A) 酸化物半導体膜

(B) 対向する二つの面を有し、二つの面の一方が酸化物半導体膜に接しているゲート絶縁膜

(C) ゲート絶縁膜の二つの面の他方に接して設けられ、ゲート絶縁膜との界面から厚み方向における少なくとも一部が金属酸化物により構成されたゲート電極

(D) 酸化物半導体膜に電氣的に接続されたソース電極およびドレイン電極

【0014】

本発明の薄膜トランジスタでは、ゲート電極のゲート絶縁膜との界面から厚み方向における少なくとも一部が金属酸化物により構成されているので、ゲート電極のゲート絶縁膜との界面における仕事関数が大きくなる。よって、数2においてゲート電極と酸化物半導体膜との仕事関数差MSが大きくなり、閾値電圧V_{th}が大きくなる。

30

【0015】

【数2】

$$V_{Th} = \phi_{MS} - \frac{Q_f}{C_{OX}} + 2\phi_f + \frac{\sqrt{2\epsilon_s\epsilon_0qN_A}2\phi_f}{C_{OX}}$$

(式中、V_{th}は閾値電圧、MSはゲート電極と酸化物半導体膜との仕事関数差、Q_fは固定電荷、C_{OX}はゲート絶縁膜容量、φ_fはチャネルとしての酸化物半導体膜のフェルミ準位、N_Aはアクセプタ密度、Sは酸化物半導体膜の比誘電率、0は真空の誘電率をそれぞれ表す。)

40

【0016】

本発明による第1の薄膜トランジスタの製造方法は、以下の(A)~(E)の工程を含むものである。

(A) 基板にゲート電極を形成する工程

(B) ゲート電極の表面から厚み方向における少なくとも一部を、熱処理またはプラズマ処理を用いて酸化させることにより金属酸化物により構成する工程

(C) ゲート電極の上にゲート絶縁膜を形成する工程

50

(D) ゲート絶縁膜の上に酸化物半導体膜を形成する工程

(E) 酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程

【0017】

本発明による第2の薄膜トランジスタの製造方法は、以下の(A)～(D)の工程を含むものである。

(A) 基板にゲート電極を形成すると共に、ゲート電極の表面から厚み方向における少なくとも一部を、酸化ガスを添加して成膜することにより金属酸化物により構成する工程

(B) ゲート電極の上にゲート絶縁膜を形成する工程

(C) ゲート絶縁膜の上に酸化物半導体膜を形成する工程

(D) 酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程

10

【0018】

本発明による第3の薄膜トランジスタの製造方法は、以下の(A)～(D)の工程を含むものである。

(A) 基板に、ソース電極およびドレイン電極を形成する工程

(B) ソース電極および前記ドレイン電極の上に酸化物半導体膜を形成する工程

(C) 酸化物半導体膜の上にゲート絶縁膜を形成する工程

(D) ゲート絶縁膜の上に、金属よりなるゲート電極を形成すると共に、ゲート電極のゲート絶縁膜との界面から厚み方向における少なくとも一部を、酸化ガスを添加して成膜することにより金属酸化物により構成する工程

【0019】

20

本発明による表示装置は、薄膜トランジスタおよび画素を備え、薄膜トランジスタは、上記本発明の薄膜トランジスタにより構成されたものである。

【0020】

本発明の表示装置では、上記本発明の薄膜トランジスタによって画素が駆動され、画像表示がなされる。

【発明の効果】

【0021】

本発明の薄膜トランジスタ、または本発明の表示装置によれば、ゲート電極のゲート絶縁膜との界面から厚み方向における少なくとも一部を金属酸化物により構成するようにしたので、チャンネルへの不純物添加を行うことなく閾値電圧を大きくすることが可能となる。

30

【0022】

本発明の第1の薄膜トランジスタの製造方法によれば、基板にゲート電極を形成したのち、このゲート電極の表面から厚み方向における少なくとも一部を、熱処理またはプラズマ処理を用いて酸化させることにより金属酸化物により構成するようにしたので、チャンネルへの不純物添加を行う必要をなくし、本発明の薄膜トランジスタを簡素な工程で製造することが可能となる。

【0023】

本発明の第2の薄膜トランジスタの製造方法によれば、基板にゲート電極を形成すると共に、このゲート電極の表面から厚み方向における少なくとも一部を、酸化ガスを添加して成膜することにより金属酸化物により構成するようにしたので、チャンネルへの不純物添加を行う必要をなくし、本発明の薄膜トランジスタを簡素な工程で製造することが可能となる。

40

【0024】

本発明の第3の薄膜トランジスタの製造方法によれば、基板に、ソース電極およびドレイン電極、酸化物半導体膜、ゲート絶縁膜を順に形成したのち、ゲート絶縁膜の上にゲート電極を形成すると共に、ゲート電極のゲート絶縁膜との界面から厚み方向における少なくとも一部を、酸化ガスを添加して成膜することにより金属酸化物により構成するようにしたので、チャンネルへの不純物添加を行う必要をなくし、本発明の薄膜トランジスタを簡素な工程で製造することが可能となる。

50

【図面の簡単な説明】

【0025】

【図1】本発明の第1の実施の形態に係る薄膜トランジスタの構造を表す断面図である。

【図2】図1に示した薄膜トランジスタの製造方法を工程順に表す断面図である。

【図3】図2に続く工程を表す断面図である。

【図4】モリブデンよりなるゲート電極をプラズマ処理で酸化した場合の、深さ方向における仕事関数プロファイルを表す図である。

【図5】チタンよりなるゲート電極をプラズマ処理で酸化した場合の、深さ方向における仕事関数プロファイルを表す図である。

【図6】モリブデンよりなるゲート電極の表面にシリコン酸化膜またはシリコン窒化膜を積層した場合の深さ方向における仕事関数プロファイルを表す図である。

【図7】モリブデンよりなるゲート電極を用いたTFTの伝達特性を表す図である。

【図8】本発明の第2の実施の形態に係る薄膜トランジスタの製造方法を工程順に表す断面図である。

【図9】図8に続く工程を表す断面図である。

【図10】本発明の第3の実施の形態に係る薄膜トランジスタの構造を表す断面図である。

【図11】図10に示した薄膜トランジスタの製造方法を工程順に表す断面図である。

【図12】図11に続く工程を表す断面図である。

【図13】本発明の第4の実施の形態に係る薄膜トランジスタの構造を表す断面図である。

【図14】図13に示した薄膜トランジスタの製造方法を工程順に表す断面図である。

【図15】図14に続く工程を表す断面図である。

【図16】本発明の第5の実施の形態に係る薄膜トランジスタの構造を表す断面図である。

【図17】図16に示した薄膜トランジスタの製造方法を工程順に表す断面図である。

【図18】適用例1に係る表示装置の回路構成を表す図である。

【図19】図18に示した画素駆動回路の一例を表す等価回路図である。

【図20】適用例2の外観を表す斜視図である。

【図21】(A)は適用例3の表側から見た外観を表す斜視図であり、(B)は裏側から見た外観を表す斜視図である。

【図22】適用例4の外観を表す斜視図である。

【図23】適用例5の外観を表す斜視図である。

【図24】(A)は適用例6の開いた状態の正面図、(B)はその側面図、(C)は閉じた状態の正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

【発明を実施するための形態】

【0026】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（ボトムゲート型薄膜トランジスタ；ゲート電極の厚み方向の一部を、プラズマ処理を用いて酸化させることにより金属酸化物により構成した例）
2. 第2の実施の形態（ボトムゲート型薄膜トランジスタ；ゲート電極の厚み方向の一部を、酸化ガスを添加して成膜することにより金属酸化物により構成した例）
3. 第3の実施の形態（ボトムゲート型薄膜トランジスタ；ゲート電極の厚み方向の全部を、金属酸化物により構成した例）
4. 第4の実施の形態（トップゲート型薄膜トランジスタ；ゲート電極の厚み方向の一部を、金属酸化物により構成した例）
5. 第5の実施の形態（トップゲート型薄膜トランジスタ；ゲート電極の厚み方向の全部を、金属酸化物により構成した例）

10

20

30

40

50

6. 適用例

【0027】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る薄膜トランジスタ1の断面構造を表すものである。薄膜トランジスタ1は、液晶ディスプレイや有機EL (Electro Luminescence) ディ스플레이などの駆動素子として用いられるものであり、例えば、基板11にゲート電極20、ゲート絶縁膜30、酸化物半導体膜40、チャネル保護膜50、ソース電極60Sおよびドレイン電極60Dがこの順に積層されたボトムゲート型の構造(逆スタガ構造)を有している。

【0028】

基板11は、ガラス基板やプラスチックフィルムなどにより構成されている。プラスチック材料としては、例えばPET (ポリエチレンテレフタレート)、PEN (ポリエチレンナフタレート)などが挙げられる。後述のスパッタ法において、基板11を加熱することなく酸化物半導体膜40を成膜するため、安価なプラスチックフィルムを用いることができる。

【0029】

ゲート電極20は、薄膜トランジスタ1にゲート電圧を印加し、このゲート電圧により酸化物半導体膜40中の電子密度を制御する役割を有するものである。ゲート電極20は、基板11上の選択的な領域に設けられ、例えば、厚みが10nm~500nmであり、白金(Pt)、チタン(Ti)、ルテニウム(Ru)、モリブデン(Mo)、銅(Cu)、タングステン(W)、およびニッケル(Ni)からなる群のうち少なくとも1種を含む金属単体または合金により構成されている。

【0030】

ゲート電極20は、ゲート絶縁膜30との界面20Aから厚み方向における一部に、金属酸化物よりなる界面層21を有している。これにより、この薄膜トランジスタ1では、チャネルへの不純物添加を行うことなく閾値電圧を大きくすることが可能となっている。

【0031】

具体的には、ゲート電極20の界面層21は、白金(Pt)、チタン(Ti)、ルテニウム(Ru)、モリブデン(Mo)、銅(Cu)、タングステン(W)およびニッケル(Ni)からなる群のうち少なくとも1種を含む金属酸化物により構成されている。ゲート電極20の厚み方向における残部は、上述した金属単体または合金により構成された金属層22である。

【0032】

ゲート絶縁膜30は、対向する二つの面30A、30Bを有し、一方の面30Aで酸化物半導体膜40に接し、他方の面30Bでゲート電極20に接している。ゲート絶縁膜30は、例えば、厚みが50nm~1μmであり、シリコン酸化膜、シリコン窒化膜、シリコン窒化酸化膜または酸化アルミニウム膜などの単層膜または積層膜により構成されている。

【0033】

ゲート絶縁膜30は、ゲート電極20との界面30Bに接して、低還元性材料よりなる膜、例えばシリコン酸化膜を含むことが好ましい。ゲート電極20の界面層21が還元されて仕事関数が低下してしまうのを抑えることが可能となるからである。

【0034】

このような低還元性材料よりなる膜としては、例えば、化学気相成長法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン窒化膜、スパッタリング法により作製した酸化アルミニウム膜、およびスパッタリング法により作製した窒化アルミニウム膜のうち少なくとも1種が好ましい。

【0035】

具体的には、ゲート絶縁膜30は、例えば、ゲート電極20の側から、低還元性材料よ

10

20

30

40

50

りなる膜としてのシリコン酸化膜 3 1 と、シリコン窒化膜 3 2 と、シリコン酸化膜 3 3 とをこの順に積層した構成を有している。

【 0 0 3 6 】

酸化物半導体膜 4 0 は、ソース電極 6 0 S およびドレイン電極 6 0 D との間にチャネル領域を有している。酸化物半導体膜 4 0 は、例えば、酸化亜鉛を主成分とする透明な酸化物半導体、例えば I G Z O (酸化インジウムガリウム亜鉛)、酸化亜鉛、A Z O (アルミニウムドーパ酸化亜鉛) または G Z O (ガリウムドーパ酸化亜鉛) により構成されている。ここで酸化物半導体とは、インジウム、ガリウム、亜鉛、スズ等の元素と、酸素を含む化合物である。酸化物半導体膜 4 0 の厚みは、製造工程でのアニールによる酸素供給効率を考慮すると、例えば 5 n m ~ 1 0 0 n m であることが望ましい。

10

【 0 0 3 7 】

チャネル保護膜 5 0 は、酸化物半導体膜 4 0 のチャネル領域上に設けられ、例えば、厚みが 5 0 n m ~ 5 0 0 n m であり、シリコン酸化膜、シリコン窒化膜または酸化アルミニウム膜により構成されている。

【 0 0 3 8 】

ソース電極 6 0 S およびドレイン電極 6 0 D は、チャネル保護膜 5 0 の両側の酸化物半導体膜 4 0 上に設けられ、酸化物半導体膜 4 0 に電氣的に接続されている。ソース電極 6 0 S およびドレイン電極 6 0 D は、例えば、モリブデン、アルミニウム、銅、チタン等の金属膜、I T O (Indium Tin Oxide; 酸化インジウムスズ)、酸化チタンなどの酸素を含む金属膜、またはこれらの積層膜により構成されている。具体的には、ソース電極 6 0 S およびドレイン電極 6 0 D は、例えば、厚み 5 0 n m のモリブデン層と、厚み 5 0 0 n m のアルミニウム層と、厚み 5 0 n m のモリブデン層とを順に積層した構造を有している。

20

【 0 0 3 9 】

ソース電極 6 0 S およびドレイン電極 6 0 D は、I T O または酸化チタンなどの酸素を含む金属膜により構成されていることが好ましい。酸化物半導体膜 4 0 は、酸素を引き抜きやすい金属と接触することで酸素が脱離して格子欠陥が形成される。ソース電極 6 0 S およびドレイン電極 6 0 D を、酸素を含む金属膜により構成することにより、酸化物半導体膜 4 0 から酸素が脱離するのを抑え、薄膜トランジスタ 1 の電気特性を安定させることが可能となる。

【 0 0 4 0 】

この薄膜トランジスタ 1 は、例えば次のようにして製造することができる。

30

【 0 0 4 1 】

図 2 および図 3 は、薄膜トランジスタ 1 の製造方法を工程順に表したものである。まず、基板 1 1 上の全面に例えばスパッタリング法や蒸着法を用いて、ゲート電極 2 0 の材料となる金属膜を形成する。次いで、図 2 (A) に示したように、基板 1 1 上に形成した金属膜を、例えばフォトリソグラフィ法を用いてパターニングすることにより、ゲート電極 2 0 を形成する。

【 0 0 4 2 】

続いて、図 2 (B) に示したように、ゲート電極 2 0 の表面 2 0 A から厚み方向における一部を、例えば、一酸化二窒素または酸素を含むガスプラズマ P に曝して酸化させることにより、金属酸化物よりなる界面層 2 1 を形成する。

40

【 0 0 4 3 】

界面層 2 1 を形成するための表面処理としては、上述したプラズマ処理のほか、熱処理でもよい。熱処理の場合には、ゲート電極 2 0 の表面 2 0 A から厚み方向における一部を、酸素や水蒸気を含む雰囲気中でアニール処理を施して酸化させることにより、金属酸化物よりなる界面層 2 1 を形成する。

【 0 0 4 4 】

そののち、基板 1 1 およびゲート電極 2 0 の界面層 2 1 の全面にゲート絶縁膜 3 0 を形成する。このとき、ゲート電極 2 0 との界面 3 0 B に接して、低還元性材料よりなる膜を形成することが好ましい。界面層 2 1 上に C V D 法で直接シリコン窒化膜のような還元性

50

の強い膜を形成すると、界面層 2 1 が還元されて仕事関数が低下してしまうからである。

【 0 0 4 5 】

低還元性材料よりなる膜としては、例えば、CVD法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン酸化膜、スパッタリング法により作製したシリコン窒化膜、スパッタリング法により作製した酸化アルミニウム膜、およびスパッタリング法により作製した窒化アルミニウム膜のうち少なくとも1種を用いることが好ましい。これらの膜は、還元性の低い状態で成膜することが可能だからである。

【 0 0 4 6 】

このようなゲート絶縁膜 3 0 の成膜方法としては、例えば、シリコン窒化膜またはシリコン酸化膜の積層膜をプラズマCVD (Chemical Vapor Deposition; 化学気相成長) 法

10

【 0 0 4 7 】

具体的には、図 2 (C) に示したように、例えばプラズマCVD法により、ゲート電極 2 0 の側から、シリコン酸化膜 3 1 と、シリコン窒化膜 3 2 と、シリコン酸化膜 3 3 とをこの順に積層し、ゲート絶縁膜 3 0 を形成する。シリコン窒化膜 3 2 は、原料ガスとしてシラン、アンモニア、窒素等のガスを用いたプラズマCVD法により形成する。シリコン酸化膜 3 1 , 3 3 は、原料ガスとしてシラン、一酸化二窒素を含むガスを用いたプラズマCVD法により形成する。

【 0 0 4 8 】

また、スパッタリング法を用いる場合には、例えば、ゲート電極 2 0 の側から、シリコン窒化膜およびシリコン酸化膜をこの順に積層することにより、ゲート絶縁膜 3 0 を形成する。スパッタリングのターゲットとしてはシリコンを用い、スパッタリングの放電雰囲気中に酸素、水蒸気、窒素などを用いて反応性プラズマスパッタリングとすることで、シリコン窒化膜またはシリコン酸化膜を形成する。

20

【 0 0 4 9 】

この場合、ゲート電極 2 0 の表面をプラズマ処理する工程とゲート絶縁膜 3 0 を形成する工程とを真空中で連続して行うことが好ましい。なぜなら、表面処理後に大気中に曝すことで、大気中の炭素系のコンタミネーションが表面付着して表面処理の効果を軽減してしまうおそれがあるからである。

30

【 0 0 5 0 】

ゲート絶縁膜 3 0 を形成したのち、図 3 (A) に示したように、例えばスパッタリング法により、ゲート絶縁膜 3 0 の上に酸化物半導体膜 4 0 を形成し、所望の形状にパターニングする。

【 0 0 5 1 】

酸化物半導体膜 4 0 を I G Z O (酸化インジウムガリウム亜鉛) により構成する場合には、酸化インジウムガリウム亜鉛のセラミックをターゲットとしたDCスパッタリング法を用い、アルゴンと酸素の混合ガスによるプラズマ放電にてゲート絶縁膜 3 0 上に酸化物半導体膜 4 0 を形成する。なお、プラズマ放電の前に真空容器内の真空度が 1×10^{-4} Pa 以下になるまで排気した後、アルゴンと酸素の混合ガスを導入する。

40

【 0 0 5 2 】

酸化物半導体膜 4 0 を酸化亜鉛により構成する場合には、酸化亜鉛のセラミックをターゲットとしたRFスパッタリング法、または亜鉛の金属ターゲットを用いてアルゴンと酸素を含むガス雰囲気中でDC電源を用いたスパッタリング法により、酸化物半導体膜 4 0 を形成することが可能である。

【 0 0 5 3 】

このとき、チャンネルとなる酸化物半導体膜 4 0 中のキャリア濃度は、酸化物形成の際のアルゴンと酸素の流量比を変化させることで制御することが可能である。

【 0 0 5 4 】

酸化物半導体膜 4 0 を形成したのち、酸化物半導体膜 4 0 の上に、例えばCVD法また

50

はスパッタリング法により、シリコン酸化膜またはシリコン窒化膜を形成し、パターニングすることにより、図3(B)に示したように、上述した厚みおよび材料よりなるチャンネル保護膜50を形成する。

【0055】

チャンネル保護膜50を形成したのち、例えばスパッタリング法により、厚み50nmのモリブデン層、厚み500nmのアルミニウム層および厚み50nmのモリブデン層を順に形成し、3層の積層構造を形成する。続いて、この積層構造を、リン酸、硝酸および酢酸を含む混合液を用いたウェットエッチング法によりパターニングして、図3(C)に示したようにソース電極60Sおよびドレイン電極60Dを形成する。以上により、図1に示した薄膜トランジスタ1が完成する。

10

【0056】

この薄膜トランジスタ1では、図示しない配線層を通じてゲート電極20に所定のしきい値電圧以上の電圧(ゲート電圧)が印加されると、ソース電極60Sとドレイン電極60Dとの間の酸化物半導体膜40のチャンネル領域中に電流(ドレイン電流)が生じる。

【0057】

ここでは、ゲート電極20のゲート絶縁膜30との界面20Aから厚み方向における一部が金属酸化物よりなる界面層21とされているので、ゲート電極20のゲート絶縁膜30との界面20Aにおける仕事関数が大きくなる。よって、数3においてゲート電極20と酸化物半導体膜40との仕事関数差MSが大きくなり、閾値電圧 V_{th} が大きくなる(プラス方向にシフトする)。

20

【0058】

【数3】

$$V_{Th} = \phi_{MS} - \frac{Q_f}{C_{OX}} + 2\phi_f + \frac{\sqrt{2\epsilon_s\epsilon_0qN_A2\phi_f}}{C_{OX}}$$

(式中、 V_{th} は閾値電圧、MSはゲート電極と酸化物半導体膜との仕事関数差、 Q_f は固定電荷、 C_{OX} はゲート絶縁膜容量、 ϕ_f はチャンネルとしての酸化物半導体膜のフェルミ準位、 N_A はアクセプタ密度、 s は酸化物半導体膜の比誘電率、 0 は真空の誘電率をそれぞれ表す。)

30

【0059】

図4および図5は、モリブデンおよびチタンよりなる金属膜の表面をプラズマ処理で酸化した後に深さ方向の仕事関数分析を行った結果をそれぞれ表したものである。図4および図5から、金属膜の表面近傍で仕事関数が増加していることが分かる。プラズマ処理としては、 O_2 ガスまたは N_2O ガス雰囲気を用いたものであり、高温化、処理時間の増加で酸化の程度が大きくなり、仕事関数が増加することが分かっている。

【0060】

図6は、ゲート電極としてモリブデンを用い、ゲート電極の表面を酸化処理した場合と酸化していない場合とについて、TFTの伝達特性をそれぞれ表したものである。図7から分かるように、ゲート電極の表面を酸化処理したTFTは、酸化していないTFTに比べて、伝達特性を約0.5Vプラス方向にシフトさせることが可能となる。

40

【0061】

また、ゲート絶縁膜30は、ゲート電極20との界面30Bに接して、低還元性材料よりなる膜、例えばシリコン酸化膜を含んでいるので、ゲート電極20の界面層21が還元されて仕事関数が低下してしまうのが抑えられる。よって、閾値電圧 V_{th} が小さくなってしまふ(マイナス方向にシフトしてしまふ)ことが回避される。

【0062】

図7は、モリブデンよりなる金属膜の表面にシリコン酸化膜を成膜した場合と、シリコン窒化膜を成膜した場合と、何も成膜しない場合とについて、仕事関数の深さ方向プロフ

50

ァイルを表したものである。図7からは、シリコン窒化膜 シリコン酸化膜 金属表面膜 無しの順に仕事関数が増加していることが分かり、還元性の低い膜を成膜することで仕事関数の低下が軽減できることが分かる。

【0063】

このように本実施の形態の薄膜トランジスタ1では、ゲート電極20のゲート絶縁膜30との界面20Aから厚み方向における一部を、金属酸化物よりなる界面層21とするようにしたので、チャンネルへの不純物添加を行うことなく閾値電圧を大きくすることが可能となる。よって、この薄膜トランジスタ1を用いて液晶や有機ELなどの表示装置の周辺回路を構成した場合に回路構成が複雑になってしまうことが回避される。

【0064】

また、本実施の形態の薄膜トランジスタ1の製造方法では、基板11にゲート電極20を形成したのち、このゲート電極20の表面から厚み方向における一部を、熱処理またはプラズマ処理を用いて酸化させることにより金属酸化物よりなる界面層21を形成するようにしたので、チャンネルへの不純物添加を行う必要をなくし、本実施の形態の薄膜トランジスタ1を簡素な工程で製造することが可能となる。

【0065】

(第2の実施の形態)

図8および図9は、本発明の第2の実施の形態に係る薄膜トランジスタ1の製造方法を工程順に表したものである。この製造方法は、ゲート電極20を形成する際に、酸化ガスを添加して成膜することにより界面層21を形成するようにしたことにおいて、上記第1の実施の形態の製造方法と異なるものである。よって、同一の工程については、図2および図3を参照して説明する。

【0066】

まず、図8(A)に示したように、基板11の全面に、例えばスパッタリング法により、ゲート電極20の材料となる金属膜23を形成する。その際、ゲート電極20の表面20Aから厚み方向における一部を、酸化ガスを添加して成膜することにより、金属酸化物よりなる界面層21を形成する。

【0067】

次いで、図8(B)に示したように、金属膜23および界面層21を、例えばフォトリソグラフィを用いてパターニングすることにより、ゲート電極20を形成する。

【0068】

続いて、基板11およびゲート電極20の界面層21の全面にゲート絶縁膜30を形成する。このとき、第1の実施の形態と同様に、ゲート電極20との界面30Bに接して、低還元性材料よりなる膜を形成することが好ましい。具体的には、図8(C)に示したように、例えばプラズマCVD法により、ゲート電極20の側から、低還元性材料よりなる膜としてのシリコン酸化膜31と、シリコン窒化膜32と、シリコン酸化膜33とをこの順に積層し、ゲート絶縁膜30を形成する。

【0069】

ゲート絶縁膜30を形成したのち、第1の実施の形態と同様にして、図9(A)に示したように、例えばスパッタリング法により、ゲート絶縁膜30の上に酸化物半導体膜40を形成し、所望の形状にパターニングする。

【0070】

酸化物半導体膜40を形成したのち、第1の実施の形態と同様にして、酸化物半導体膜40の上に、図9(B)に示したように、上述した厚みおよび材料よりなるチャンネル保護膜50を形成する。

【0071】

チャンネル保護膜50を形成したのち、第1の実施の形態と同様にして、図9(C)に示したように、上述した厚みおよび材料よりなるソース電極60Sおよびドレイン電極60Dを形成する。以上により、図1に示した薄膜トランジスタ1が完成する。

【0072】

10

20

30

40

50

このように本実施の形態の薄膜トランジスタ 1 の製造方法では、基板 1 1 にゲート電極 2 0 を形成すると共に、このゲート電極 2 0 の表面 2 0 A から厚み方向における一部を、酸化ガスを添加して成膜することにより金属酸化物よりなる界面層 2 1 を形成するようにしたので、チャンネルへの不純物添加を行う必要をなくし、第 1 の実施の形態と同様に、薄膜トランジスタ 1 を簡素な工程で製造することが可能となる。

【 0 0 7 3 】

(第 3 の実施の形態)

図 1 0 は、本発明の第 3 の実施の形態に係る薄膜トランジスタ 1 A の断面構成を表したものである。この薄膜トランジスタ 1 A は、ゲート電極 2 0 のゲート絶縁膜 3 0 との界面 2 0 A から厚み方向における全部が金属酸化膜により構成されていることを除いては、上記第 1 の実施の形態と同様の構成を有している。よって、対応する構成要素には同一の符号を付して説明する。

10

【 0 0 7 4 】

図 1 1 および図 1 2 は、この薄膜トランジスタ 1 A の製造方法を工程順に表したものである。まず、図 1 1 (A) に示したように、基板 1 1 にゲート電極 2 0 を形成する際に、ゲート電極 2 0 の表面 2 0 A から厚み方向における全部を金属酸化物により構成する。

【 0 0 7 5 】

このようなゲート電極 2 0 の形成方法としては、第 1 の実施の形態と同様に、基板 1 1 上にゲート電極 2 0 を形成したのち、ゲート電極 2 0 の表面 2 0 A から厚み方向における全部を、熱処理またはプラズマ処理を用いて酸化させるようにしてもよい。

20

【 0 0 7 6 】

あるいは、ゲート電極 2 0 は、第 2 の実施の形態と同様に、基板 1 1 の全面に、例えばスパッタリング法により、ゲート電極 2 0 の材料となる金属膜を形成する際に、ゲート電極 2 0 の表面 2 0 A から厚み方向における全部を、酸化ガスを添加して成膜するようにしてもよい。

【 0 0 7 7 】

次いで、基板 1 1 およびゲート電極 2 0 の界面層 2 1 の全面にゲート絶縁膜 3 0 を形成する。このとき、第 1 の実施の形態と同様に、ゲート電極 2 0 との界面 3 0 B に接して、低還元性材料よりなる膜を形成することが好ましい。具体的には、図 1 1 (B) に示したように、例えばプラズマ C V D 法により、ゲート電極 2 0 の側から、低還元性材料よりなる膜としてのシリコン酸化膜 3 1 と、シリコン窒化膜 3 2 と、シリコン酸化膜 3 3 とをこの順に積層し、ゲート絶縁膜 3 0 を形成する。

30

【 0 0 7 8 】

ゲート絶縁膜 3 0 を形成したのち、第 1 の実施の形態と同様にして、図 1 1 (C) に示したように、例えばスパッタリング法により、ゲート絶縁膜 3 0 の上に酸化物半導体膜 4 0 を形成し、所望の形状にパターニングする。

【 0 0 7 9 】

酸化物半導体膜 4 0 を形成したのち、第 1 の実施の形態と同様にして、酸化物半導体膜 4 0 の上に、図 1 2 (A) に示したように、上述した厚みおよび材料よりなるチャンネル保護膜 5 0 を形成する。

40

【 0 0 8 0 】

チャンネル保護膜 5 0 を形成したのち、第 1 の実施の形態と同様にして、図 1 2 (B) に示したように、上述した厚みおよび材料よりなるソース電極 6 0 S およびドレイン電極 6 0 D を形成する。以上により、図 1 0 に示した薄膜トランジスタ 1 A が完成する。

【 0 0 8 1 】

この薄膜トランジスタ 1 A の作用および効果は、第 1 および第 2 の実施の形態と同様である。

【 0 0 8 2 】

(第 4 の実施の形態)

図 1 3 は、本発明の第 4 の実施の形態に係る薄膜トランジスタ 1 B の断面構成を表した

50

ものである。この薄膜トランジスタ 1 B は、基板 1 1 に、ソース電極 6 0 S およびドレイン電極 6 0 D、酸化半導体膜 4 0、ゲート絶縁膜 3 0、並びにゲート電極 2 0 がこの順に積層されたトップゲート型 T F T (スタガ構造) のものである。このことを除いては、薄膜トランジスタ 1 B は上記第 1 の実施の形態と同様の構成を有している。よって、対応する構成要素には同一の符号を付して説明する。

【 0 0 8 3 】

図 1 4 および図 1 5 は、この薄膜トランジスタ 1 B の製造方法を工程順に表したものである。まず、図 1 4 (A) に示したように、基板 1 1 に、第 1 の実施の形態と同様にして、上述した厚みおよび材料よりなるソース電極 6 0 S およびドレイン電極 6 0 D を形成する。

10

【 0 0 8 4 】

次いで、図 1 4 (B) に示したように、第 1 の実施の形態と同様にして、例えばスパッタリング法により、ゲート絶縁膜 3 0 の上に酸化半導体膜 4 0 を形成し、所望の形状にパターニングする。

【 0 0 8 5 】

続いて、図 1 4 (C) に示したように、基板 1 1 および酸化半導体膜 4 0 の全面にゲート絶縁膜 3 0 を形成する。ゲート絶縁膜 3 0 としては、例えば、シリコン窒化膜またはシリコン酸化膜の積層膜をプラズマ C V D 法で形成してもよいし、あるいは、シリコン窒化膜、シリコン酸化膜、酸化アルミニウム膜または窒化アルミニウム膜をスパッタリング法などにより形成してもよい。

20

【 0 0 8 6 】

そのうち、例えばスパッタリング法により、ゲート絶縁膜 3 0 の上にゲート電極 2 0 を形成する。その際、まず、図 1 5 (A) に示したように、ゲート電極 2 0 のゲート絶縁膜 3 0 との界面 2 0 A から厚み方向の一部を、酸化ガスを添加して成膜することにより、金属酸化物よりなる界面層 2 1 を形成する。

【 0 0 8 7 】

続いて、同じく図 1 5 (A) に示したように、酸化ガスの添加を停止してゲート電極 2 0 の厚み方向における残部を形成する。これにより、ゲート電極 2 0 の厚み方向における残部は金属層 2 2 となる。

【 0 0 8 8 】

そのうち、図 1 5 (B) に示したように、金属層 2 2 および界面層 2 1 を、例えばフォトリソグラフィを用いてパターニングすることにより、ゲート電極 2 0 を形成する。本実施の形態では、界面層 2 1 の表面は金属層 2 2 で被覆されるので、ゲート電極 2 0 形成後のゲート絶縁膜 3 0 による還元効果は考慮する必要がない。ただし、界面層 2 1 を熱処理やプラズマ処理などの表面処理により形成することは難しいので、成膜時の酸化ガスの添加が必要となる。以上により、図 1 3 に示した薄膜トランジスタ 1 B が完成する。

30

【 0 0 8 9 】

この薄膜トランジスタ 1 B の作用および効果は第 1 および第 2 の実施の形態と同様である。

【 0 0 9 0 】

本実施の形態の薄膜トランジスタ 1 B の製造方法によれば、基板 1 1 に、ソース電極 6 0 S およびドレイン電極 6 0 D、酸化半導体膜 4 0、ゲート絶縁膜 3 0 を順に形成したのち、ゲート絶縁膜 3 0 の上にゲート電極 2 0 を形成すると共に、ゲート電極 2 0 のゲート絶縁膜 3 0 との界面 2 0 A から厚み方向における一部を、酸化ガスを添加して成膜することにより、金属酸化物よりなる界面層 2 1 を形成するようにしたので、チャンネルへの不純物添加を行う必要をなくし、薄膜トランジスタ 1 B を簡素な工程で製造することが可能となる。

40

【 0 0 9 1 】

(第 5 の実施の形態)

図 1 6 は、本発明の第 5 の実施の形態に係る薄膜トランジスタ 1 C の断面構成を表した

50

ものである。この薄膜トランジスタ 1 C は、ゲート電極 2 0 のゲート絶縁膜 3 0 との界面 2 0 A から厚み方向における全部が金属酸化膜により構成されていることを除いては、上記第 4 の実施の形態と同様の構成を有している。よって、対応する構成要素には同一の符号を付して説明する。

【 0 0 9 2 】

図 1 7 は、この薄膜トランジスタ 1 C の製造方法を工程順に表したものである。まず、図 1 7 (A) に示したように、基板 1 1 に、第 1 の実施の形態と同様にして、上述した厚みおよび材料よりなるソース電極 6 0 S およびドレイン電極 6 0 D を形成する。

【 0 0 9 3 】

次いで、図 1 7 (B) に示したように、第 1 の実施の形態と同様にして、例えばスパッタリング法により、ゲート絶縁膜 3 0 の上に酸化物半導体膜 4 0 を形成し、所望の形状にパターニングする。

【 0 0 9 4 】

続いて、図 1 7 (C) に示したように、基板 1 1 および酸化物半導体膜 4 0 の全面にゲート絶縁膜 3 0 を形成する。ゲート絶縁膜 3 0 としては、例えば、シリコン窒化膜またはシリコン酸化膜の積層膜をプラズマ C V D 法で形成してもよいし、あるいは、シリコン窒化膜、シリコン酸化膜、酸化アルミニウム膜または窒化アルミニウム膜をスパッタリング法などにより形成してもよい。

【 0 0 9 5 】

そののち、図 1 7 (D) に示したように、例えばスパッタリング法により、ゲート絶縁膜 3 0 の上にゲート電極 2 0 を形成し、例えばフォトリソグラフィによりパターニングする。その際、ゲート電極 2 0 のゲート絶縁膜 3 0 との界面 2 0 A から厚み方向の全部を、酸化ガスを添加して成膜することにより、ゲート電極 2 0 の全体を金属酸化物により構成する。以上により、図 1 6 に示した薄膜トランジスタ 1 C が完成する。

【 0 0 9 6 】

この薄膜トランジスタ 1 C の作用および効果は第 1 および第 2 の実施の形態と同様である。

【 0 0 9 7 】

< 適用例 1 >

図 1 8 は、この薄膜トランジスタ 1 を駆動素子として備えた表示装置の回路構成を表すものである。表示装置 7 0 は、例えば液晶ディスプレイや有機 E L ディスプレイなどであり、駆動パネル 8 0 上に、マトリクス状に配設された複数の画素 1 0 R , 1 0 G , 1 0 B と、これらの画素 1 0 R , 1 0 G , 1 0 B を駆動するための各種駆動回路とが形成されたものである。画素 1 0 R , 1 0 G , 1 0 B はそれぞれ、赤色 (R : Red) , 緑色 (G : Green) および青色 (B : Blue) の色光を発する液晶表示素子や有機 E L 素子などである。これら 3 つの画素 1 0 R , 1 0 G , 1 0 B を一つのピクセルとして、複数のピクセルにより表示領域 1 1 0 が構成されている。駆動パネル 8 0 上には、駆動回路として、例えば映像表示用のドライバである信号線駆動回路 1 2 0 および走査線駆動回路 1 3 0 と、画素駆動回路 1 5 0 とが配設されている。この駆動パネル 8 0 には、図示しない封止パネルが貼り合わせられ、この封止パネルにより画素 1 0 R , 1 0 G , 1 0 B および上記駆動回路が封止されている。

【 0 0 9 8 】

図 1 9 は、画素駆動回路 1 5 0 の等価回路図である。画素駆動回路 1 5 0 は、上記薄膜トランジスタ 1 , 1 A ~ 1 C として、トランジスタ T r 1 , T r 2 が配設されたアクティブ型の駆動回路である。トランジスタ T r 1 , T r 2 の間にはキャパシタ C s が設けられ、第 1 の電源ライン (V c c) および第 2 の電源ライン (G N D) の間において、画素 1 0 R (または画素 1 0 G , 1 0 B) がトランジスタ T r 1 に直列に接続されている。このような画素駆動回路 1 5 0 では、列方向に信号線 1 2 0 A が複数配置され、行方向に走査線 1 3 0 A が複数配置されている。各信号線 1 2 0 A は、信号線駆動回路 1 2 0 に接続され、この信号線駆動回路 1 2 0 から信号線 1 2 0 A を介してトランジスタ T r 2 のソース電

10

20

30

40

50

極に画像信号が供給されるようになっている。各走査線 130A は走査線駆動回路 130 に接続され、この走査線駆動回路 130 から走査線 130A を介してトランジスタ Tr2 のゲート電極に走査信号が順次供給されるようになっている。このような表示装置 70 は、例えば次の適用例 2 ~ 6 に示した電子機器に搭載することができる。

【0099】

<適用例 2>

図 20 は、テレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 310 およびフィルターガラス 320 を含む映像表示画面部 300 を有している。

【0100】

<適用例 3>

図 21 は、デジタルスチルカメラの外観を表したものである。このデジタルスチルカメラは、例えば、フラッシュ用の発光部 410、表示部 420、メニュースイッチ 430 およびシャッターボタン 440 を有している。

【0101】

<適用例 4>

図 22 は、ノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 510、文字等の入力操作のためのキーボード 520 および画像を表示する表示部 530 を有している。

【0102】

<適用例 5>

図 23 は、ビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 610、この本体部 610 の前方側面に設けられた被写体撮影用のレンズ 620、撮影時のスタート/ストップスイッチ 630 および表示部 640 を有している。

【0103】

<適用例 6>

図 24 は、携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 710 と下側筐体 720 とを連結部（ヒンジ部）730 で連結したものであり、ディスプレイ 740、サブディスプレイ 750、ピクチャーライト 760 およびカメラ 770 を有している。

【0104】

以上、実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定されるものではなく、種々の変形が可能である。例えば、上記実施の形態において説明した各層の材料および厚み、または成膜方法および成膜条件などは限定されるものではなく、他の材料および厚みとしてもよく、または他の成膜方法および成膜条件としてもよい。

【0105】

更に、本発明は、液晶ディスプレイおよび有機 EL ディスプレイのほか、無機エレクトロルミネッセンス素子、またはエレクトロデポジション型もしくはエレクトロクロミック型の表示素子などの他の表示素子を用いた表示装置にも適用可能である。

【符号の説明】

【0106】

1 ... 薄膜トランジスタ、11 ... 基板、20 ... ゲート電極、30 ... ゲート絶縁膜、40 ... 酸化物半導体膜、41 ... チャンネル領域、50 ... チャンネル保護膜、60S ... ソース電極、60D ... ドレイン電極領域、70 ... 表示装置、80 ... 駆動パネル、10R, 10G, 10B ... 画素、110 ... 表示領域、120 ... 信号線駆動回路、130 ... 走査線駆動回路、150 ... 画素駆動回路、Tr1, Tr2 ... トランジスタ。

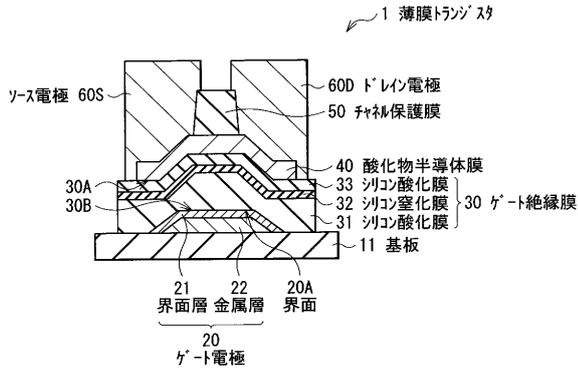
10

20

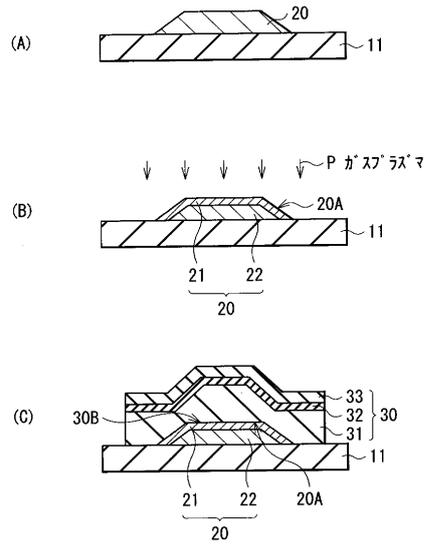
30

40

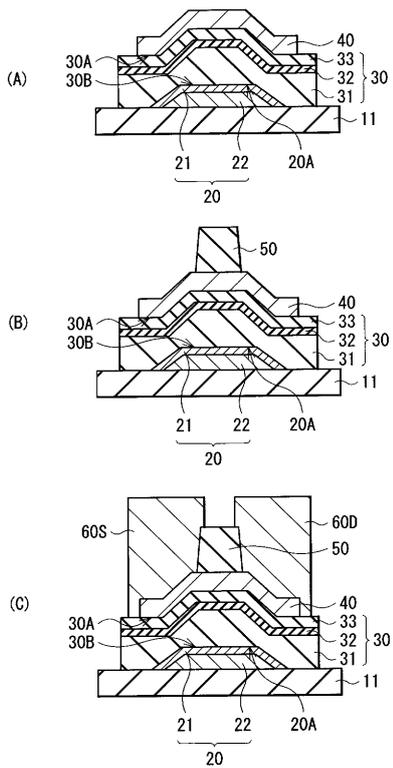
【図1】



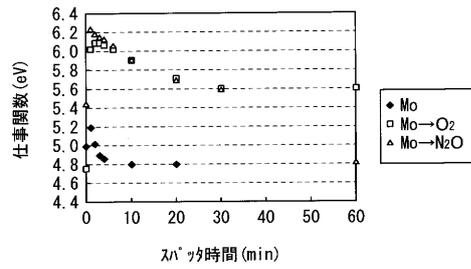
【図2】



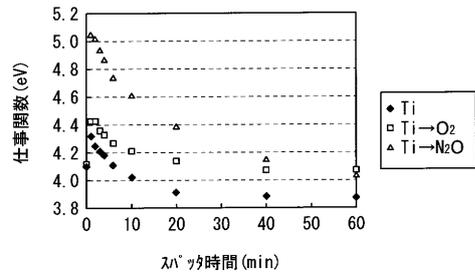
【図3】



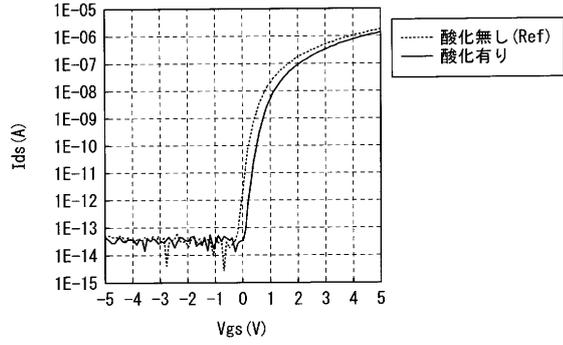
【図4】



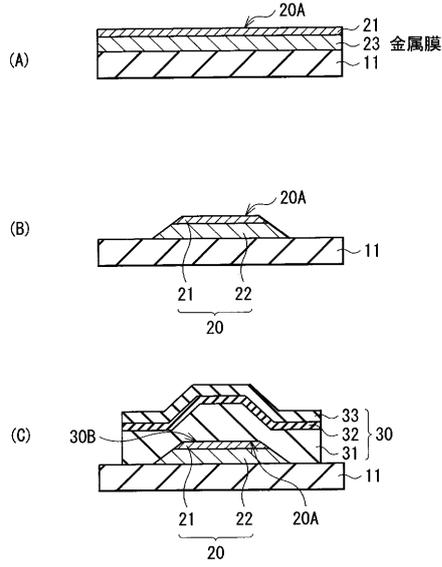
【図5】



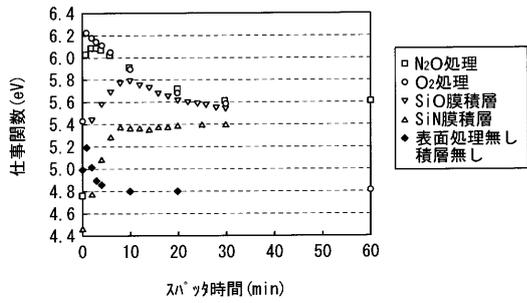
【 図 6 】



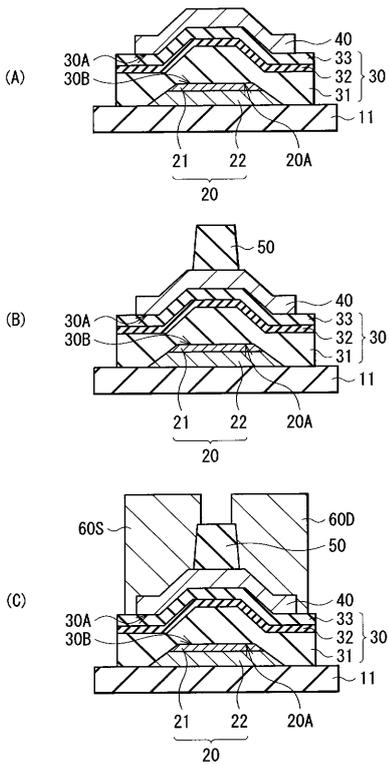
【 図 8 】



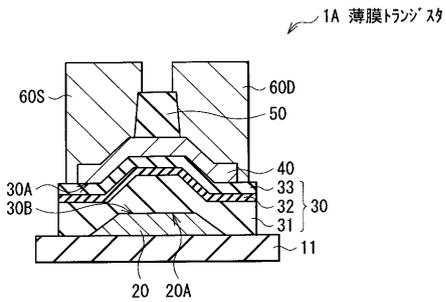
【 図 7 】



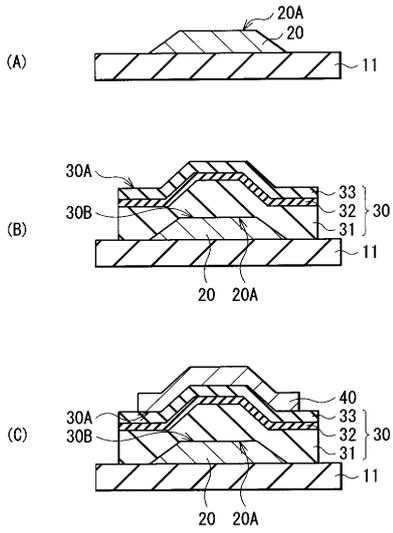
【 図 9 】



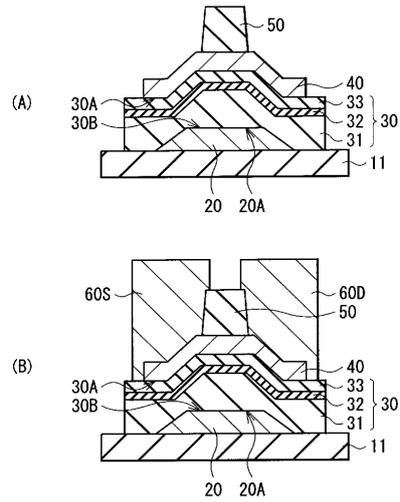
【 図 10 】



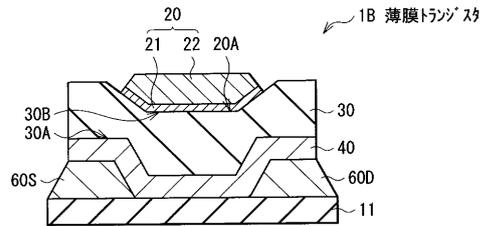
【図 1 1】



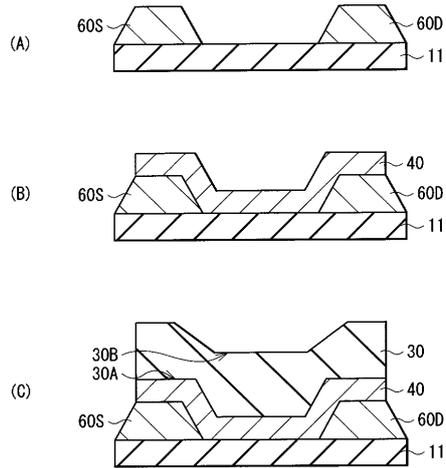
【図 1 2】



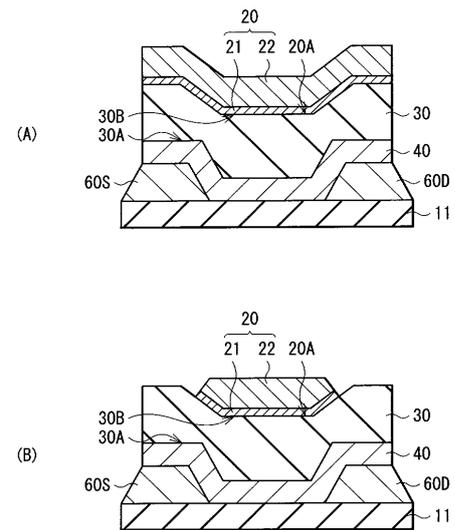
【図 1 3】



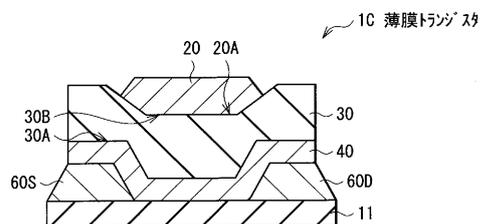
【図 1 4】



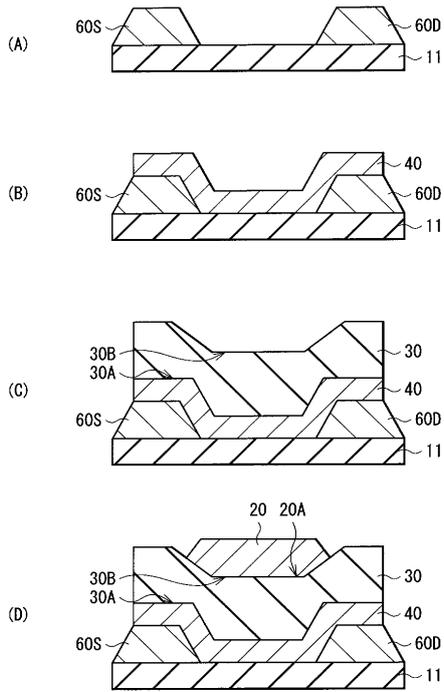
【図 1 5】



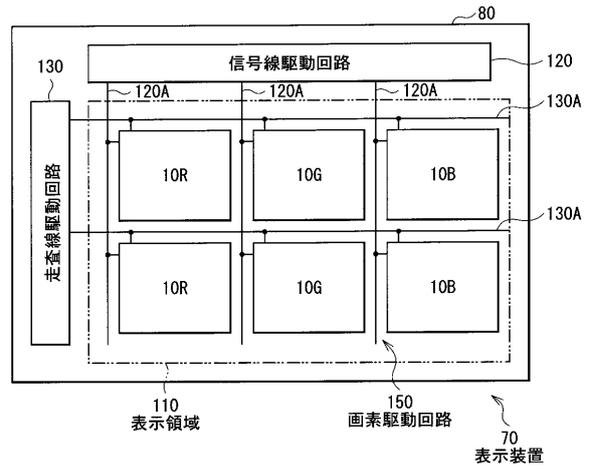
【図 1 6】



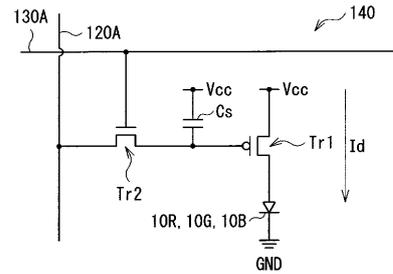
【図17】



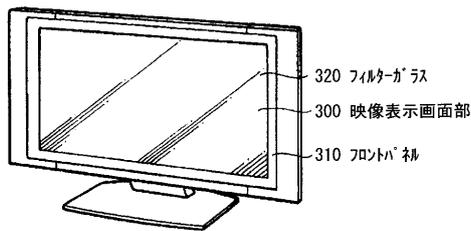
【図18】



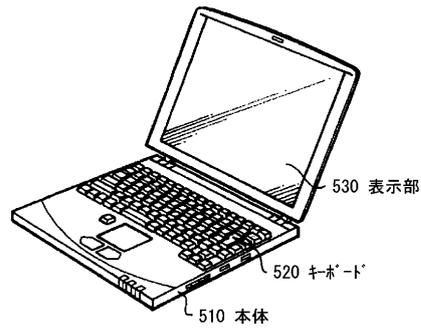
【図19】



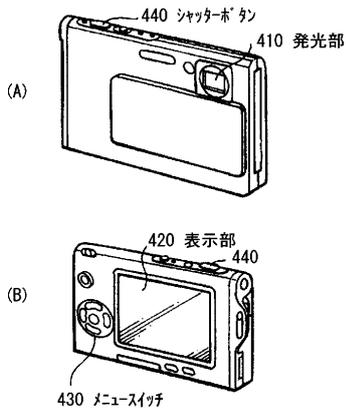
【図20】



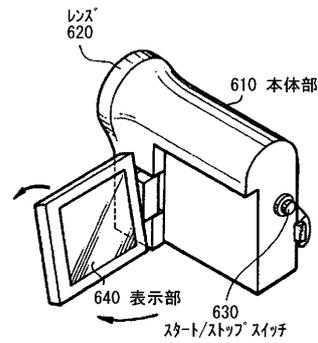
【図22】



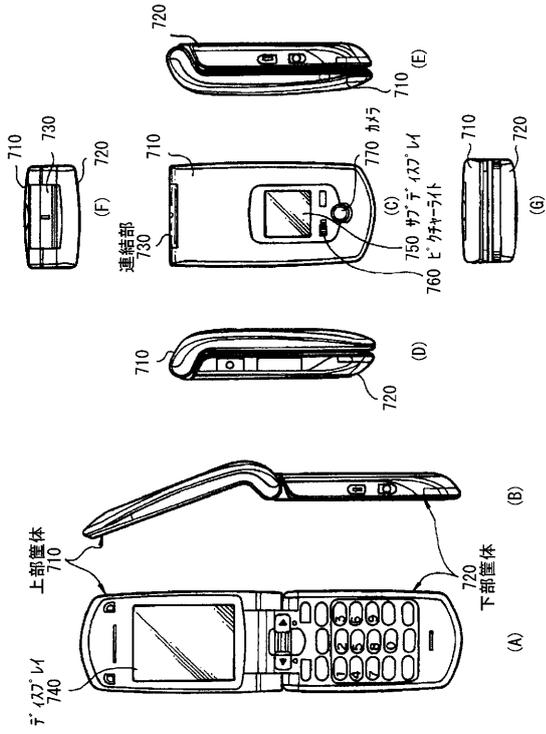
【図21】



【図23】



【図 24】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
G 0 2 F 1/1368 (2006.01)	H 0 1 L 29/78	6 1 2 C
G 0 9 F 9/30 (2006.01)	H 0 1 L 29/78	6 1 7 L
G 0 9 F 9/00 (2006.01)	H 0 1 L 21/28	3 0 1 B
	H 0 1 L 29/58	G
	H 0 1 L 21/28	3 0 1 R
	G 0 2 F 1/1368	
	G 0 9 F 9/30	3 3 8
	G 0 9 F 9/00	3 3 8

(72)発明者 福本 絵理
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 荒井 俊明
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 諸沢 成浩
東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 2H092 JA25 JA26 JA36 JA40 JA44 KA08 KA12 KA18 MA05 MA08
MA23 NA21
4M104 AA03 AA09 BB02 BB04 BB05 BB06 BB14 BB16 BB18 BB36
CC05 DD34 DD37 DD42 DD64 DD78 DD86 DD89 EE03 EE12
EE16 EE17 FF13 GG09 GG10 GG14 HH20
5C094 AA21 AA43 BA03 BA27 BA43 DA13 DB04 FB14
5F110 AA08 AA16 BB02 CC05 CC07 DD01 DD02 EE01 EE02 EE04
EE06 EE14 EE43 EE44 EE48 FF01 FF02 FF03 FF09 FF10
FF28 FF29 FF30 GG01 GG25 GG43 HK02 HK03 HK04 HK07
HK22 HK33 NN14 NN22 NN23 NN24 NN34 NN35 QQ09
5G435 AA16 AA17 BB05 BB12 KK05 KK10